

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 27/092
H01L 29/78

(45) 공고일자 1992년11월27일
(11) 공고번호 특1992-0010435

(21) 출원번호	특 1985-0700157	(65) 공개번호	특 1985-0000185
(22) 출원일자	1985년08월06일	(43) 공개일자	1985년10월25일
(86) 국제출원번호	PCT/JP 84/000597	(87) 국제공개번호	WO 85/02716
(86) 국제출원일자	1984년12월14일	(87) 국제공개일자	1985년06월20일

(30) 우선권주장 58-236160 1983년12월16일 일본(JP)
(71) 출원인 가부시기가이샤 히다찌세이사꾸쇼 미쓰다 가쓰시게
일본국 도오교도 지요다구 간다 스루가다이 4-6

(72) 발명자 스나미 히테오
일본국 도오교도 니시다마군 히노테마찌 히라이 2196-421
오오구라 마고도
일본국 도오교도 하찌오우지시 교야스쵸우 2-32 히다찌 교야스다이 아파
트 C407
기무라 신이찌로우
일본국 도오교도 하찌오우지시 교야스쵸우 2-32 히다찌 교야스다이 아파
트 C207
(74) 대리인 백남기

심사관 : 유환열 (책자공보 제3057호)

(54) 반도체 집적회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 집적회로

[도면의 간단한 설명]

제1도는 종래의 CMOS 인버터를 도시한 회로도,

제2도는 종래의 CMOS 인버터의 구조를 설명하는 단면도,

제3도, 제4도, 제5도, 제6도는 본 발명의 실시예를 제조 공정의 순서에 따라 도시한 단면도,

제7도는 본 발명의 제1실시예를 도시한 조감도,

제8도는 본 발명의 제2실시예에서 사용하는 기판의 단면도,

제9도는 본 발명의 제2실시예의 단면도,

제10도는 본 발명의 제3실시예에서 사용하는 기판의 단면도,

제11도는 본 발명의 제3실시예의 단면도,

제12도는 본 발명의 제4실시예의 단면도,

제13도는 본 발명의 제5실시예를 도시한 조감도,

제14도는 본 발명의 제6실시예를 도시한 조감도.

[발명의 상세한 설명]

[기술분야]

본 발명은 반도체집적회로에 관한 것으로, 특히 p채널 FET(전계효과 트랜지스터)와 n채널 FET를 갖는 반도체집적회로(C-MOS 회로 : Complementary-MOS 회로)에 관한 것이다.

[배경기술]

n채널 FET와 P채널 FET를 갖는 반도체 집적회로의 대표적인 것으로서, FET로서 절연게이트형 전계효과 트랜지스터(MOS 트랜지스터)를 사용한 CMOS 집적회로가 있다.

CMOS 집적회로의 기본구성은 제1도의 회로도에 도시한 것과 같이 n채널 MOS 트랜지스터(1)과 p채널 MOS 트랜지스터(2)로 구성된 인버터회로이다. 제1도에서 (3)은 입력단자, (4)는 출력단자, (5)는 V_{ss}단자, (6)은 V_{cc}단자이다.

제1도는 인버터회로는 제2도에 도시한 것과 같이 Si 기판(10)내에 이루어진 p형 웰영역(9)와 n형 웰영역(11)의 내부에 각각 형성된 n채널 MOS 트랜지스터(1)과 p채널 MOS 트랜지스터(2)로 구성된다. 여기서는 p형과 n형의 웰영역 모두가 형성되어 있지만, Si 기판(10)을 어느 쪽이든 한쪽에 겸하게 할 수도 있기 때문에 최소한 어느 쪽이든 한쪽의 웰만으로 대응할 수 있다.

제2도에서는 n⁻형기판에 n⁻형 웰과 p⁻형 웰을 형성한 구성으로 되어 있다. 또, 제2도에 있어서, (7)은 n⁺형 영역, (8)은 p⁺형 영역, (12)는 소자분리용 필드절연막, (13)은 게이트 전극, (14)는 절연막, (90)은 p형 영역, (91)은 n형 영역이다.

종래의 이러한 CMOS 구조는 제2도에 도시한 것과 같이 평면으로 형성되어 있고, n채널 MOS 트랜지스터(1)과 p채널 MOS 트랜지스터(2)를 전기적으로 서로 분리하기 위해서 폭이 넓은 필드산화막(12)을 형성할 필요가 있으며, 또한 p형 웰과 n형 웰은 불순물농도가 높기 때문에 그 사이의 항복전압이 문제가 될 경우에는 양쪽 웰을 격리시킬 필요가 있다. 상기의 어느 경우라도 CMOS 디바이스의 고집적화에는 방해가 된다. 예를 들면, 게이트 길이가 2 μ m 정도인 집적회로에서 웰 사이의 분리용 필드산화막(12)의 폭은 약 10 μ m가 필요하며, 1 μ m정도일 때에도 약 5 μ m 정도가 필요하다.

이상의 공지의 CMOS 기술은 일본국 특허공고 소화 49-44555호 공보나 일본국 특허공고소화 49-33229호 공보에 기재되어 있다. 그리고, 외관상 유사한 구조를 갖는 소위 수직형 MOS나 V홈(V-groove) MOS는 일본국 특허공고 소화 43-26823호 공보나 일본국 특허공고 소화 43-456호 공보에 기재되어 있다.

[발명의 개시]

본 발명의 목적은 종래의 CMOS 구조의 반도체집적회로의 고밀도화에 최대의 장애의 하나였던 웰 사이의 분리의 미세화 구조를 제공하는 데에 있다.

본 발명의 골자는 p웰(n채널형성영역)과 n웰(p채널 형성영역)을 대향시켜서 형성하고, 또한 양쪽 웰 사이에 얇은 절연영역을 마련하여 CMOS 집적회로의 고밀도화를 도모하는 것이다.

본 발명에 의하면, n채널과 p채널 MOS 트랜지스터가 얇은 절연영역에 의해 격리되어 있으므로, CMOS 집적회로의 고집적화와 CMOS에 유해한 래치 율 방지에 특히 현저한 효과가 있을 뿐만 아니라, 미소한 영역으로 특히 높은 전달 콘덕턴스를 갖는 트랜지스터를 형성할 수가 있다.

[발명의 최선 실시 형태]

[제3도 내지 제7도의 실시예]

이하, 본 발명의 제1실시예를 제3도 내지 제7도에 도시한다. 또, 실시예를 설명하기 위한 모든 도면에서 동일한 기능을 갖는 것은 동일한 부호를 붙이고 그 반복적인 설명은 생략한다.

본 발명의 제1실시예는 Si 기판(10)위에 돌출기둥(18)과 (19)를 형성하였을 때의 예이다. 제3도에 도시한 것과 같이 n형 Si기판(10)(1~100 Ω cm 정도, $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 정도의 농도)에 통상 자주 이용되고 있는 이온주입법이나 열확산법에 의해서 불순물 농도가 10^{20} cm^{-3} 이상의 n⁺형 영역(15)과 p⁺형 영역(16)을 형성한다. n⁺형 영역(15)는 깊이가 약 0.2~1 μ m 정도이고, p⁺형 영역은 약 0.4~1.5 μ m 정도로 형성하였다. 이 때에 Si기판(10)은 n형으로 하였으므로 n⁺형 영역(15)의 아래의 주변부를 p형 웰영역(9)로 둘러싼다. p형 웰영역(9)는 깊이를 1~5 μ m 정도로 형성한다. n⁺형영역(15)를 형성하는 마스크를 사용해서 p형 웰영역(9)를 자기정합적으로 형성하면, 마스크를 맞추기 위한 여분의 영역이 필요 없게 되어 고밀도로 형성할 수 있다. 같은 마스크를 사용하여도 불순물의 확산에 의해서 p형 웰영역(9) n⁺형 영역(15)를 감싸도록 형성한다. 그리고, 또 n⁻형 또는 p⁻형의 에피택셜층(17)을 성장시킨다. 에피택셜층(17)은 0.5~2 μ m정도의 두께로 형성한다. 그 후에 제4도에 도시한 것과 같이 드라이에칭으로 돌출기둥(18)과 (19)를 형성 하고, 또 그 각각에 p형의 도펀트(dopant)와 n형의 도펀트를 이온주입 하여 이미 에피택셜층(17)에 첨가되어 있던 불순물을 상쇄시키거나 증가시켜서 모두 그 불순물 농도가 $10^{14} \sim 10^{17} \text{ cm}^{-3}$ 의 범위의 원하는 값이 되게 한다. 그 결과 p형 돌출기둥(18)과 n형 돌출기둥(19)가 형성된다.

물론 드라이에칭이나 이온주입을 할 때에는 주지의 포토리도 그래피 기술을 사용하여 내에칭성막이나, 내이온 주입성막을 원하는 형상으로 만들어서 소위 마스크로서 사용하는 것은 물론이다.

그후에 열산화법 또는 CVD 법으로 양쪽 돌출기둥의 사이에 분리용 절연막(20)을 형성한다. 이것은 p형 영역(18)과 n형 영역(19)사이의 두께이며, 약 0.1~1 μ m 정도로 형성한다.

CVD법을 사용할 때 분리용 절연막(20)은 돌출기둥의 주변에 균등하게 피착된다. 따라서, 돌출기둥

(18)과 (19)사이의 공간이 매입될 때까지 피착하고, 그 후에 전체적으로 용액 에칭이나 드라이에칭을 실시하게 되면 제4도에 도시한 것과 같이 공간 부분에만 절연막(20)을 남아 있게 할 수가 있다.

열산화막을 형성할 경우에는 돌출기둥(18)과 (19)의 양쪽에서 산화막이 성장하여 양쪽이 붙는 시점에서 열산화를 중지하고, 그 후에 등방성에칭을 실시하므로써 전체의 산화막을 꺾질을 벗기는 것과 같이 제거한다.

산화막(20)은 돌출기둥(18)과 (19)에 의해서 보호되어 에칭이 되지 않기 때문에 제4도에 도시한 구조가 얻어진다.

그 후에 제5도에 도시한 것과 같이 분리영역에다 두께가 200~100nm인 필드산화막(12)를 LOCOS(Local Oxidation of Silicon)법 등으로 형성하고, 또한 두께가 5~100nm인 게이트산화막(21)을 열산화법으로 형성한다. 이때에는 필드산화막(12)를 형성하는 부분이외에 실리콘질화막(Si₃N₄) 등의 내산화막을 형성해서 산화시키면 된다.

그 후 전체에 스퍼터법이나 CVD 법으로 다결정 Si나, 고용점 금속 또는 그 이 실리콘사이드등의 막을 전체에 피착하고, 그들의 배선부위에는 드라이에칭용의 레지스터 수지를 남겨놓고, 전체에 방향성의 강한 드라이에칭을 실시한다. 그러면, 돌출기둥(18)과(19)의 측벽부에는 에칭의 나머지가 발생하고, 이것이 게이트(13)으로 되며, 그 두께는 0.1~0.8 μ m 정도로 하였다. 또, n⁺형 영역(161)을 이온주입, 확산등으로 형성하며, 그 깊이를 0.1~0.5 μ m 정도로 하였다.

그 후에 제6도에 도시한 것과 같이 CVD·PSG로 대표되는 층간절연막(22)를 0.5~1.0 μ m의 두께로 피착하고, 원하는 부분에서 접속구멍(24)을 형성하며, A1로 대표되는 전극(231) 내지(233)을 형성한다. 이것에 의해서 전극(231), (232), (233)은 각각 V_{ss}단자, 출력단자, V_{cc} 단자로 된다.

제5도에 도시한 본 실시예의 구조의 단면도의 조감도를 제7도에 도시한다. 게이트(13)의 평탄부(131)은 배선이나 전극과의 접속에 사용하는 부분이다.

[제8도 및 제9도의 실시예]

본 발명의 제2실시예에서는 절연기판위에다 제1실시예와 마찬가지로의 소자를 형성할 경우에 n⁺형 영역(15)를 기판(10)에서 전기적으로 분리할 필요가 없으므로, 한층 더 고밀도화로 할 수가 있다.

즉, 제8도에 도시한 것과 같이 사파이어 또는 단결정 스피넬 기판(25)위에 얇은 Si 기판층(101)을 전체면에 형성하고, 이 층안에 n⁺형 영역(15)와 p⁺형 영역(16)을 형성하며, 그 후에는 제4도 내지 제6도에서의 설명과 동일한 공정으로 제9도에 도시한 구조를 얻을 수가 있다. 이 때에, n⁺형 영역(15) p⁺형 영역(16)은 완전하게 절연막(20)이나 절연기판(25)에 의해 분리되어 있으므로, p형 웰(9)등을 형성할 필요가 없고 서로의 간섭효과는 매우 작게 할 수 있다. 그리고 제9도에 있어서 필드산화막(12)는 Si 기판(101)을 관통할 때까지 두껍게 할 수 있으며, 이렇게 하면 다른 소자와의 분리를 더욱 완전하게 할 수가 있다.

그리고 절연막(20)은 Si 기판(101)을 불리하도록 절연기판(25)에 도달해야 한다.

따라서 절연막(20)을 CVD 법으로 형성할 때는 피착하기 전에 Si기판(101)의 에칭을 할 필요가 있게 된다.

[제10도 및 제11도의 실시예]

본 발명의 제3실시예에서는 제10도에 도시한 것과 같이 절연기판으로서 Si 기판(10)위에다 열산화막이나 사파이어, 스피넬등의 절연막기판(25)를 형성하고, Si 기판(10)의 노출되어 있는 종영역(seeded region)(26)에서 레이저 또는 스트림히터(strip-heater)를 사용한 액상 가로방향 에피택셜 성장법으로 형성한 SOI(Silicon On Insulator)-Si 기판(102)를 사용할 수도 있다. 종영역(26)을 사용하지 않고 SOI-단결정 Si 기판(102)를 형성할 수도 있지만, 일반적으로는 종영역을 사용하는 것이 질이 좋은 결정기판(102)를 형성할 수가 있다.

그 후에 상술한 제9도의 실시예와 마찬가지로 제11도의 집적회로를 형성할 수가 있다. 제11도에서 종영역(26)은 생략하고 있다.

이 실시예는 Si 기판(10)이 있기 때문에 이 기판 부분에서 저항체나 커패시터등을 형성하고, 이들의 위에 절연막(25)를 사이에 두고 형성한 본 발명의 CMOS 트랜지스터를 조합시켜서 사용할 수도 있다. 또, Si 기판(10)의 표면위에 MOS 트랜지스터를 형성하고, 그 위에 마찬가지로 절연막(25)를 사이에 두고 본 발명의 CMOS 트랜지스터를 형성하여 2층의 트랜지스터를 형성할 수가 있기 때문에 기능을 높이거나 집적도를 향상할 수가 있다.

[제12도의 실시예]

제11도의 실시예에서는 n⁺형 영역(16)은 모두 SOI-Si 기판층(102)안에 형성하였지만 어느쪽이든 한쪽을 종영역(26)안에 형성할 수도 있다. 이러한 실시예를 제12도에 도시한다. 이렇게 하면 한쪽의 영역(제12도에서는 n⁺형 영역)은 Si 기판(10)과 접속할 수가 있으므로 이러한 장점을 이용할 경우에는 편리하다.

본 발명의 제4실시예에서 n형 돌출부(19), p형 돌출부(18)은 각각 CMOS의 n형 웰, p형 웰에 해당하는 것이며, 이들 웰 사이는 통상 0.1~1 μ m두께의 분리용 절연막(20)으로 격리되어 있고, 제2도에 도시한 종래의 CMOS 구조의 분리영역의 폭 5~10 μ m에 비해서 현저하게 작다.

[제13도의 실시예]

이상 설명한 본 발명의 실시에는 분리영역이 절연막(20)으로 채워져 있는 경우였지만, 이 영역이 Si의 열산화막 SiO₂와 단결정 Si등의 재료로 매입되어 있어도 되며, 본 발명에서는 영역(20)이 전체적으로 절연영역으로서 동작하면 되고, 그 구성 재료는 제한하지 않는다.

제13도에 본 발명의 제5실시예를 도시한다. 이것은 제6도에 도시한 실시예의 분리용 절연영역(20)이 게이트산화막(21)과 게이트(13)으로 구성되는 것이며, Si 돌출기둥(18)과 (19)의 측면은 모두 게이트산화막(21)로 둘러싸여져 있고, 둘러 싸여진 양쪽 돌출기둥 사이에 끼워진 영역에 게이트(13)이 매입되어 있는 상태이다. 이때에는 돌출기둥(18)과 (19)의 측면 전체가 트랜지스터의 채널로되므로 미소한 영역에서 전달 콘택턴스가 큰 트랜지스터를 얻을 수가 있다.

즉, 제6도에서는 돌출기둥(18)과 절연막(21)의 경계면만이 채널로 되는 것에 비해서, 본 실시예에서는 절연막(20)안에 게이트(13)이 존재하기 때문에 돌출기둥(18)의 상기 채널과 대향하는 면에도 채널을 형성할 수가 있다.

물론, n⁺형 영역(15)는 채널형성영역까지 존재해 있지 않으면 안된다. 구체적으로는 제9도, 제11도 및 제12도와 같은 구성으로 하면 된다. 그리고, 마찬가지로 해서 돌출기둥(18)의 주위의 면전체를 채널로 할수도 있다. 이상의 것은 돌출기둥(19)에 대해서도 완전히 동일하게 적용할 수가 있다.

[제14도의 실시예]

제14도에 본 발명의 제6실시예를 도시한다. 지금까지의 본 발명의 실시예에서는 p형과 n형의 돌출기둥(18),(19)는 각각 1개씩 독립되어 있었지만, 본 실시예는 다수개의 p형 돌출기둥과 다수개의 n형 돌출기둥이 서로 연속되어서 비임형상을 이루고 있는 경우이다. 인접하는 CMOS 인버터와 분리하기 위해서 필요한 부분에도 두꺼운 필드산화막(12)를 형성한다. 게이트산화막(21)은 각각 돌출 비임의 측면에 형성하고, 게이트(13)은 비임에 걸쳐서 형성한다. 제14도는 2개의 CMOS 인버터가 형성되어 있는 경우를 도시한 것이다.

그리고 이상의 실시예에서는 p형 웰영역(9)를 반드시 형성하였었다. 그러나 기판(10)을 고저항으로 하면 p형 웰영역(9)를 생략 할 수가 있다. 이때에 기판은 100Ω⁺cm이상이 되게, 바람직하게는 1KΩ⁺cm정도의 저항이 되게 하여야 한다.

기판농도는 1x10¹³~1x10¹⁴cm⁻³으로 한다.

[산업상 이용 가능성]

종래 Si 기판 위에 형성한 CMOS 트랜지스터는 n채널과 p채널의 트랜지스터가 서로 간섭해서 소위 래치업을 일으켜 집적회로가 동작 불능이 되거나 파손되었었다.

CMOS 트랜지스터는 반도체 산업 중에서 대부분을 차지하고 있는 MOS형 집적회로의 중심적인 트랜지스터로 되고 있다.

그러나 이러한 래치 업은 CMOS 집적회로의 고밀도화를 방해하는 큰 요인의 하나이기 때문에 CMOS 트랜지스터의 장점이 많이 감소되고 있었다.

본 발명은 CMOS 트랜지스터의 이러한 장애를 제거할 뿐만 아니라, 세로방향으로 채널을 형성하고 있기 때문에 미소한 평면 면적으로 큰 전류 구동능력을 갖추게 할 수가 있으므로, 종래 보다 한층 더 고밀도화에 적합하며, CMOS 집적회로 전반에 적용할 수 있다. 나아가서 대부분의 MOS 집적회로에 유효한 고밀도화 기술을 제공할 수 있게 되므로 그 공업적인 가치는 대단히 크다.

(57) 청구의 범위

청구항 1

적어도 그 제1주표면에 반도체 층을 갖는 기판, 상기 반도체 층안에 형성된 제1도전형의 제1영역, 상기 반도체 층안에 형성된 제2도전형의 제2영역, 기둥형상으로 형성되고 상기 제1영역과 적어도 그 일부에서 접촉하도록 형성된 제2도전형의 제1반도체 돌출기둥 영역과 기둥형상으로 형성되고 상기 제2영역과 적어도 그 일부에서 접촉하도록 생성된 제1도전형의 제2반도체 돌출기둥 영역, 상기 제1반도체 돌출기둥 영역과 상기 제2반도체 돌출기둥 영역 사이에 형성된 제1분리영역, 상기 제1반도체 돌출기둥 영역 안에 형성된 제1도전형의 제3영역, 상기 제2반도체 돌출기둥 영역 안에 형성된 제2도전형의 제4영역, 상기 제1분리영역에 대향하고 있는 제1게이트 절연막을 거쳐서 상기 제1반도체 돌출기둥 영역 위에 형성된 제1게이트 전극과 상기 제1분리 영역에 대향하고 있는 제2게이트 절연막을 거쳐서 상기 제2반도체 기둥 영역 위에 형성된 제2게이트 전극으로 이루어진 반도체집적회로.

청구항 2

특허청구의 범위 제1항에 있어서, 상기 기판은 절연물이고, 상기 제1분리영역은 상기 기판과 접촉하고 있는 반도체집적회로.

청구항 3

특허청구의 범위 제1항에 있어서, 상기 기판은 제1절연막을 거쳐서 반도체기판위에 형성된 반도체층을 가지고, 상기 제1분리영역은 상기 제1절연막과 접촉하고 있는 반도체 집적회로.

청구항 4

특허청구의 범위 제1항에 있어서, 상기 제1분리영역은 제1절연막, 제2절연막 및 제3게이트 전극으로

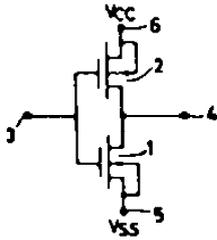
이루어진 반도체 집적회로.

청구항 5

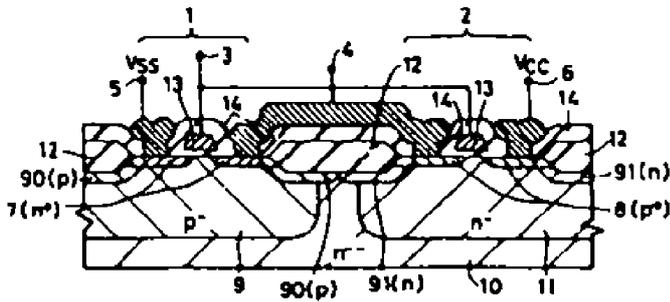
적어도 그 제1주표면에 반도체층을 갖는 기판, 상기 반도체층안에 형성된 제1도전형의 제1영역, 상기 반도체층안에 형성된 제2도전형의 제2영역, 기동형상으로 형성되고 상기 제1영역과 적어도 그 일부에서 접촉하도록 형성된 제2도전형의 제1반도체 돌출기둥 영역과 기동형상으로 형성되고 상기 제2영역과 적어도 그 일부에서 접촉하도록 형성된 제1도전형의 제2반도체 돌출기둥 영역, 상기 제1반도체 돌출기둥영역안에 형성된 상기 제1전동형의 제3영역, 상기 제2반도체 돌출기둥 영역안에 형성된 상기제2도전형의 제4영역, 제1절연막을 거쳐서 상기 제1반도체 돌출기둥 영역위에 형성된 제1게이트 전극, 제2절연막을 거쳐서 상기 제2반도체 돌출기둥 영역위에 형성된 제2게이트 전극과 상기 제1반도체 돌출기둥 영역과 상기 제2반도체 돌출기둥 영역사이에 형성된 제1분리영역으로 이루어진 반도체 집적회로에 있어서, 상기 기판은 절연물이고, 상기 제1분리영역은 상기 기판과 접촉하고 있는 반도체 집적회로.

도면

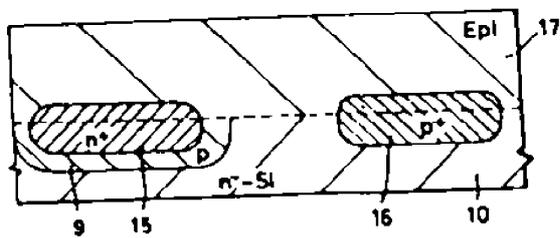
도면1



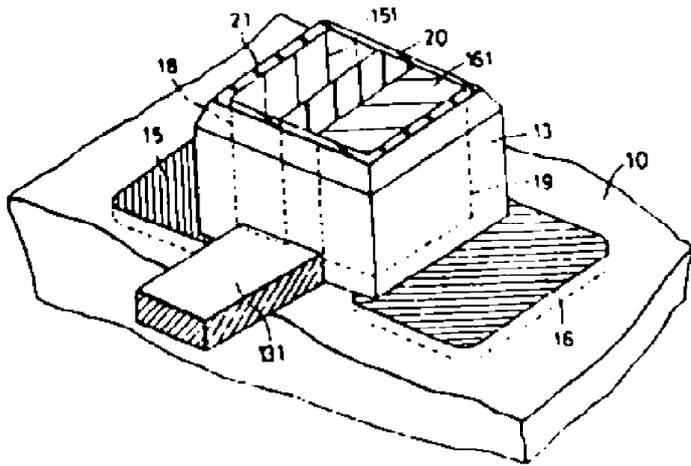
도면2



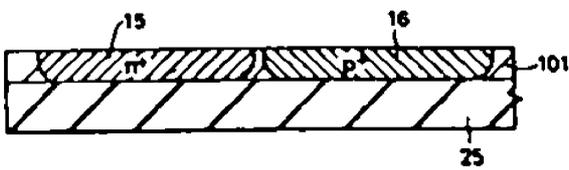
도면3



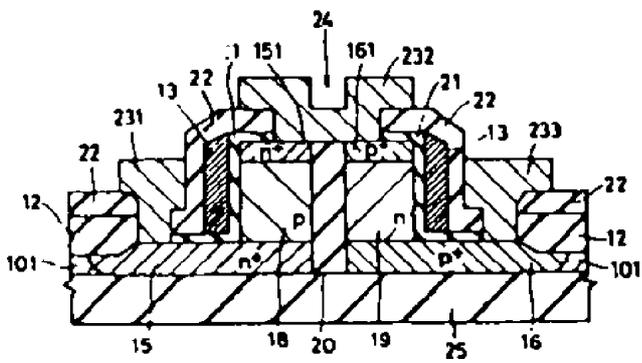
도면7



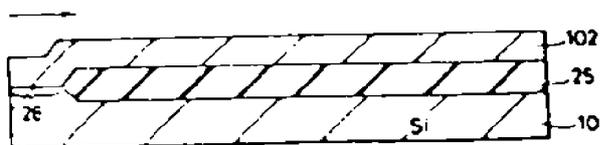
도면8



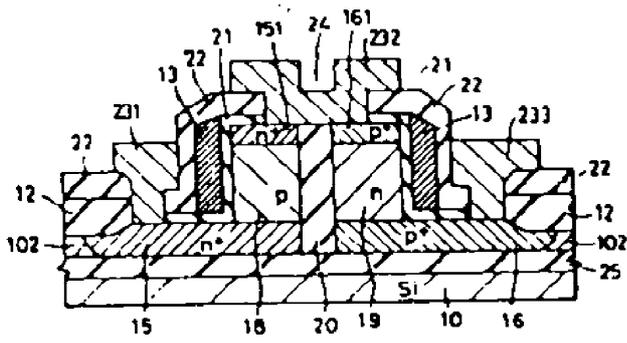
도면9



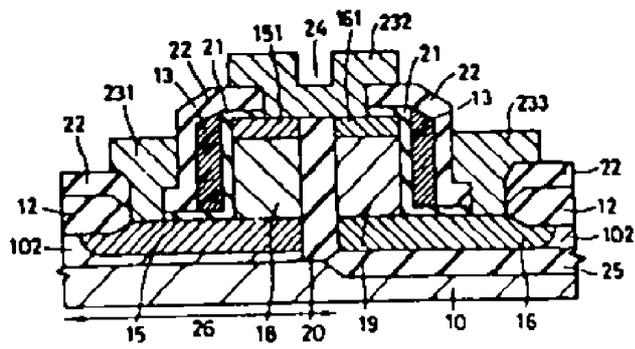
도면10



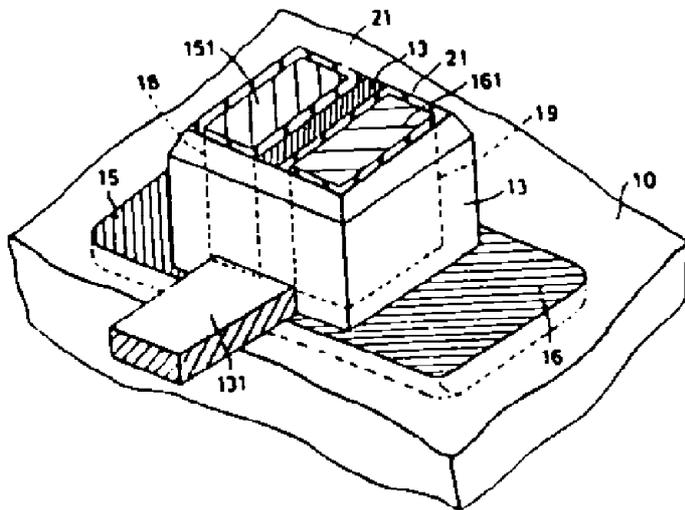
도면11



도면12



도면13



도면 14

