

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6055596号
(P6055596)

(45) 発行日 平成28年12月27日 (2016.12.27)

(24) 登録日 平成28年12月9日 (2016.12.9)

(51) Int. Cl.		F I			
HO 1 L	43/06	(2006.01)	HO 1 L	43/06	D
HO 1 L	21/28	(2006.01)	HO 1 L	21/28	3 O 1 B
HO 1 L	29/41	(2006.01)	HO 1 L	29/44	S

請求項の数 6 (全 8 頁)

(21) 出願番号	特願2012-7380 (P2012-7380)	(73) 特許権者	303046277
(22) 出願日	平成24年1月17日 (2012.1.17)		旭化成エレクトロニクス株式会社
(65) 公開番号	特開2013-149681 (P2013-149681A)		東京都千代田区神田神保町一丁目105番地
(43) 公開日	平成25年8月1日 (2013.8.1)	(74) 代理人	110001243
審査請求日	平成26年12月25日 (2014.12.25)		特許業務法人 谷・阿部特許事務所
		(72) 発明者	丸山 雄大
			静岡県富士市鮫島2番地の1 旭化成エレクトロニクス株式会社内
		(72) 発明者	藤本 佳伸
			静岡県富士市鮫島2番地の1 旭化成エレクトロニクス株式会社内
		審査官	小山 満

最終頁に続く

(54) 【発明の名称】 ホール素子

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
前記半導体基板上に形成されたメサ形状のn型導電層から成る活性層と、
オーミック電極と、
前記活性層と、前記オーミック電極の端部の全と、を覆う保護膜と
から成るホール素子であって、
前記保護膜に覆われる前記オーミック電極の端部は、順テーパー形状であることを特徴とするホール素子。

【請求項2】

前記順テーパー形状のテーパー角度は、5°以上50°以下の範囲の何れか1値であることを特徴とする請求項1に記載のホール素子。

【請求項3】

前記オーミック電極の厚さは、400nm以上800nm以下の範囲の何れか1値であることを特徴とする請求項1または2に記載のホール素子。

【請求項4】

前記保護膜の膜厚は、100nm以上400nm以下の範囲の何れか1値であることを特徴とする、請求項1乃至3の何れかに記載のホール素子。

【請求項5】

半導体基板上に感磁部を形成するステップと、

逆テーパ状のレジストを形成するステップと、
前記半導体基板上に金属から成るオーミック電極を蒸着により形成するステップと、
前記オーミック電極の端部を全て覆うように保護膜を形成するステップと、
前記保護膜をエッチングして前記オーミック電極の一部を露出させるステップと
 を備えたホール素子の製造方法であって、
前記半導体基板上に金属から成るオーミック電極を蒸着により形成するステップは、当
該金属を基板の法線から10°以上35°以下の角度だけ傾けた角度から入射できるように蒸着源を配置するステップを備えることを特徴とするホール素子の製造方法。

【請求項6】

前記保護膜を形成するステップは、化学気相成長法で形成することを特徴とする請求項 10
 5に記載のホール素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ホール素子に関し、具体的には、電極端の形状が順テーパであるホール素子に関する。

【背景技術】

【0002】

ホール素子は、InSb、InAs、GaAs等の半導体のホール効果を利用した磁気 20
 センサーである。ホール素子は、磁場をホール出力電圧に変換することにより、磁場強度
 を検出する磁気センサーであり、モーター、非接触スイッチ等に幅広く利用されている。

【0003】

ホール素子に関する従来技術として、n型GaAs薄膜をホール素子形成に必要な部分
 (入力抵抗部および出力抵抗部)以外は全て基板まで除去し、ホール素子電極の材料は特
 定金属によって構成され、ホール素子表面の少なくとも入力抵抗部および出力抵抗部全体
 を保護膜で隙間無く覆う構造がある(特許文献1を参照)。

【0004】

図1に示すように、特許文献1には、半絶縁性GaAs基板10と、半絶縁性GaAs 30
 基板10上に形成されたアンドープGaAsバッファ層11と、アンドープGaAsバッ
 ファ層11上に形成された活性領域を構成するN型GaAs層12と、N型GaAs層1
 2上の所定位置に形成されたオーミック接続領域を構成するN⁺型GaAs層13と、N⁺
 型GaAs層13に接続されたオーミック電極16aと、酸化シリコン等の保護膜18と
 、アルミニウム等の外部接続用電極19とから成るホール素子の構造が開示されており、
 一定の信頼性と十分な生産性とを併せ持つホール素子を実現している。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特許第3006274号明細書

【発明の開示】

【発明が解決しようとする課題】 40

【0006】

しかしながら、近年、産業用機械などにおいて、より高精度に位置制御する必要があり
 、位置を検出するセンサーも微小な変化を検出することが要求されている。このため、こ
 のような極めて高い精度を要求する用途においては、出力に重なって出力されるオフセッ
 ト電圧の変動を小さくする必要がでてきている。例として、このような高信頼性の要求さ
 れるホール素子において、信頼性試験実施後の感度の変動量に関しては、3%以下である
 ことが必要である。しかし、図1に示すホール素子の構成では、電極16aの側面が基板
 10に対して垂直になっているため、保護膜を成長させる際に電極側面には原料ガスが十
 分に供給されない。これにより、側面の保護膜の被覆性が相対的に低下し、十分な信頼性
 が得られない場合がある。

【0007】

本発明は、上述した課題を鑑みてなされたものであり、電極端部の形状をテーパ形状にすることで保護膜の被覆性を向上させ、従来のホール素子と比べて高い信頼性を有するホール素子を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明は、半導体基板と、半導体基板上に形成されたメサ形状のn型導電層から成る活性層と、オーミック電極と、活性層と、オーミック電極の端部とを覆う保護膜とから成るホール素子であり、オーミック電極の端部の形状は、順テーパ形状であることを特徴とする。

10

【0009】

本発明の一実施形態において、順テーパ形状のテーパ角度は、5°以上50°以下の範囲の何れか1値であることを特徴とする。

【0010】

本発明の一実施形態において、オーミック電極の厚さは、400nm以上800nm以下の範囲の何れか1値であることを特徴とする。

【0011】

本発明の一実施形態において、保護膜の膜厚は、100nm以上400nm以下の範囲の何れか1値であることを特徴とする。

【0012】

本発明は、半導体基板上に金属から成るオーミック電極を蒸着により形成するステップと、オーミック電極の端部を全て覆うように保護膜を形成するステップと、保護膜をエッチングしてオーミック電極の一部を露出させるステップとを備えたホール素子の製造方法であり、オーミック電極の端部は、保護膜によって全て覆われていることを特徴とする。

20

【0013】

本発明の一実施形態において、半導体基板上に金属から成るオーミック電極を蒸着により形成するステップは、金属を基板の法線から10°以上35°以下の角度だけ傾けた角度から入射できるように蒸着源を配置するステップを備えることを特徴とする。

【発明の効果】

【0014】

本発明に係るホール素子では、電極の端部の形状を順テーパ形状にすることにより、電極を覆う保護膜の被覆性を向上させる。これにより、高信頼性を有するホール素子を実現することができる。

30

【図面の簡単な説明】

【0015】

【図1】従来技術に係るホール素子の構造を示す断面図である。

【図2】本発明に係るホール素子の構造を示す断面図である。

【図3】本発明に係るホール素子の製造方法を示す工程フロー図である。

【発明を実施するための形態】

【0016】

図2は、本発明の実施形態に係るホール素子の構造を示す断面図である。図2に示すように、本発明に係るホール素子は、半導体基板21と、半導体基板21上に形成されたメサ形状のn型導電層から成る活性層22と、オーミック電極23と、活性層22およびオーミック電極23の端部を覆う保護膜24とから構成されている。

40

【0017】

オーミック電極23は、半導体基板21とコンタクトを取る電極であり、図示していないが、ボンディングワイヤ等により外部電極と接続される。保護膜24は、半導体基板21の感磁部を保護するための膜である。

【0018】

図2に示すように、本発明においてはオーミック電極23の端部の形状が順テーパ形

50

状、すなわち、オーミック電極 23 の上面の幅よりオーミック電極 23 と半導体基板 21 との界面の幅が広がるような形状となっている。ここで、テーパ角度が 5° 未満の場合、テーパ形状のオーミック電極端部において、オーミック電極と半導体基板との電気的な接触が不安定となりホール素子の特性に悪影響を与える可能性がある。またテーパ角度が 50° より大きい場合、テーパ部に形成する保護膜の膜質が悪化する傾向にある。従って、テーパ角度は、 5° 以上 50° 以下とすることが好ましい。

【0019】

以上のように、オーミック電極の端部の形状を順テーパ形状とすると、電極端部が従来技術に係るホール素子のように垂直である場合と比較して、化学気相成長 (CVD) 法で形成する保護膜の原料ガスが電極の側面にも均一に供給され、保護膜を均一に成長させることが可能となる。これにより、理想的な膜質を持つ保護膜を素子全面に成長させることができ、従来に比べて高い信頼性を得ることができる。

10

【0020】

また、本発明において、保護膜の膜厚を 100 nm 未満とした場合、保護膜の透水性が悪化する傾向がある一方、保護膜の膜厚を 400 nm より厚くした場合、膜の応力が大きくなり保護膜の剥がれが生じやすい。従って、保護膜の厚さは 100 nm 以上 400 nm 以下であることが好ましい。

【0021】

さらに、本発明において、電極の厚さを 400 nm 未満とした場合、ホール素子の特性が悪化する傾向がある一方、電極の厚さを 800 nm より厚くした場合、リフトオフ性が悪化する。従って、電極の厚さは 400 nm 以上 800 nm 以下であることが好ましい。

20

【0022】

図3を参照しながら、本発明に係るホール素子の製造方法を説明する。図3は、本発明に係るホール素子の製造方法の一例を示す工程フロー図である。

【0023】

まず、素子の基板となる半導体基板 31 の表面に活性層 32 を形成する (図3(a))。次いで、リソグラフィによって感磁部を形成する (図3(b))。次いで、厚さ約 $2.7\text{ }\mu\text{m}$ の、逆テーパ状のレジスト 33 を形成する (図3(c))。次いで、AuGe、Ni、Au を順に蒸着する。AuGe、Ni、およびAuから成る電極 34 は全体でおよそ 650 nm の厚さである (図3(d))。ここで、蒸着の際に原料を基板に対して斜め方向から入射させることで、端部が順テーパ形状の電極を得た。このとき、電極端のテーパ角度は 5° 以上 50° 以下とすることが好ましいことは前述したが、このような電極端のテーパ角度を実現するためには蒸着金属を基板の法線から 10° 以上 35° 以下の角度だけ傾けた角度から入射できるように蒸着源を配置することが求められる。電極蒸着後、リフトオフ法により、電極パターンを形成する (図3(e))。次いで、 300 nm の膜厚を有する保護膜 35 を全面に形成し、フォトリジストをマスクとしたエッチングによりコンタクト部分を開口する (図3(f))。

30

【実施例】

【0024】

上述した方法で、本発明に係るホール素子を作成した。以下、具体的な実施例を説明する。

40

【0025】

本実施例では、イオン注入法を用いて活性層を形成する。まず、半絶縁性 GaAs 基板上にシリコンイオン (Si^+) を加速エネルギー 300 keV 、ドーズ量 $2.3 \times 10^{12}/\text{cm}^2$ (活性化後ピークキャリア濃度が $5 \times 10^{16}/\text{cm}^3$ 位になるようなドーズ量) で注入した。次いで、このシリコンイオンの活性化、さらには欠陥の回復のためにアルシン (AsH_3) 雰囲気中 850°C の温度で 10 秒間のラピッドアニール処理をし、n型の導電性をもつ GaAs 活性層を形成した。

【0026】

加速エネルギーが 300 keV であるためにキャリア濃度のピークは、表面からの深さ

50

おおよそ $0.2 \mu\text{m}$ に形成される。深さ $0.1 \mu\text{m}$ 以下の基板の表面はキャリア濃度 $5 \times 10^{15} / \text{cm}^3$ 以下の導電性の小さい表面層を形成する。従って、本実施例では、n型活性層はGaAs基板の表面に接しない。このような処理で形成した活性層のシート抵抗はおおよそ 1k となる。

【0027】

次にフォトリジストを塗布し、十字型の所定のパターンを作り、これをマスクとしてGaAs基板を所定の深さエッチングする。次いで、レジスト剥離液または O_2 プラズマを用いた灰化法によりレジストを除去し、ホール素子の感磁部を形成した(図3(b)を参照)。

【0028】

ホール素子の感磁部を形成した後、この基板の上に、フォトリジストをパターンニングし、次いで、AuGeを 250nm 、Niを 50nm 、Auを 350nm の厚さで蒸着した(図3(c)、図3(d)を参照)。ここで、フォトリジストが現像時に逆テーパー状となるようにリソグラフィの条件を制御し(図3(c)を参照)、さらに電極蒸着の際に金属を供給する方向を調整することにより、テーパー状の電極端部を形成した(図3(d)を参照)。その後、リフトオフ法により、フォトリジストおよびフォトリジスト上の金属を除去し、電極パターンを形成した(図3(e)を参照)。次いで、オーミック性接触を得るために赤外加熱炉で約 400 、5分間の合金化処理を N_2 ガス雰囲気下で行った。

【0029】

その後、プラズマCVD法により $0.3 \mu\text{m}$ の膜厚を有する Si_2N_4 等の絶縁膜を 240 で全面に形成した。 240 という低温でのプロセスを採用することにより基板であるGaAsの熱分解はほとんどなかった。次いで、電極金属と外部電極の接続を行う部分の Si_2N_4 をエッチングするため、フォトリジストを塗布し、外部電極からの接続を確保する部分に穴が開くようにパターンを形成した。しかる後、このフォトリジストをマスクとして CF_4 ガスと O_2 ガスを用いた反応性ドライエッチングによりコンタクト部分を開口した(図3(f)を参照)。次いで、表面のGaAs層をスライトエッチングし除去した。このようにして、一枚の基板上に多数のGaAsホール素子を形成した。

【0030】

この後、ダイシングを行い個々のGaAsホール素子ペレットに切り離した。次いで、ダイボンド、トランスファーマールドを行い、ホール素子を製作した。

【0031】

このように製作した素子について、HAST試験(120 、 $85\% \text{RH}$ の槽中で連続通電 200 時間(2.5mA 通電))実施後の感度の変動量を測定したところ、順テーパー形状の電極端部を持たない従来素子の感度変動量が平均 $0.2 \pm 3.4\%$ だったのに対し、本発明を用いた素子の感度変動量は平均 $0.4 \pm 1.9\%$ となり、必要とされる信頼性を達成することができた。

【符号の説明】

【0032】

- 10 半絶縁性GaAs基板
- 11 アンドープGaAsバッファ層
- 12 N型GaAs層
- 13 N⁺型GaAs層
- 16a オーミック電極
- 18 酸化シリコン等の保護膜
- 19 アルミニウム等の外部接続用電極
- 21 半導体基板
- 22 活性層
- 23 オーミック電極
- 24 保護膜
- 31 半導体基板

10

20

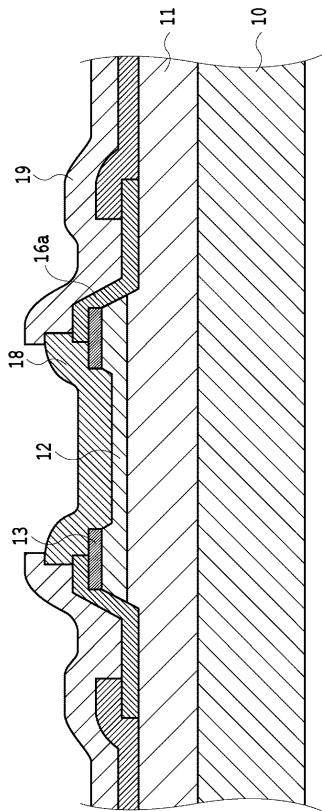
30

40

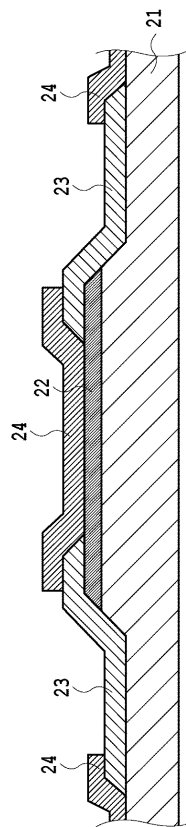
50

- 3 2 活性層
- 3 3 レジスト
- 3 4 電極
- 3 5 保護膜

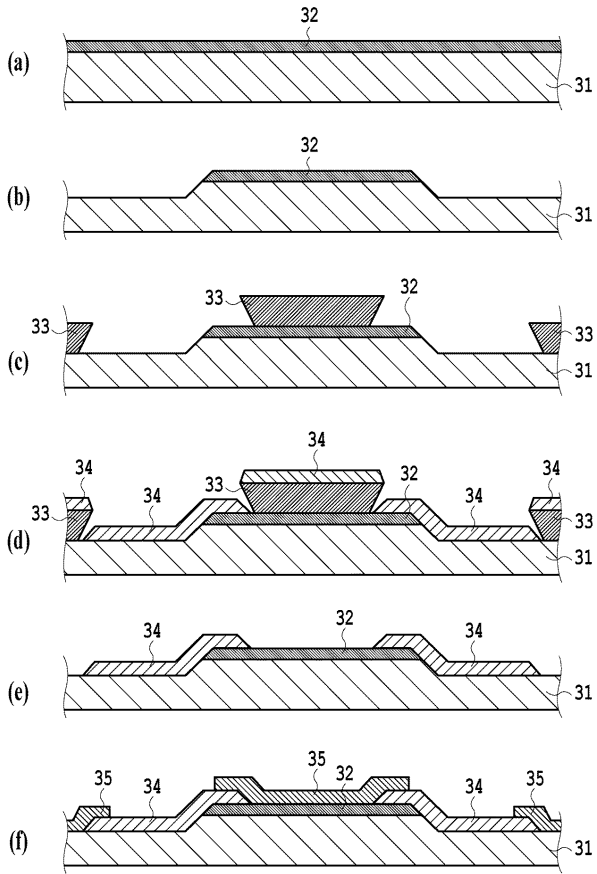
【図 1】



【図 2】



【 図 3 】



フロントページの続き

- (56)参考文献 特開2000-138403(JP,A)
特開平06-077556(JP,A)
特開平08-063717(JP,A)
特開2011-155249(JP,A)
特開2011-139051(JP,A)
米国特許第05453727(US,A)
国際公開第93/002479(WO,A1)
欧州特許出願公開第00548375(EP,A1)
米国特許出願公開第2011/0156026(US,A1)
国際公開第2011/081009(WO,A1)
米国特許出願公開第2011/0136302(US,A1)
国際公開第2011/068037(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 43/06
H01L 21/28
H01L 29/41