

# 公告本

申請日期	89.9.29.
案號	89120229
類別	H01L 21/302

A4  
C4

506005

(以上各欄由本局填註)

## 發明專利說明書

一、發明名稱	中文	半導體裝置之製造方法
	英文	Method for manufacturing of a semiconductor device
二、發明人	姓名	1.曼富瑞克萊森伯格(Manfred KRAXENBERGER) 2.艾尼斯努皮(Ines KNEUPEL) 3.布魯諾史普勒(Bruno SPULER) 4.索斯坦卻戴(Thorsten SCHEDEL) 5.卡羅慕茲(Dr. Karl MAUTZ)
	國籍	1.2.皆屬德國 3.奧地利 4.德國 5.美國
住、居所		1.德國歐坦朵夫 01458 安丹艾陳 4 號 2.德國德瑞斯登 01069 如納街 73 號 3.德國威克斯朵夫 01478 艾華克魯居街 82 號 4.德國德瑞斯登 01109 康尼茲泰屈路 2 號 5.德國德瑞斯登 01326 約翰荷曼街 10A 號
	姓名 (名稱)	1.印芬龍科技股份有限公司(Infineon Technologies AG) 2.半導體 300 股份有限公司(Semiconductor 300 GmbH & Co. KG) 3.摩托羅拉股份有限公司(Motorola, Inc.)
三、申請人	國籍	1.-2.皆屬德國 3.美國
	住、居所 (事務所)	1.德國慕尼黑 D-81541 聖馬丁街 53 號 2.德國德萊斯登 D-01074 郵政信箱 100446 號 3.美國伊利諾州 660196 沙恩堡東阿爾岡京路 1303 號
	代表人姓名	1. 麥可勾威什 (Michael Gollwitzer) & 荷斯特卻佛 (Dr.Horst Schafer) 2. 庫卻 (Dr.Kucher)& 荷瑞 A.葛瑞庫 (Horia A.Grecu) 3. 喬納森 P.梅爾 (Jonathan P.Meyer)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6  
B6

本案已向：

歐關(地區) 申請專利，申請日期： 案號： ，有 無主張優先權  
1999年9月29日 EP99119038.0號

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明( )

本發明係關於一種使用有沈積使晶圓發生彎曲應力之材料層的晶圓，製造半導體裝置之方法，其中，尤其是該晶圓之直徑至少為 200mm。

在由晶圓（如矽系列之晶片）製造半導體裝置之技術製程中，製程時常使用微影製程，此為普遍而必需的。在微影製程中，覆蓋層的性能取決於晶圓的條件。例如，覆蓋層的誤差可由外加的熱處理或類似 CMP（化學機械研磨）之製程引起，其對覆蓋層的性能有負面的影響。當在定義製程步驟之後，在晶圓來源上有明顯的殘留物時，通常會發生誤差。誤差可分成線性和非線性覆蓋層誤差，但只有線性或系統性覆蓋層誤差可以藉由改變曝光工具，如步進器的機械參數，藉由最佳化步進器的參數而校正。

通常不能藉由製造工具自動校正之非線性覆蓋物誤差，一般會造成良率損失很高的重工率。當這些誤差不能校正時，即使重工也不會成功。

除了上述的效應會造成非線性覆蓋物誤差以外，使用晶圓直徑至少為 200mm 之晶圓技術特別還有新的根源。在晶圓正面和背面至少沈積一種具有張應力或縮應力之材料層的製程步驟中，如氮化物，多晶矽或不同種類之氧化物，機械應力會造成晶圓彎曲，如藉由蝕刻部分的材料層，而在晶圓正面形成結構之結果。彎曲的尺度會隨晶圓直徑的增加而增加之現象已被注意到。例如，在組件絕緣製程之後，由於微影製程有很大的誤對準，所以會發生非線性覆蓋物誤差。

## 五、發明說明( 2 )

在蝕刻或薄膜沈積製程期間，使用靜電盤或實體的夾環保持晶圓之製程，也會發生其他的製造問題。彎曲的晶圓執行這些製程時，會由於真空密封問題，而造成自動機械操作的晶圓處理失敗，或由於在靜電盤背面的冷卻氣體漏氣，而使得製程失敗。在擴散操作時，將晶圓正確的載入要放入爐管中之晶舟，其會受到彎曲晶圓的影響，造成晶圓破裂或破碎，而傷害到晶舟或使晶圓墜落。藉由真空固定住晶圓背面，而將晶圓載入承載器之操作，如濕式化學製程，也會受到彎曲晶圓的影響。在CMP操作時，由於彎曲會影響整個晶圓表面的研磨，所以彎曲晶圓造成製程不均勻的誤差。其他會因晶圓彎曲而影響其性能之製程為離子佈植製程，遮罩製作或度量衡製程。

美國專利第 5,836,230 號有揭露一種製造場氧化物之方法，一種當局部氧化矽製程被應用到大尺寸晶圓時，縮小晶圓彎曲之方法。一具有縮應力之材料層和氮化物形成在晶圓的背面上，所以材料層的縮應力和氮化物的張應力可以互補。該方法之步驟包含：在晶圓的正面和背面上，沈積一氧化物層和材料層，再加上標準的 LOCOS 製程步驟。此處之影響為增加製造成本和增加製程時間。

考慮習知技術，本發明之目的係要提供一種使用晶圓，尤其是直徑至少 200mm 之晶圓，製造半導體裝置之方法，其可以減少或防止上述的製程因晶圓彎曲所造成的問題，對於低成本和製程時間，該方法可以應用於半導體製造之多重製程順序。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 五、發明說明( )

此目的可根據申請專利範圍第 1 項之半導體裝置的製造方法解決。由從屬的申請專利範圍，本發明更多的優點特徵、觀點和詳細內容都會很明顯。

根據本發明，本發明提供一種使用晶圓製造半導體裝置之方法，其步驟包含：

- 一在晶圓的正面和背面上，至少沈積一簡化的材料層，
- 一選擇性蝕刻在晶圓正面上的該材料層，以形成一設定結構，因此，該材料層彎曲應力的結果，造成晶圓彎曲，
- 一根據希望減少的彎曲應力，部分移除在晶圓背面上之該材料層，
- 一應用進一步的製程過程至晶圓的正面，微影製程，CMP 製程或使用靜電盤，實體的夾環或真空夾板以保持晶圓之製程。

本發明所提供之方法，可以應用到包含上述製程步驟順序之多重製程。因此，例如，此提供之方法可以應用在 DRAM 技術，和製造邏輯電路或微機械組件之製程。減少晶圓彎曲的效應可以在直徑至少 200mm 之晶圓很明顯的觀察到。相較於由製程，如 CMP 或熱處理，所造成之效應，對於上述製程之性能，由材料層所造成之晶圓彎曲，尤其是使用直徑 300mm 或更大之晶圓，因為不同的厚度對面積比，所以其扮演一十分重要的角色。此外，因晶圓彎曲所造成覆蓋層失真的問題尤其是可以在線背端微影製程(BEOL)觀察到。

在微影製程中，減少晶圓彎曲的結果，會減少失焦或非線性覆蓋層誤差的量。因此，製程的改善可以觀察到

(請先閱讀背面之注意事項再填寫本頁)

訂 · 線

## 五、發明說明(4)

沒有或較少的重工率及減少良率的損失。

考慮上述其他製程，減少晶圓彎曲的結果，使得沒有或較少的自動機械操作的晶圓處理失敗，或受晶圓彎曲影響的製程失敗。將晶圓正確的載入要放入爐管中之晶舟的情形可以改善。在CMP操作時，可以減少由於晶圓彎曲所造成之製程非均勻性誤差。

此外，本發明不需要沈積一種與簡化材料層之應力相互作用的新層。此會降低成本和減少製程時間。基於幾個理由的考量，在晶圓背面上沈積多重層會有缺點。此會影響其他的製程或防止晶圓表面有平坦的背面，關於晶圓或步進器平台的需求，此有必要。

根據本發明，該材料層或材料層可以完全或部分移除，其取決於製程，及其根據減少彎曲之需求。在移除部分層之情形下，可以縮短對應的製程時間，其中其有助於解除晶圓的應力。對於部分移除，在圓形區域中之該層係利用適當的蝕刻技術，自晶圓的背面移除。該層仍然在圍繞該內部圓形區域之區域中。

例如，該材料層或材料層可由氮化物、多晶矽或所有已知氧化物的變化物，如BPSG或氧化矽，所形成的。它們都具有更大或更小的縮應力或張應力，以形成晶圓彎曲。

在微影製程中，有利地，關於減少的軟體和量測能力，本發明可以減少非線性校正演算的需要，因此可以減少製程的循環時間。其消除不需要補償徵兆之效應的根源。所以整個來說，可以達成較佳的產品品質。

## 五、發明說明(5)

根據本發明之實施例，在背面上沈積和移除材料層，係在晶圓正面上形成閘極相互連接點之 DRAM 製程的共同部分，該晶圓在該階段包含具有工作區域之矽晶圓。對於形成閘極接點而言，可以根據想要減少彎曲應力的量，部分或完全移除背面的層。下面之圖式說明伴隨製程步驟之順序。

在優選實施例中，該材料層或材料層係藉由使用酸處理之旋佈蝕刻製程移除。在旋佈蝕刻工具方面，由 HF 構成之化學溶液（如：在 40°C 為 49% 之 HF）較適合蝕刻在晶圓背面上之層。在上述的 DRAM 製程中，製程時間可約為 360 秒，以儘量移除需要移除的氮化物，使晶圓彎曲減少到可接受的程度。例如，要完全除去，則可以花約 720 秒的時間。因此，必須考慮對晶圓正面之邊緣的工作應要減少到最小的程度。

在本發明的另一實施例中，在晶圓背面之材料層的彎曲應力，可以藉由移除材料層而減少，其中其係利用在具有晶圓正面用可移除保護材料保護之單片晶圓工具或一組工具中的電漿背面蝕刻製程。該保護材料宜由薄膜形成的，如光阻或其他適當的可移除薄膜。有利地，該製程係使用習知技術之化學品的電漿製程，移除背面的薄膜，以達成快速的產出。在此製程之後，藉由溶劑、灰化或其他清洗製程，移除該正面保護膜。

根據另一實施例，該材料層係在具有晶圓正面用可移除保護材料保護之單片晶圓工具或一組工具的浸泡槽中，藉由液體的酸處理移除。有利地，該製程係使用習

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

知技術之化學品的酸或其他的化學化合物，移除背面的薄膜，以達到快速的產出。在此製程之後，藉由溶劑、灰化或其他的清洗製程，移除該正面保護膜。

在另一實施例中，該材料層係利用在單片晶圓工具或一組工具中的氣相製程移除。該製程宜使用習知技術之化學品的酸氣，各種不同的酸氣或其他化學化合物的氣體，移除背面的薄膜，以達到快速的產出。在此製程之後，藉由溶劑，灰化或其他的清洗製程，移除該正面保護膜。在一些工具設計上，可以適當的保護晶圓的正面，所以使得並不需要保護正面。否則的話，在開始製程之前，晶圓的正面就必須用可移除保護材料保護。

根據他一實施例，該材料層係用具有晶圓正面用可移除保護材料保護之 CMP 製程移除。有利地，該製程使用習知技術之漿狀物或漿狀材料，以達到快速的產出，其中該材料係由利用物理裝置化學性幫助移除之研磨材料構成。在此製程之後，藉由溶劑、灰化、保護膜物理性回剝或其他的清洗製程，移除該正面保護膜。

由下面參考相關圖式之實施例的說明，將詳細說明本發明，其中：

第 1a 圖為具有在背面造成晶圓彎曲應力之層的晶圓；

第 1b 圖為在減少晶圓彎曲應力後之晶圓；

第 2 圖為在微影製程時，造成非線性覆蓋物失真結果之殘留物；

第 3a-3g 圖為在具有工作區之矽晶圓上，製作閘極相互連接點之製程的橫截面圖。

第 1a 圖圖示晶圓 1 和步進器平台 2，其中晶圓 1 係位

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(5)

在步進器平台 2 之上。因為晶圓 1 的正面和背面沈積有材料層，而造成彎曲應力之材料層，如氮化物層，則是建構在正面，所以在背面之彎曲應力大於另一邊之正面上的彎曲應力。不相等的彎曲應力之結果就是晶圓會彎曲，在第 1 圖之情形下，就是造成晶圓 1 的邊緣離開步進器平台 2。不利地，當晶圓 1 執行微影製程時，會發生在晶圓表面上之圖案失焦和非線性覆蓋物誤差的情形。

第 1b 圖圖示在減少晶圓彎曲應力後之該晶圓 1。例如，藉由根據希望減少的彎曲應力，部分蝕刻在晶圓 1 背面之材料層，可以減少晶圓 1 之晶圓彎曲。因此，在微影製程時，此可以減少失焦和非線性覆蓋物誤差的情形。

第 2 圖圖示在微影製程時，在晶圓 1 之表面上造成非線性覆蓋物失真的殘留物，其以小向量圖示該殘留物之位置。該步進器參數已經最佳化，以消除線性覆蓋物失真。

第 3a-3g 圖圖示在具有工作區之矽晶圓上，製作閘極相互連接點之製程。本發明可有利地應用到該製程。雖然如此，本發明也可用在其他具有跟減少製程性能有關之晶圓彎曲問題的製程中。

首先，如第 3a 圖所示，包含具有工作區之矽基板 10 的晶圓 1、在其正面上沈積閘極氧化物層 11、摻雜磷之多晶矽層 12 和金屬層 13，在此情形下為矽化鎢。例如，多晶矽層 12 和金屬層 13 係藉由 CVD 製程沈積。然後，在爐管擴散製程中，典型地，分別在晶圓 1 的正面和背面上沈積簡化材料層 14 和 14'，此處係由氮化物所形成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 8 )

第 3b 圖為在微影製程時，在正面之氮化物層 14 上形成光阻層 15 後之結構的橫截面圖。

之後，根據光阻層 15 之結構，藉由蝕刻該沈積的層，形成閘極相互連接點 30 (GC-相互連接點) 之設定結構，如第 3c 圖所示。不相同的晶圓彎曲應力之結果會造成晶圓彎曲。

在下面的製程步驟中，如第 3d 圖所示，在晶圓 1 之正面的 GC-相互連接點上，沈積一薄的絕緣層 16，如氮化物或氧化物。該絕緣層 16 宜在下面各種在晶圓 1 正面上之離子佈植製程步驟中，能保護 GC-相互連接點 30。

之後，根據本發明之實施例，執行背面蝕刻製程，部分移除氮化物層 14'。之後，用一沈積的絕緣層 17，如氧化物，填充在晶圓表面上由 GC-相互連接點 30 之結構所形成的空隙。而接續之製程步驟為用以將該絕緣層 17 平坦化之 CMP 製程步驟。

如第 3e 圖所示，再次在晶圓 1 的正面，沈積一絕緣層 18，如氧化物。該絕緣層 18 宜由不同於絕緣層 17 之另一種氧化物所形成，且形成在上述的空隙之間，以在後續的其中之一製程步驟中，實行兩種氧化物的選擇蝕刻製程。

之後，在晶圓 1 之正面上，執行另一個微影製程，以形成後續蝕刻製程之建構遮罩，如示於第 3f 圖之光阻層 19。該微影製程之性能可藉由前述具有減少晶圓彎曲結果之背面蝕刻製程改善。因此，可以應用幾種微影製程，如光微影製程、如光微影製程、離子微影製程、X 光微影

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明( 9 )

製程或電子束微影製程。

最後，如第 3g 圖所示，藉由應用蝕刻、量測和清洗等幾個製程步驟，形成接觸基板 10 之佈植區 21 的接點 20。

符號說明

- 1… 晶圓
- 2… 步進器平台
- 10… 基板
- 11… 閘極氧化物層
- 12… 多晶矽層
- 13… 金屬層
- 14、14'… 材料層
- 15… 光阻層
- 16、17、18… 絕緣層
- 19… 光阻層
- 20… 接點
- 21… 佈植區
- 30… 閘極相互接點

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 四、中文發明摘要(發明之名稱: 半導體裝置之製造方法)

本發明揭露一種半導體晶圓(1)之製造方法，其較適合直徑為 300mm 或更大之晶圓(1)。在晶圓(1)之正面和背面上，至少沈積一簡化材料層(14,14')之後，選擇性蝕刻在晶圓(1)正面上之材料層(14)，以在後續製程步驟的其中之一，形成設定的結構。材料層(14,14')不相等的晶圓彎曲應力之結果，造成晶圓彎曲。根據希望減少的彎曲應力，藉由部分或完全移除在晶圓(1)背面上之材料層(14')，可以減少晶圓彎曲。當進一步應用製程過程至晶圓(1)的正面時，如微影製程，可以將因晶圓彎曲所造成之非線性覆蓋物失真減至最低。

## 英文發明摘要(發明之名稱: Method for manufacturing of a semiconductor device)

There is disclosed a method for manufacturing of a semiconductor wafer (1), preferably suitable for a wafer (1) with 300mm in diameter or larger. After depositing at least one encapsulating material layer (14, 14') over the front side and back side of the wafer (1), the material layer (14) over the front side of the wafer (1) is etched selectively to form a predetermined structure in one of the following process steps. Wafer warpage is caused as a result of unequal wafer bowing stress of the material layer (14, 14'). By removing the material layer (14') over the back side of the wafer (1) partially or completely in accordance with the desired reduction of the bowing stress wafer warpage is reduced. When applying e.g. a lithographic process over the front side of the wafer (1) in the further course of the manufacturing process, non-linear overlay distortions caused by wafer warpage are minimized.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

第 89120229 號「半導體裝置之製造方法」專利案

(91 年 7 月 修正)

### 六 申請專利範圍

1. 一種半導體裝置之製造方法，該半導體裝置使用具有正面和背面之晶圓(1)，該方法之步驟包含：

在晶圓(1)之該正面和背面上，至少沈積一簡化材料層(14,14')；

在晶圓(1)之正面上，選擇性蝕刻該材料層(14)，以形成一設定結構，因此該材料層(14,14')彎曲應力的結果，會造成晶圓彎曲；

根據希望減少的彎曲應力，自該背面部分移除在晶圓(1)之背面上的該材料層(14')；

應用進一步的製程過程至晶圓(1)的正面，微影製程、CMP 製程或使用靜電盤、實體的夾環或真空夾板以保持晶圓(1)之製程。

2. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中該晶圓(1)之直徑至少 300mm。
3. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中該材料層(14,14')由氮化物形成的。
4. 如申請專利範圍第 2 項之半導體裝置之製造方法，其中該材料層(14,14')由氮化物形成的。
5. 如申請專利範圍第 3 項之半導體裝置之製造方法，該步驟包含：

在晶圓(1)之正面上，沈積一閘極氧化物層(11)、多晶

## 六、申請專利範圍

矽層(12)和金屬層(13)，該晶圓(1)包含具有工作區之矽基板(10)；

在晶圓(1)之正面和背面上，沈積該材料層(14,14')；

選擇性蝕刻在晶圓(1)之正面上的該層(11,12,13, 14)，以形成閘極相互連接點(30)之設定結構；

在晶圓(1)正面之該閘極連接點(30)上，沈積一絕緣層(16)；

應用一離子佈植製程在晶圓(1)之正面上；

部分蝕刻在晶圓背面上之該材料層(14')；

在晶圓(1)之正面上，至少沈積一絕緣層(17,18)；

應用一微影製程在正面上，形成後續蝕刻製程之建構遮罩(19)，以形成接觸該基板(10)之佈植區(21)的接點(20)。

6. 如申請專利範圍第 4 項之半導體裝置之製造方法，該步驟包含：

在晶圓(1)之正面上，沈積一閘極氧化物層(11)、多晶矽層(12)和金屬層(13)，該晶圓(1)包含具有工作區之矽基板(10)；

在晶圓(1)之正面和背面上，沈積該材料層(14,14')；

選擇性蝕刻在晶圓(1)之正面上的該層(11,12,13, 14)，以形成閘極相互連接點(30)之設定結構；

在晶圓(1)正面之該閘極連接點(30)上，沈積一絕緣層(16)；

應用一離子佈植製程在晶圓(1)之正面上；

## 六、申請專利範圍

部分蝕刻在晶圓背面上之該材料層(14')；

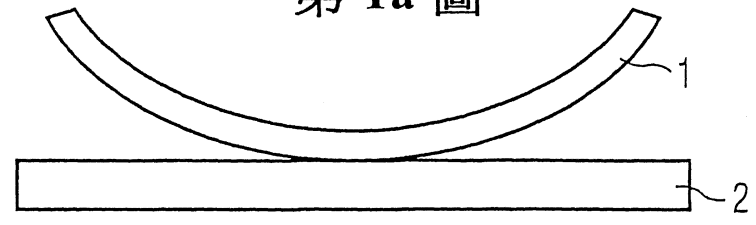
在晶圓(1)之正面上，至少沈積一絕緣層(17,18)；

應用一微影製程在正面上，形成後續蝕刻製程之建構遮罩(19)，以形成接觸該基板(10)之佈植區(21)的接點(20)。

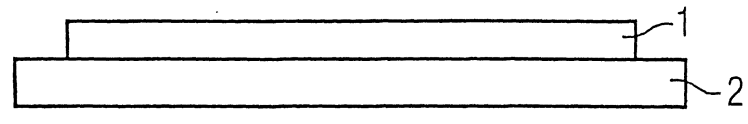
7. 如申請專利範圍第 1 項至第 6 項中任一項之半導體裝置之製造方法，其中藉由使用酸處理之旋佈蝕刻製程，移除在晶圓(1)背面上之該材料層(14')。
8. 如申請專利範圍第 1 項至第 6 項中任一項之半導體裝置之製造方法，其中藉由在具有晶圓(1)正面用可移除保護材料保護之單片晶圓工具或一組工具中的電漿背面蝕刻製程，移除在晶圓(1)背面上之該材料層(14')。
9. 如申請專利範圍第 1 項至第 6 項中任一項之半導體裝置之製造方法，其中在具有晶圓(1)正面用可移除保護材料保護之單片晶圓工具或一組工具的浸泡槽中，藉由液體的酸處理，移除在晶圓(1)背面上之該材料層(14')。
10. 如申請專利範圍第 1 項至第 6 項中任一項之半導體裝置之製造方法，其中藉由在單片晶圓工具或一組工具中之氣相製程，移除在晶圓(1)背面上之該材料層(14')。
11. 如申請專利範圍第 1 項至第 6 項中任一項之半導體裝置之製造方法，其中藉由具有晶圓(1)正面用可移除保護材料保護之化學機械研磨製程，移除在晶圓(1)背面上之該材料層(14')。

1/5

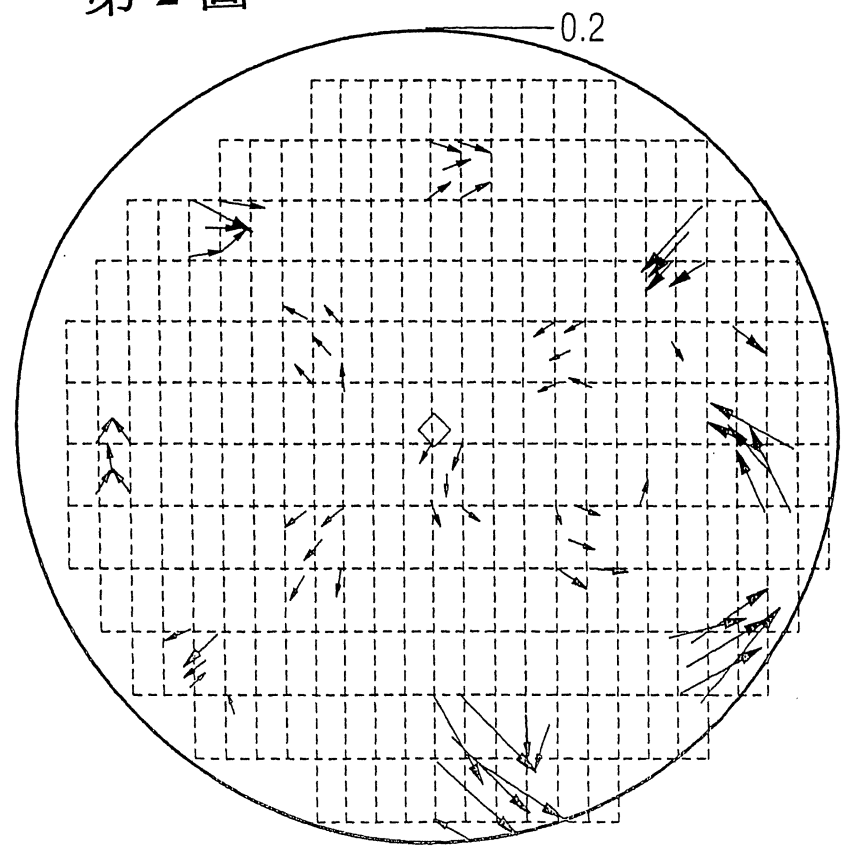
第 1a 圖



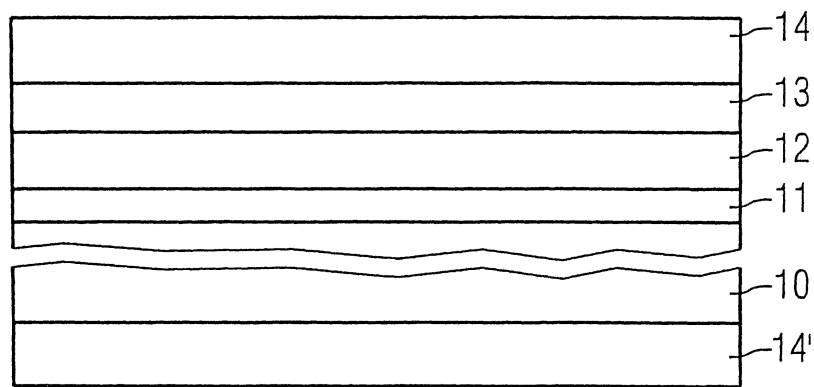
第 1b 圖



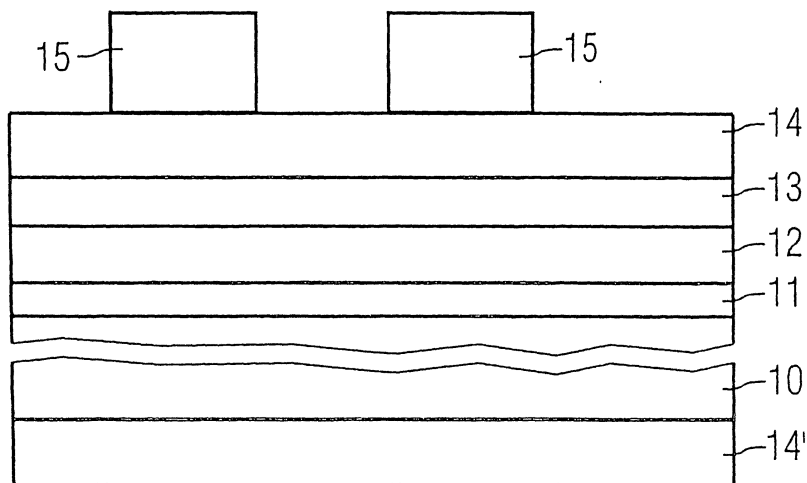
第 2 圖



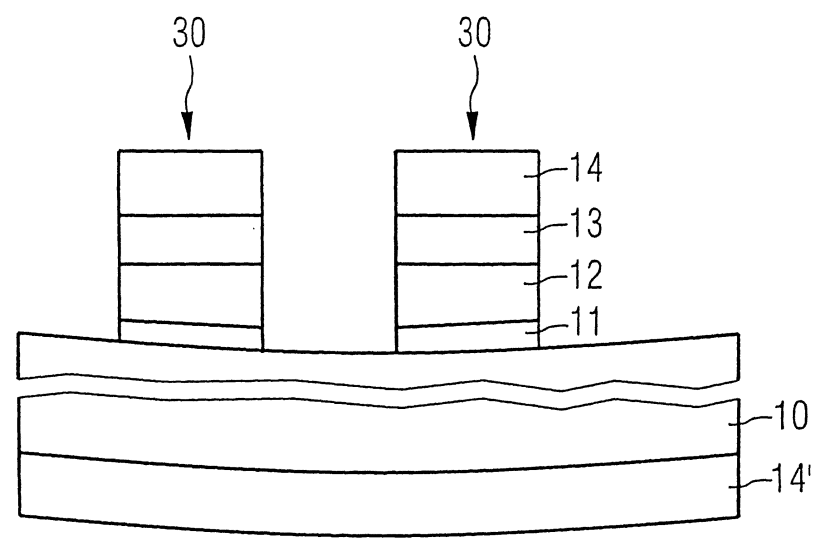
第 3a 圖



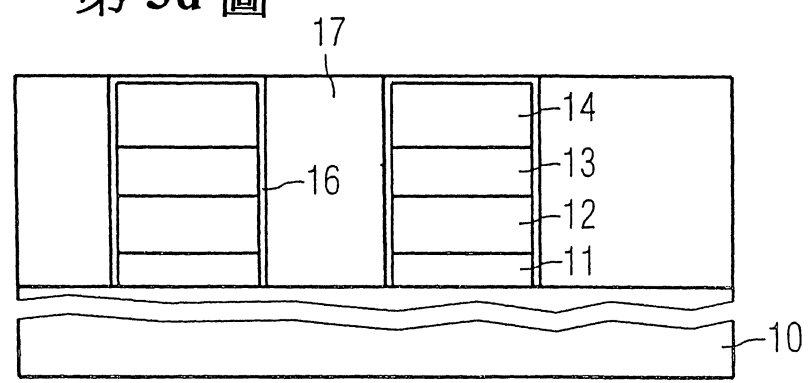
第 3b 圖



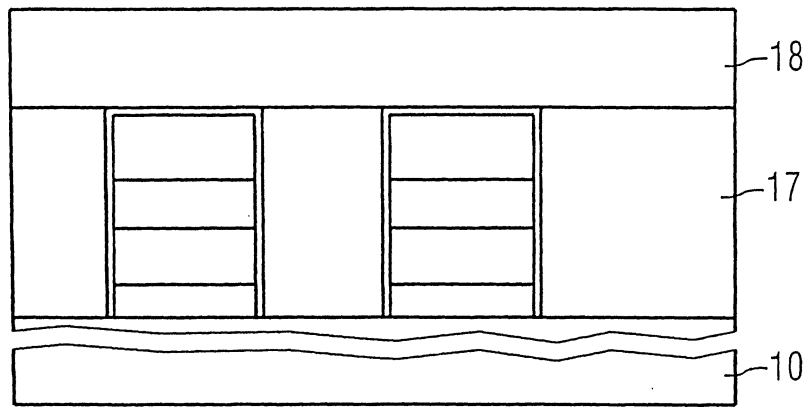
第 3c 圖



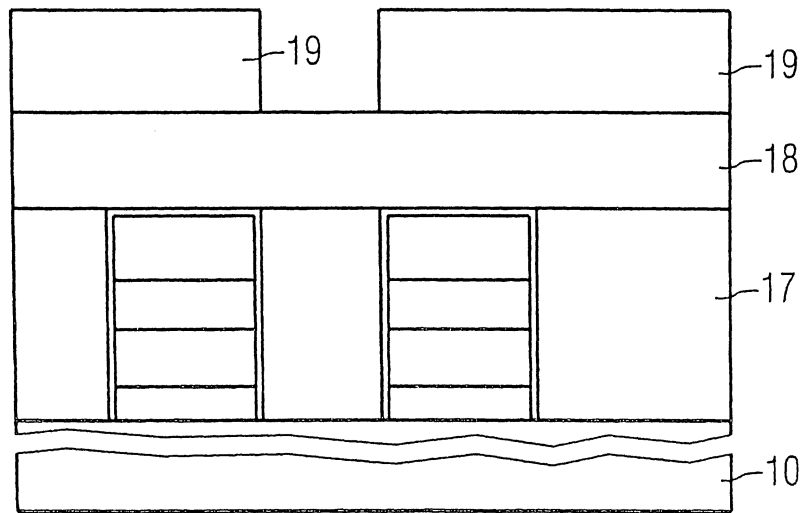
第 3d 圖



第 3e 圖



第 3f 圖



第 3g 圖

