ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA
(19)

ÚŘAD PRO VYNÁLEZY A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

244478

(11) (B1)

(51) Int. Cl.[4]
H 03 K 19/20

(22) Přihlášeno 25 06 84
(21) PV 4782-84

(40) Zveřejněno 16 07 85

(45) Vydáno 15 09 87

(75)
Autor vynálezu KOSINA FRANTIŠEK ing., BLANSKO; VOJTA MILAN ing., LOMNICE

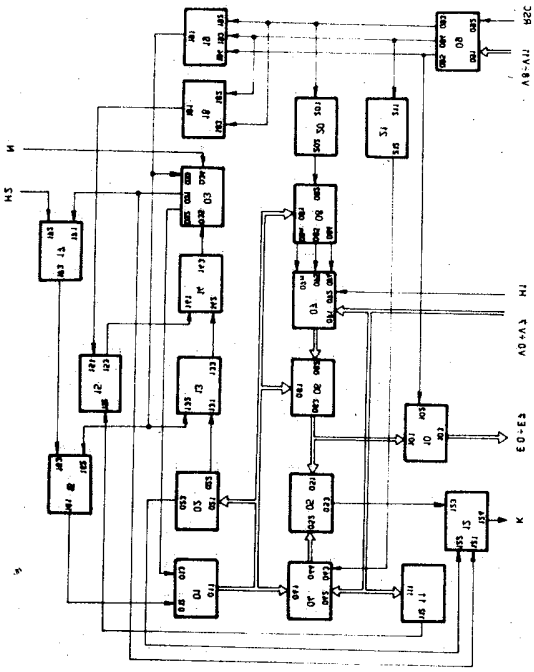
(54) Zapojení řadiče časové jednotky

Zapojení se týká oboru výpočetní techniky.

Předmět zapojení řeší technický problém zapojení řadiče časové jednotky, určené pro výpočetní prostředky, kde je nezbytná informace o reálném či denním čase.

Podstata zapojení spočívá v tom, že zapojení řadiče časové jednotky podle vynálezu obsahuje generátor denního času, který lze nastavit na počáteční hodnotu a jehož okamžitý stav je v každém okamžiku možné sejmout, čímž informaci o čase není nutné vytvářet programově.

Zapojení je možné využít ve výpočetních systémech pracujících v reálném čase, zejména u inteligentních terminálů, a mikropočítačů.



Vynález se týká zapojení řadiče časové jednotky, určené pro výpočetní prostředky (terminály, mikropočítače), které jsou zařazeny v měřicích systémech, v systémech řízení procesů v reálném čase a podobných aplikacích, kde je nezbytná informace o reálném čase.

Časové jednotky pro výpočetní prostředky jsou obvykle řešeny tak,že jsou schopny vyvolávat přerušení právě probíhajícího programu v několika pevných časových intervalech určených zapojením jednotky.

Informace o čase lze získat pouze programově načítáním počtu intervalů mezi sledovanými okamžiky. V některých aplikacích však není možné zaručit přerušitelnost programu v každém okamžiku, čímž je narušeno načítávání přerušovacích intervalů a informace o celkovém čase může být nepřesná.

Kromě toho existují i systémy, které obsahují i generátor časové informace denního času, který může být napojen i na časový normál. Tyto systémy není vhodné pro jejich složitost používat ve spojení s terminály nebo mikropočítači.

Uvedený nedostatek odstraňuje zapojení řadiče časové jednotky podle vynálezu obsahující generátor denního času, který lze nastavit na počáteční hodnotu a jehož okamžitý stav je v každém okamžiku možné sejmout a informaci o čase není nutné vytvářet programově.

Podstata zapojení řadiče časové jednotky spočívá tom, že výstup adresového čítače je propojen s adresovými vstupy paměti komparovaného času, multiplexeru, zápisového demultiplexeru a se vstupy dekodéru stavu adresovaného čítače, výstup paměti komparovaného času je spojen s jedním vstupem komparátoru, výstup multiplexeru je spojen s druhým vstupem komparátoru a se vstupem střadače, přičemž výstup střadače je výstupem dat z časové jednotky, vstup dat je spojen se vstupem paměti komparovaného času se vstupem pro paralelní nastavování stavu čítače denního času a se vstupem dekodéru posledního slova, výstup čítače denního času je propojen se vstupem multiplexeru, uvolňovací vstupy pro paralelní nastavení jednotlivých dekád čítače denního času jsou spojeny s výstupy zápisového demultiplexeru, přičemž blokovací vstup zápisového demultiplexeru je spojen s výstupem prvního zpožďovacího členu, jehož vstup je spojen s prvním výstupem dekodéru statusů a s prvními vstupy prvního a druhého logického členu, druhý výstup dekodéru statusů je spojen se vstupem zpožďovacího členu a s druhými vstupy prvního a druhého logického členu, které realizují funkci logického součtu, třetí výstup dekodéru statusů je spojen s hodinovým vstupem střadače a se třetím vstupem prvního logického členu, který realizuje funkci logického součtu, výstup druhého zpožďovacího členu je spojen se zápisovým vstupem paměti komparovaného času, výstup prvního logického členu, který realizuje funkci logického součtu, je spojen s prvním vstupem sekvenčního logického členu, s prvním vstupem prvního log. členu, který realizuje funkci logického součinu a s prvním vstupem třetího členu, který realizuje funkci logického součtu, výstup druhého logického členu, který realizuje funkci logického součtu je spojen s prvním vstupem druhého logického členu, který realizuje funkci logického součinu, výstup dekodéru posledního slova je spojen s druhým vstupem druhého logického členu, který realizuje funkci logického součinu, přičemž jeho výstup je spojen s prvním vstupem čtvrtého logického členu, který realizuje funkci logického součtu, jehož druhý vstup je spojen s výstupem prvního logického členu, který realizuje funkci logického součinu a výstup jespojen s druhým vstupem sekvenčního logického obvodu, na třetí vstup sekvenčního logického obvodu je přiveden signál N, první výstup sekvenčního logického obvodu je spojen s nulovacím vstupem adresového čítače a druhý výstup sekvenčního logického obvodu je spojen s prvním vstupem třetího logického členu, který realizuje funkci logického součinu a s prvním vstupem pátého logického členu, který realizuje funkci logického součtu, první výstup dekodéru stavu adresového čítače je spojen s druhým vstupem prvního logického členu, který realizuje funkci logického součinu, druhý výstup dekodéru stavu adresového čítače je spojen s druhým vstupem pátého logického členu, který realizuje funkci logického součtu, přičemž jeho třetí vstup je spojen s výstupem komparátoru, z výstupu pátého logického členu, který realizuje funkci logického součtu se odebírá informace o komparaci, na druhý

vstup třetího logického členu, který realizuje funkci logického součinu, je přiveden periodický signál o kmitočtu mnohonásobně větším než 1 Hz, přičemž jeho výstup je spojen s druhým vstupem třetího logického členu, který realizuje funkci logického součtu a jehož výstup je spojen s hodinovým vstupem adresovaného čítače, hodinový vstup čítače denního času je napájen periodickým signálem H1 o stabilním kmitočtu, na vstup dekodéru statusů jsou přiváděny signály V 8- V 11 a na vstup signál RSC.

Výhoda zapojení řadiče časové jednotky podle vynálezu spočívá v tom, že umožňuje nastavení generátoru denního času, nastavení obsahu paměti komparovaného času, sejmutí okamžitého stavu generátoru denního času a komparaci okamžitého stavu generátoru denního času s obsahem paměti komparovaného času a tím vyvolání přerušení právě probíhajícího programu v nastaveném čase a tak jednoduchou technickou realizací dovoluje různorodé využití časové jednotky pro výpočetní prostředky.

Na obr. 1 je zapojení řadiče časové jednotky podle vynálezu. Na obr. 2 je zapojení vhodného sekvenčního log. obvodu.

Podstata zapojení řadiče časové jednotky spočívá v tom, že výstup 011 adresového čítače 01 je propojen s adresovými vstupy 041 paměti komparovaného času 04, multiplexeru 06, zápisového demultiplexeru 08 a se vstupy dekodéru stavu adresovaného čítače 02, výstup 044 paměti komparovaného času 04 je spojen s jedním vstupem 052 komparátoru 05, výstup 063 multipplexeru 06 je spojen s druhým vstupem 051 komparátoru 05 a se vstupem 101 střadače 10, přičemž výstup 103 střadače 10 je výstupem dat z časové jednotky, vstup dat je spojen se vstupem 042 paměti komparovaného času 04 se vstupem 071 pro paralelní nastavování stavu čítače denního času 07 a se vstupem 111 dekodéru posledního slova 11, výstup 073 čítače denního času 07 je propojen se vstupem 062 multiplexeru 06, uvolňovací vstupy 074 až 07n pro paralelní nastavení jednotlivých dekád čítače denního času 07 jsou spojeny s výstupy 084 až 08n zápisového demultiplexeru 08, přičemž blokovací vstup 082 zápisového demultiplexeru je spojen s výstupem 202 prvního zpožďovacího členu 20, jehož vstup je spojen s prvním výstupem 093 dekodéru statusů 09 a s prvními vstupy prvního a druhého logického členu 18, druhý výstup 094 dekodéru statusů 09 je spojen se vstupem 211 druhého zpožďovacího členu 21 a s druhými vstupy prvního a druhého logického členu 18, které realizují funkci logického součtu, třetí výstup 095 dekodéru statusů 09 je spojen s hodinovým vstupem 102 střadače 10 a se třetím vstupem 194 prvního logického členu 19, který realizuje funkci logického součtu, výstup 212 druhého zpožďovacího členu 21 je spojen se zápisovým vstupem 043 paměti komparovaného času 04, výstup 191 prvního logického členu 19, který realizuje funkci logického součtu, je spojen s prvním vstupem 033 sekvenčního logického členu 03, s prvním vstupem 132 prvního log. členu 13, který realizuje funkci logického součinu a s prvním vstupem 162 třetího členu 16, který realizuje funkci logického součtu, výstup 181 druhého logického členu 18, který realizuje funkci logického součtu je spojen s prvním vstupem 151 druhého logického členu 15, který realizuje funkci logického součinu, výstup 112 dekodéru posledního slova 11 je spojen s druhým vstupem 152 druhého logického členu 15, který realizuje funkci logického součinu, přičemž jeho výstup 153 je spojen s prvním vstupem 141 čtvrtého logického členu 14, který realizuje funkci logického součtu, jehož druhý vstup 142 je spojen s výstupem 133 prvního logického členu 13, který realizuje funkci logického součinu a výstup 143 je spojen s druhým vstupem 035 sekvenčního logického obvodu 03, na třetí vstup 034 sekvenčního logického obvodu je přiveden signál N, první výstup 032 sekvenčního logického obvodu 03 je spojen s nulovacím vstupem 013 adresového čítače 81 a druhý výstup 031 sekvenčního logického obvodu je spojen s prvním vstupem 171 třetího logického členu 17, který realizuje funkci logického součinu a s prvním vstupem 121 pátého logického členu 12, který realizuje funkci logického součtu, první výstup 022 dekodéru stavu adresového čítače 02 je spojen s druhým vstupem 131 prvního logického členu 13, který realizuje funkci logického součinu, druhý výstup 023 dekodéru stavu adresového čítače 02 je spojen s druhým vstupem 122 pátého logického členu 12, který realizuje funkci logického součtu, přičemž jeho třetí vstup 123 je spojen s výstupem 053

komparátoru 05, z výstupu 124 pátého logického členu 12, který realizuje funkci logického součtu se odebírá informace o komparaci, na druhý vstup 172 třetího logického členu 17, který realizuje funkci logického součinu, je přiveden periodický signál o kmitočtu mnohonásobně větším než 1 Hz, přičemž jeho výstup 173 je spojen s druhým vstupem 163 třetího logického členu 16, který realizuje funkci logického součtu a jehož výstup 161 je spojen s hodinovým vstupem 012 adresovaného čítače 01, hodinový vstup 072 čítače denního času 07 je napájen periodickým signálem H1 o stabilním kmitočtu, na vstup 091 dekodéru statusů 09 jsou přiváděny signály V 8 - V 11 a na vstup 092 signál RSC.

Výstupem 011 adresového čítače 01 jsou adresovány paměť komparovaného času 04, multiplexer 06 a zápisový demultiplexer 08. Stav adresového čítače je dekodován v dekodéru stavu adresového čítače 02 a je měněn hodinovými impulsy, které jsou přiváděny na vstup 012 z výstupu 161 součtového logického členu 16, na jehož vstup 162 je přiváděn logický součet výstupních signálů dekodéru statusů 09 z výstupu 191 součtového logického členu 19 a na vstup 163 jsou přiváděny periodické impulsy H2, které jsou v součinovém logickém členu 17 blokovány signálem z výstupu 031 sekvenčního logického obvodu 03 při zápisu dat do paměti komparovaného času 04, nastavování čítače denního času 07 a při snímání jeho okamžitého stavu.

Vstupní data V0 až V7 jsou přiváděna na vstup 071 pro paralelní nastavení adresového čítače 07 na vstup 042 paměti komparovaného času na vstup 111 dekodéru posledního slova 11. Data jsou nastavována serioparalelně, to značí, že jsou postupně nastavovány jednotlivé dekády časového údaje tak, že požadovaná kombinace musí být nastavena na vstupech V0 až V7 a na vstupech V8 až V11 musí být nastavena taková kombinace, aby v okamžiku přechodu signálu RSC na úroveň logické jedničky byl aktivován výstup 093 při nastavování paměti komparovaného času nebo výstup 094 při nastavování čítače denního času.

Ve zpožďovacích obvodech 20 a 21 se zpozdí nástupná hrana signálu z výstupu 093 a 094 dekodéru statusů 09, aby bylo zaručeno, že se ustálí stavy na výstupu 011 adresového čítače 01 s dostatečným předstihem před nástupní hranou zápisového impulsu na vstupu 043 paměti komparovaného času 04 nebo na vstupech 074, 075 až 07n pro paralelní zápis dat čítače denního času 07.

Demultiplexer 08 podle okamžité kombinace na vstupu 081 aktivuje výstupy 083 až 08n po dobu trvání impulsu na vstupu 082. Multiplexer 06 podle kombinace na vstupu 061 přivádí na výstup 062 kombinace, které postupně odpovídají stavům na výstupu jednotlivých dekád čítače denního času 07 a zapisují se do střadače 10 zápisovým impulsem na vstupu 102 při snímání okamžitého stavu čítače denního času.

Při komparaci časového údaje jsou na vstupy 051 a 052 komparátoru 05 přiváděny kombinace okamžitého stavu čítače denního času 07 přes multiplexer 06 a nastaveného stavu do paměti komparovaného času 04, přičemž společné adresování paměti 04 a multiplexeru 06 zajišťuje, že jsou v komparátoru porovnávány odpovídající dekády časového údaje.

Sekvenční logický obvod 03 zajišťuje nulování adresového čítače 01 signálem přiváděným na vstup 013, při zápisu nebo snímání první dekády časového údaje a blokování hodinových impulzů H2 součinovým členem 17 a výstupu komparátoru logickým součtovým členem 12 signálem z výstupu 031, který je přiváděn na vstupy 171 a 121 uvedených logických členů.

Nastavení logického sekvenčního obvodu do výchozího stavu zajišťuje signál přiváděný na vstup 035 z výstupu 193 součtového logického členu 14 a signál N přiváděný na vstup 034. Výstup 022 dekodéru stavu adresového čítače 02 nabývá úroveň logické jedničky při nejvyšším dovoleném stavu adresového čítače.

Logickými členy 13, 14 a 15 je zaručeno, že sekvenční obvod 03 je uveden do výchozího stavu, je-li adresový čítač 02 v nejvyšším možném stavu a impuls na výstupu 191 logického

součtového členu 19 nabývá úroveň logické jedničky nebo při vyslání posledního slova při zápisu dat a výstup 181 logického součtového členu 18 je na úrovni logické jedničky.

Výstupní signál z výstupu 023 dekodéru stavu adresového čítače 02 nabývá úrovně logické jedničky při stavech adresového čítače 02, při kterých se vysílají nebo přijímají kombinace zakončující blok předávaných dat.

Protože při těchto stavech adresového čítače není zaručena přítomnost stejných kombinací na vstupech 051 a 052 komparátoru 05, je výstup 053 komparátoru blokován z výstupu 023 dekodéru stavu adresového čítače 02 v součtovém logickém členu 12. Z výstupu 124 součtového členu 12 se odebírá signál K, který dává informace o komparaci času.

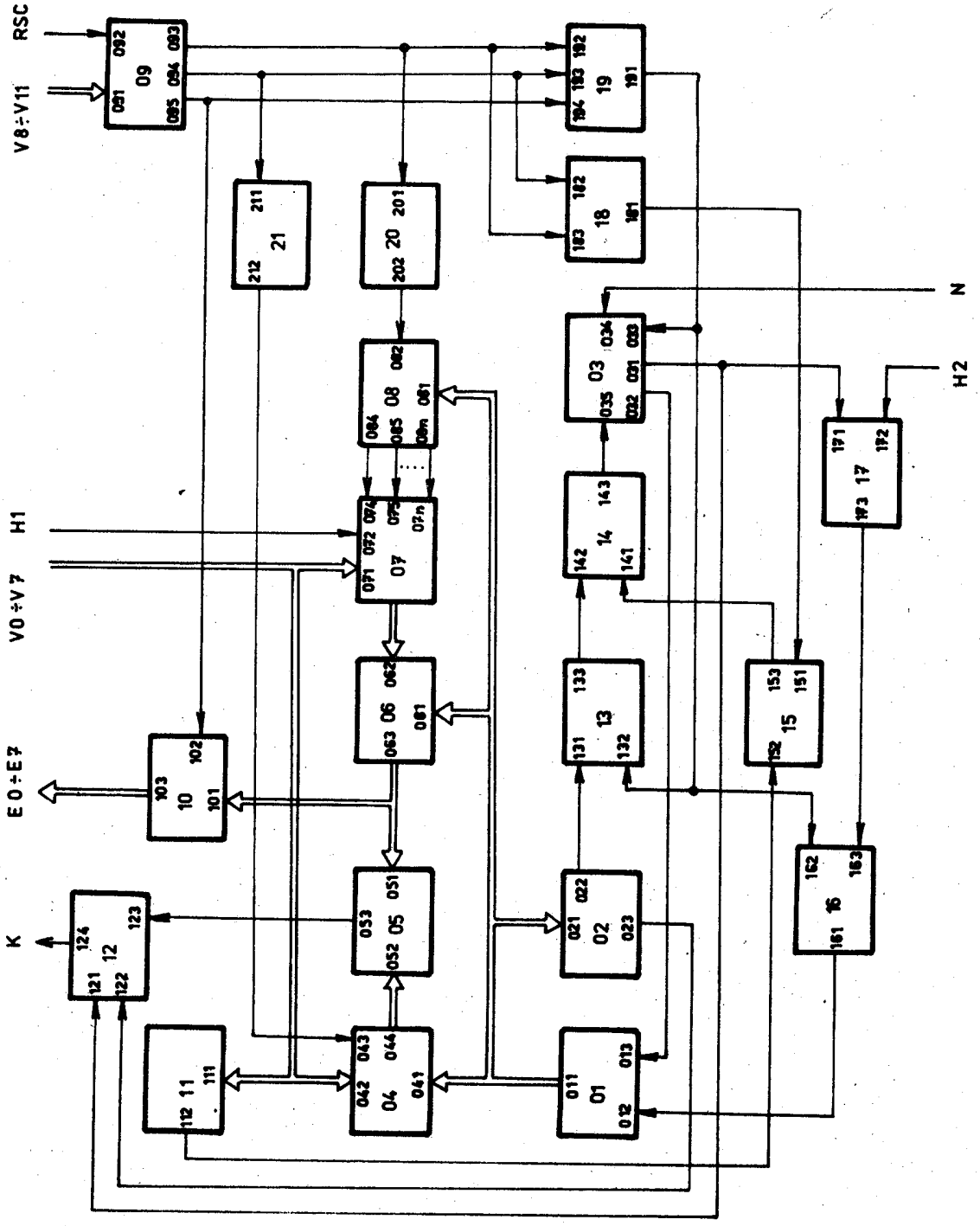
Zapojení podle vynálezu lze využít v časových jednotkách pro výpočetní prostředky, u nichž se požaduje, aby dávaly informaci o denním čase a vyvolávaly přerušení právě probíhajícího programu v předem nastaveném čase.

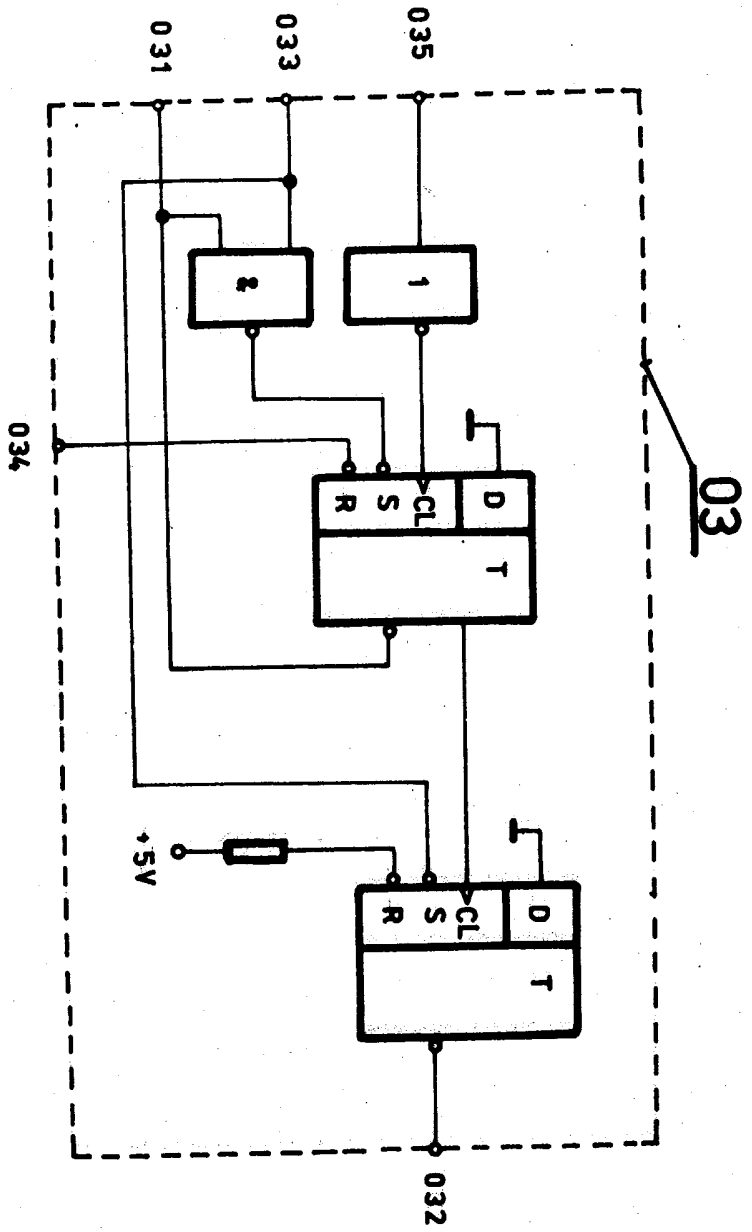
PŘEDMĚT VYNÁLEZU

Zapojení řadiče časové jednotky vyznačené tím, že výstup (011) adresového čítače (01) je propojen s adresovými vstupy (041) paměti komparovaného času (04), se vstupem (061) multiplexeru (06), se vstupem (081) zápisového demultiplexeru (08) a se vstupem (021) dekodéru stavu adresového čítače (02), výstup (044) paměti komparovaného času (04) je spojen se vstupem (052) komparátoru (05), výstup (063) multiplexeru (06) je spojen se vstupem (051) komparátoru (05) a se vstupem (101) střadače (10), přičemž výstup (103) střadače (10) je výstupem dat E0 až E7 z časové jednotky, vstup dat V0 až V7 je spojen se vstupem (042) paměti komparovaného času (04), se vstupem (071) pro paralelní nastavení stavu čítače denního času (07) a se vstupem (111) dekodéru posledního slova (11), výstup (073) čítače denního času (07) je propojen se vstupem (062) multiplexeru (06), uvolňovací vstupy (074) až 07n) pro paralelní nastavení jednotlivých dekád čítače denního času (07) jsou spojeny s odpovídajícími výstupy (084 až (08n) zápisového demultiplexeru (08), přičemž jeho blokovací vstup (082) je spojen s výstupem (202) zpožďovacího členu (20), jehož vstup (201) je spojen s výstupem (093) dekodéru statusů (09), se vstupem (183) součtového logického členu (18) a se vstupem (192) součtového logického členu (19), výstup (094) dekodéru statusů (09) je spojen se vstupem (211) zpožďovacího členu (21), se vstupem (182) součtového logického členu (18)a se vstupem (193) součtového logického členu (19), výstup (095) dekodéru statusů (09) je spojen s hodinovým vstupem (102) střadače (10) se vstupem (194) součtového logického členu (19), výstup (212) zpožďovacího členu (21) je spojen se zápisovým vstupem (043) paměti komparovaného času (04), výstup (191) součtového logického členu (19) je spojen se vstupem (033) sekvenčního logického obvodu (03), se vstupem (132) součinového logického členu (13) a se vstupem (162) součinového logického členu (16), výstup (181) součtového logického členu (18) je spojen se vstupem (151) logického součinového členu (05), výstup (112) dekodéru posledního slova (11) je spojen se vstupem (152) součinového logického členu (15), přičemž jeho výstup (153) je spojen se vstupem (141) součtového logického členu (14), jehož vstup (142) je spojen s výstupem (133) součinového logického členu (13) a výstup (143) je spojen se vstupem (035) sekvenčního logického obvodu (03), vstup (034) je vstupem N časové jednotky, výstup (032) sekvenčního logického obvodu (03) je spojen s nulovacím vstupem (013) adresového čítače (01) a výstup (031) je spojen se vstupem (171) součinového logického členu (17) a se vstupem (121) součtového členu (12), výstup (022) dekodéru stavu adresového čítače (02) je spojen se vstupem (131) součinového logického členu (13), výstup (023) dekodéru stavu adresového čítače (02) je spojen se vstupem (122) součtového logického členu (12), přičemž jeho vstup (123) je spojen s výstupem (053) komparátoru (05) a výstup (124) je výstupem K z časové jednotky, vstup (172) součino-

vého logického členu (17) je vstupem H2 časové jednotky a výstup (173) téhož členu je spojen se vstupem (163) součtového logického členu (16), hodinový vstup (012) adresového čítače (01) je spojen s výstupem (161) součtového logického členu (16), hodinový vstup (072) čítače denního času (07) je vstupem H1 časové jednotky, vstup dat V 8 až V11 je spojen se vstupem (091) dekodéru statusů (09), přičemž jeho vstup (092) je vstupem RSC časové jednotky.

2 výkresy


RSC
V8÷V11
H1
V0÷V7
E0÷E7
K
N
H2
09
19
18
21
20
03
08
07
14
17
06
13
15
10
12
05
02
16
11
04
01



Obr. 2.

Severografia, n. p., Mos

Cena 2,40 Kčs