



(12) 发明专利申请

(10) 申请公布号 CN 117716488 A

(43) 申请公布日 2024. 03. 15

(21) 申请号 202280046557.1

(22) 申请日 2022.06.29

(30) 优先权数据

63/217,046 2021.06.30 US

(85) PCT国际申请进入国家阶段日

2023.12.28

(86) PCT国际申请的申请数据

PCT/US2022/035559 2022.06.29

(87) PCT国际申请的公布数据

W02023/278605 EN 2023.01.05

(71) 申请人 美商艾德亚半导体接合科技有限公司

地址 美国加利福尼亚州

(72) 发明人 G·G·小方丹

(74) 专利代理机构 北京市金杜律师事务所  
11256

专利代理师 李春杰

(51) Int.Cl.

H01L 23/00 (2006.01)

H01L 21/768 (2006.01)

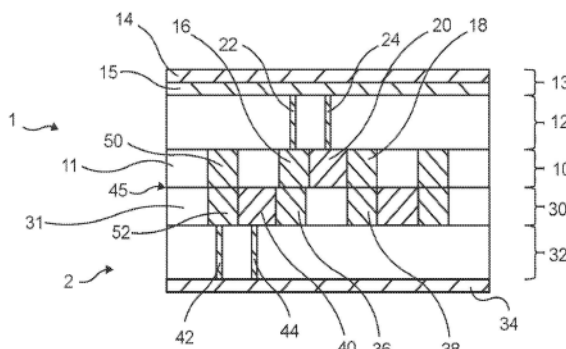
权利要求书4页 说明书12页 附图17页

(54) 发明名称

结合层中具有布线结构的元件

(57) 摘要

公开了一种结合结构。该结合结构可以包括第一元件，该第一元件包括第一结合层，该第一结合层具有第一接触焊盘和布线迹线。布线迹线形成在与第一接触焊盘相同的水平处。结合结构可以包括第二元件，该第二元件包括具有第二接触焊盘的第二结合层。第一元件和第二元件直接结合，使得第一接触焊盘和第二接触焊盘在没有中间粘合剂的情况下直接结合。



1. 一种结合结构,包括:

第一元件,包括第一结合层,所述第一结合层具有第一接触焊盘和布线迹线,所述布线迹线形成在与所述第一接触焊盘相同的水平处;以及

第二元件,包括具有第二接触焊盘的第二结合层;

其中所述第一元件的所述第一结合层和所述第二元件的所述第二结合层直接结合,使得所述第一接触焊盘和所述第二接触焊盘在没有中间粘合剂的情况下直接结合。

2. 根据权利要求1所述的结合结构,其中所述第一结合层还包括第三接触焊盘。

3. 根据权利要求2所述的结合结构,其中所述第二结合层还包括第四接触焊盘,所述第三接触焊盘和所述第四接触焊盘在没有中间粘合剂的情况下直接彼此结合。

4. 根据权利要求1所述的结合结构,其中所述布线迹线具有比所述第一接触焊盘的最大宽度窄的最大迹线宽度。

5. 根据权利要求1所述的结合结构,其中所述布线迹线接触所述第一接触焊盘并且从所述第一接触焊盘横向延伸。

6. 根据权利要求1所述的结合结构,其中所述布线迹线和所述第一接触焊盘由相同的一种或多种导电材料形成。

7. 根据权利要求1所述的结合结构,其中所述第一元件还包括第一过孔层,所述第一过孔层在所述结合层的与所述第二元件相对的侧上,所述第一过孔层包括延伸穿过所述第一过孔层的厚度的过孔。

8. 根据权利要求7所述的结合结构,其中所述第一元件还包括电子电路,其中所述第一过孔电连接所述第一接触焊盘和所述电子电路。

9. 根据权利要求7所述的结合结构,其中所述第一元件还包括布线结构,其中所述第一过孔电连接所述第一接触焊盘和所述布线结构。

10. 根据权利要求9所述的结合结构,其中所述布线结构包括再分布层。

11. 根据权利要求1所述的结合结构,其中所述第二元件的所述第二结合层还包括第二布线迹线。

12. 根据权利要求1所述的结合结构,其中所述第一接触焊盘的厚度限定所述第一结合层的厚度。

13. 根据权利要求1所述的结合结构,其中所述第一元件包括多个接触焊盘,所述多个接触焊盘包括所述第一接触焊盘,多个所述第一接触焊盘中的至少一个第一接触焊盘的直径小于5微米。

14. 一种结合结构,包括:

第一元件,包括第一结合层,所述第一结合层具有第一接触焊盘和连接到所述第一接触焊盘的布线迹线,所述布线迹线在所述第一结合层中从所述第一接触焊盘横向延伸,所述布线迹线和所述第一接触焊盘由相同导电材料形成;以及

第二元件,包括具有第二接触焊盘的第二结合层,

其中所述第一元件和所述第二元件直接结合,使得所述第一接触焊盘和所述第二接触焊盘在没有中间粘合剂的情况下直接结合。

15. 一种结合结构,包括:

第一元件,包括第一结合层,所述第一结合层具有第一接触焊盘和布线迹线;以及

第二元件,包括具有第二接触焊盘的第二结合层,

其中所述第一元件和所述第二元件沿结合界面直接结合,使得所述第一接触焊盘和所述第二接触焊盘在没有中间粘合剂的情况下直接结合,所述布线迹线和所述第一接触焊盘沿所述结合界面被设置。

16.根据权利要求15所述的结合结构,其中所述布线迹线接触所述第二结合层的非导电材料。

17.一种结合结构,包括:

第一元件,包括第一结合层和过孔层,所述第一结合层具有结合侧和与所述结合侧相对的背侧,所述过孔层在所述第一结合层的所述背侧上,所述第一结合层包括与所述过孔层的两个过孔电接触的细长导电特征;以及

第二元件,包括具有导电特征的第二结合层,

其中所述第一元件和所述第二元件直接结合,使得所述细长导电特征与所述第二结合层接触。

18.根据权利要求17所述的结合结构,其中所述第一元件的所述细长导电特征与所述第二元件的所述导电特征直接接触。

19.根据权利要求17所述的结合结构,其中所述第一元件包括连接到所述细长导电特征的接触焊盘,所述接触焊盘直接结合到所述第二元件的所述导电特征。

20.一种具有结合层的元件,所述元件包括:

第一接触焊盘,嵌入在所述结合层的非导电材料中,所述第一接触焊盘的上表面未被所述结合层的所述非导电材料覆盖;

布线迹线,嵌入在所述结合层的所述非导电材料中,所述布线迹线的上表面未被所述结合层的所述非导电材料覆盖,

其中所述结合层被配置为在没有中间粘合剂的情况下直接结合到另一元件。

21.根据权利要求20所述的元件,其中所述布线迹线横向连接所述第一接触焊盘和第二接触焊盘。

22.根据权利要求20所述的元件,其中所述布线迹线形成在与所述第一接触焊盘相同的金属水平处。

23.根据权利要求20所述的元件,其中所述布线迹线由与所述第一接触焊盘相同的一个或多个金属层形成。

24.根据权利要求20所述的元件,其中所述结合层的所述非导电材料具有小于约  $20\text{\AA}$  的表面粗糙度。

25.根据权利要求24所述的元件,其中所述接触焊盘和所述布线迹线在所述结合层的所述非导电材料的上表面下方凹陷小于或等于约  $20\text{nm}$ 。

26.根据权利要求24所述的元件,其中所述结合层的所述非导电材料包括氮和/或氟掺杂,所述氮和/或氟掺杂的量适合于直接结合到第二元件的类似非导电材料。

27.一种具有结合层的元件,所述元件包括:

在所述结合层中的第一接触焊盘;以及

在所述结合层中的布线迹线,

其中所述第一接触焊盘和所述布线迹线暴露在所述结合层的结合表面处,

其中所述结合层的所述结合表面被配置为在没有中间粘合剂的情况下直接结合到另一元件。

28. 根据权利要求27所述的元件,其中所述布线迹线电连接到所述结合层下面的过孔层中的过孔。

29. 根据权利要求27所述的元件,其中所述布线迹线从所述第一接触焊盘延伸。

30. 根据权利要求27所述的元件,其中所述布线迹线在所述结合层中在所述第一接触焊盘与第二接触焊盘之间延伸。

31. 根据权利要求27所述的元件,其中所述布线迹线从所述第一接触焊盘延伸。

32. 根据权利要求27所述的元件,其中所述布线迹线具有比所述第一接触焊盘的最大宽度窄的宽度。

33. 一种形成被配置为与另一元件直接结合的元件的方法,所述方法包括:

从所述元件的结合层的结合表面去除所述结合层的部分;

将导电材料提供给所述结合层的去除的所述部分以形成接触焊盘和布线迹线,所述布线迹线在所述结合层中从所述接触焊盘横向延伸;以及

使所述结合表面为直接结合做准备。

34. 一种形成被配置为与另一元件结合的元件的方法,所述方法包括:

图案化导电层以形成接触焊盘和布线迹线;

将所述接触焊盘和所述布线迹线至少部分地嵌入在非导电材料中;以及

抛光所述接触焊盘的表面、所述布线迹线的表面和所述非导电材料的表面以为直接结合做准备。

35. 根据权利要求34所述的方法,其中图案化和嵌入包括镶嵌工艺,所述镶嵌工艺使用单个掩模来限定用于所述接触焊盘和所述布线迹线的腔图案,并且将所述导电层沉积到所述腔图案中。

36. 根据权利要求35所述的方法,还包括使用附加掩模在所述结合层下方的过孔层中图案化通孔,其中将所述导电层沉积到所述导电层中包括在双镶嵌工艺中同时填充所述通孔。

37. 根据权利要求36所述的方法,其中沉积所述导电层包括沉积阻挡层、籽晶层和电镀铜层。

38. 一种形成结合结构的方法,所述方法包括:

提供第一元件,所述第一元件包括第一结合层,所述第一结合层具有非导电材料、第一接触焊盘和布线迹线,所述布线迹线形成在与所述第一接触焊盘相同的金属水平处;以及

抛光所述第一接触焊盘的表面、所述布线迹线的表面和所述非导电材料的表面以为直接结合做准备。

39. 根据权利要求38所述的方法,还包括提供第二元件,所述第二元件包括具有第二接触焊盘的第二结合层。

40. 根据权利要求39所述的方法,还包括直接结合所述第一元件和所述第二元件,使得所述第一接触焊盘和所述第二接触焊盘在没有中间粘合剂的情况下直接结合。

41. 一种结合结构,包括:

第一元件,包括第一结合表面,所述第一结合表面具有第一接触焊盘和布线迹线;以及

第二元件,包括具有第二接触焊盘的第二结合表面;

其中所述第一元件和所述第二元件直接结合,使得所述第一接触焊盘和所述第二接触焊盘在没有中间粘合剂的情况下直接结合,并且所述布线迹线与所述第二结合表面接触。

42. 根据权利要求41所述的结合结构,其中所述第一结合表面还包括第三接触焊盘。

43. 根据权利要求42所述的结合结构,其中所述第二结合表面还包括第四接触焊盘,所述第一接触焊盘和所述第四接触焊盘在没有中间粘合剂的情况下直接彼此结合。

44. 根据权利要求41所述的结合结构,其中所述布线迹线具有比所述第一接触焊盘的最大宽度窄的最大迹线宽度。

45. 根据权利要求41所述的结合结构,其中所述布线迹线接触所述第一接触焊盘并且从所述第一接触焊盘横向延伸。

46. 根据权利要求41所述的结合结构,其中所述布线迹线和所述第一接触焊盘由相同的一种或多种导电材料形成。

47. 根据权利要求41所述的结合结构,其中所述第一元件还包括第一过孔层,所述第一过孔层包括延伸穿过所述第一过孔层的厚度的过孔。

48. 根据权利要求47所述的结合结构,其中所述第一元件还包括电子电路,其中所述第一过孔电连接所述第一接触焊盘和所述电子电路。

49. 根据权利要求47所述的结合结构,其中所述第一元件还包括布线结构,其中所述第一过孔电连接所述第一接触焊盘和所述布线结构。

50. 根据权利要求48所述的结合结构,其中所述布线结构包括再分布层。

51. 根据权利要求41所述的结合结构,其中所述第二元件的所述第二结合表面还包括第二布线迹线。

52. 根据权利要求41所述的结合结构,其中所述第一接触焊盘的厚度大于所述布线迹线的厚度。

53. 根据权利要求41所述的结合结构,其中所述第一元件包括多个接触焊盘,所述多个接触焊盘包括所述第一接触焊盘,多个所述第一接触焊盘中的至少一个第一接触焊盘的直径小于5微米。

## 结合层中具有布线结构的元件

[0001] 相关申请的交叉引用

[0002] 本申请要求于2021年6月30日提交的题为“ELEMENT WITH ROUTING STRUCTURE IN BONDING LAYER”的美国临时专利申请第63/217,046号的优先权,该申请的全部内容通过引用被并入本文。

### 技术领域

[0003] 该领域总体上涉及结合(bonding)层,并且具体地,涉及用于半导体元件的具有布线结构的直接结合层。

### 背景技术

[0004] 集成器件封装可以使用再分布层(RDL)将电连接(例如,信号、接地或电源)从封装中的一个或多个集成器件裸片再分布或布线到其他器件。例如,扇出再分布可以将来自集成器件裸片的精细节距结合焊盘的信号向外传送以获取更大间距。扇入再分布可以从外围裸片焊盘重新布线到位于更中心的RDL焊盘。线和焊盘可以由导电材料(例如,金属)形成并且被覆盖有非导电材料(绝缘体),并且焊盘之上的绝缘体中的开口可以被填充有例如焊料、金属凸块或柱以实现到其他元件的连接。

[0005] 用于连接单独电子元件(诸如裸片)的另一种技术是直接混合结合,由此,电子元件的导电特征和非导电特征两者分别直接结合到另一电子元件的导电特征和非导电特征。结合层可以具有导电特征和非导电特征。在一些情况下,RDL可以用作直接混合结合的结合层。例如,金属层可以在裸片上被沉积并且图案化,以用作远离裸片焊盘的布线线路。绝缘体被沉积在线之上,并且被图案化为具有开口,在开口中,焊盘由另一金属层形成,诸如通过镶嵌技术。焊盘被暴露在顶部处,而布线线路被埋在绝缘体下面。为了实现直接结合所需要的平面性(planarity),绝缘体和焊盘被精细抛光并且为直接结合到不同元件做好准备。

[0006] 仍然持续需要改进的结构和方法,以将包括电子组件的元件连接到另一元件。

### 附图说明

[0007] 参考附图进行详细描述。在附图中,附图标记最左边的(多个)数字表示附图标记首次出现的附图。在不同的附图中使用相同的附图标记表示相似或相同项。

[0008] 在本讨论中,附图中所示的设备和系统被示出为具有多个组件。如本文中描述的设备 and/或系统的各种实现可以包括更少的组件并且保持在本公开的范围之内。替代地,设备和/或系统的其他实现可以包括附加组件、或者所描述的组件的各种组合,并且保持在本公开的范围之内。

[0009] 图1A是在之前第一元件和第二元件的示意性横截面侧视图。

[0010] 图1B是包括第一元件和第二元件的结合结构的示意性横截面侧视图。

[0011] 图2A是结合层60中具有布线结构的元件4的示意性仰视图。

[0012] 图2B是图2A中所示的元件的一部分的示意性横截面侧视图。

- [0013] 图3A是图2A中所示的元件的一部分的放大平面图。
- [0014] 图3B是图3A中所示的元件的一部分的示意性透视图。
- [0015] 图3C是图2A中所示的元件的另一部分的放大平面图。
- [0016] 图3D是图3C中所示的元件的一部分的示意性透视图。
- [0017] 图3E是图2A中所示的元件的另一部分的放大平面图。
- [0018] 图3F是图3E中所示的元件的一部分的示意性透视图。
- [0019] 图4A至图4E示出了根据一个实施例的形成元件的制造过程。
- [0020] 图4F和图4G示出了在图4A至图4E的制造过程中使用的第一掩模层和第二掩模层的示意性俯视图。
- [0021] 图5A是用于在元件的过孔层中形成过孔的掩模层的示意性俯视图。
- [0022] 图5B是用于在元件的结合层中形成接触焊盘和布线结构的掩模层的示意性俯视图。
- [0023] 图6A示出了在结合之前图2A、图3C和图3D中所示的元件的细长导电结构以及另一元件的细长导电结构。
- [0024] 图6B示出了在结合之后图6A的细长导电结构。
- [0025] 图6C是包括图6A的细长结构的结合结构的示意性横截面侧视图。
- [0026] 图7A是示出结合层中的组件的示例尺寸的图表。
- [0027] 图7B示意性地示出了图7A中所示的尺寸的位置。
- [0028] 图8A是根据一个实施例的在结合层中具有布线结构的元件的仰视图。
- [0029] 图8B是图8A中所示的元件的一部分的放大图。
- [0030] 图9是结合结构的结合界面处或结合界面附近的红外 (IR) 图像。

### 具体实施方式

[0031] 两个或更多个半导体元件 (诸如集成器件裸片、晶片等) 可以彼此结合以形成结合结构。一个元件的导电特征 (例如, 接触焊盘、过孔 (例如, TSV) 的暴露端、或贯穿衬底电极) 可以电连接到另一元件的对应导电特征。任何合适数目的元件都可以堆叠在结合结构中。

[0032] 参考图1A和图1B, 在一些实施例中, 元件 (例如, 第一元件1和第二元件2) 在没有中间粘合剂 (intervening adhesive) 的情况下直接彼此结合。替代地, 一个元件的再分布层 (RDL) 直接混合结合到另一元件的再分布层。在各种实施例中, 第一元件1 (例如, 第一集成器件裸片或者具有有源电路系统的第一半导体器件裸片) 的非导电材料11可以在没有粘合剂的情况下直接结合到第二元件2 (例如, 互连结构或者具有有源电路系统的第二半导体器件裸片) 的对应的非导电材料31。非导电材料11可以被称为第一元件的非导电结合区域。可以使用介电到介电结合技术将第一元件1的非导电材料11直接结合到第二元件2的对应的非导电材料31。例如, 可以使用直接结合技术在没有粘合剂的情况下形成介电到介电共价结合。合适的非导电结合材料包括在半导体加工中使用的常规绝缘材料, 包括但不限于氧化硅、氮化硅、氮氧化硅、碳化硅、碳氮化硅等。

[0033] 在各种实施例中, 可以在没有中间粘合剂的情况下形成直接结合。例如, 介电结合表面可以被抛光到高度光滑。结合表面可以被清洁并且暴露于等离子体和/或蚀刻剂以激活表面。在一些实施例中, 表面可以在激活之后或在激活期间 (例如, 在等离子体和/或蚀刻

工艺期间)用物质(species)封端(terminate)。在不受理论限制的情况下,在一些实施例中,可以执行激活工艺以破坏结合表面处的化学结合,并且封端工艺可以在结合表面处提供附加化学物质,该物质提高了直接结合期间的结合能。在一些实施例中,在相同的步骤中提供激活和封端,例如,用以激活和封端表面的等离子体或湿法蚀刻剂。在其他实施例中,可以在单独的处理中封端结合表面,以提供用于直接结合的附加物质。在各种实施例中,封端物质可以包括氮。此外,在一些实施例中,结合表面可以暴露于氟。例如,在层和/或结合界面处或层和/或结合界面附近可以存在一个或多个氟峰。因此,在直接结合结构中,两种介电材料之间的结合界面可以包括在结合界面处具有较高氮含量和/或氟峰的非常光滑的界面。激活和/或封端处理的附加示例可以在美国专利第9,564,414号、第9,391,143号、以及第10,434,749号中找到,其中每个专利的全部内容通过引用整体并入本文并且用于所有目的。

[0034] 在各种实施例中,第一元件1的导电特征(例如,图1A和图1B中所示的第一接触焊盘16和第二接触焊盘18)可以直接结合到第二元件2的对应的导电特征(例如,图1A和图1B中所示的第三接触焊盘36和第四接触焊盘38)。例如,可以使用混合结合技术来提供沿着结合界面的导体到导体直接结合,该结合界面包括如上所述制备的共价直接结合的介电到介电表面。在各种实施例中,可以使用至少在美国专利第9,716,033号和第9,852,988号中公开的直接结合技术来形成导体到导体(例如,接触焊盘到接触焊盘)直接结合和介电到介电混合结合,其中每个专利的全部内容通过引用整体并入本文中并且用于所有目的。

[0035] 例如,介电结合表面可以被制备,并且可以在没有中间粘合剂的情况下直接彼此结合,如上所述。导电接触焊盘(其可以至少部分地被非导电介电区域包围)也可以在没有中间粘合剂的情况下直接彼此结合。在一些实施例中,相应的导电特征可以在介电场或非导电结合区域的外部(例如,上部)表面下方凹陷,例如,凹陷小于20nm、小于15nm或小于10nm,例如,在2nm至20nm的范围内或者在4nm至10nm的范围内凹陷。在一些实施例中,非导电结合区域可以在室温在没有粘合剂的情况下直接彼此结合,并且随后,结合结构可以被退火。在退火时,导电特征可以膨胀并且彼此接触以形成金属到金属直接结合。有益的是,混合直接结合(例如, **DBI**<sup>®</sup>, 可以从加利福尼亚州圣何塞的Invensas Bonding Technologies股份有限公司商购)技术的使用使得能够实现跨直接结合界面而连接的高密度导电特征(例如,用于常规阵列的小节距或精细节距)。在一些实施例中,导电特征的节距可以小于40微米或小于10微米或甚至小于1微米。对于一些应用,导电特征的节距与结合焊盘的尺寸中的一个尺寸的比率小于5,或者小于3,并且有时期望地小于2。在各种实施例中,导电特征可以包括铜,尽管其他金属可以是合适的。

[0036] 因此,在直接结合工艺中,第一元件可以在没有中间粘合剂的情况下直接结合到第二元件。在一些布置中,第一元件可以包括切单的(singulated)元件,诸如切单的集成器件裸片。在其他布置中,第一元件可以包括载体或衬底(例如,晶片),该载体或衬底包括多个(例如,数十个、数百个或更多个)器件区域,这些器件区域在被切单时形成多个集成器件裸片。类似地,第二元件可以包括切单的元件,诸如切单的集成器件裸片。在其他布置中,第二元件可以包括载体或衬底(例如,晶片)。

[0037] 如本文所述,第一元件和第二元件可以在没有粘合剂的情况下直接彼此结合,这与沉积工艺不同。第一元件和第二元件可以相应地包括非沉积元件。本领域技术人员可以

明显地标识和区分直接结合元件和沉积在元件上的层。此外,与沉积的层不同,直接结合结构可以包括沿着结合界面的其中存在纳米空隙的缺陷区域。纳米空隙可以是由于结合表面的激活(例如,暴露于等离子体)而形成的。如上所述,结合界面可以包括来自激活和/或最后化学处理过程的材料浓度。例如,在利用氮等离子体进行激活的实施例中,可以在结合界面处形成氮峰。在利用氧等离子体进行激活的实施例中,可以在结合界面处形成氧峰。可以使用二次离子质谱(SIMS)技术来检测氮峰。在各种实施例中,例如,氮封端处理(例如,将结合表面暴露于含氮等离子体)可以用 $\text{NH}_2$ 分子取代水解(OH封端)表面的OH基团,从而产生氮封端表面。在利用氧等离子体进行激活的实施例中,可以在结合界面处形成氧峰。在一些实施例中,结合界面可以包括氮氧化硅、碳氮氧化硅或碳氮化硅。如本文所述,直接结合可以包括共价结合,其比范德华结合更强。结合层还可以包括被平面化到高度光滑的抛光表面。

[0038] 在各种实施例中,导电特征之间的金属到金属结合可以被接合,使得铜晶粒跨结合界面上生长到彼此中。在一些实施例中,铜可以具有沿着111晶面而取向的晶粒,以用于改善跨结合界面的铜扩散。结合界面可以基本上完全延伸到结合的导电特征的至少一部分,使得结合的导电特征处或结合的导电特征附近的非导电结合区域之间基本上没有间隙。在一些实施例中,可以在导电特征(例如,其可以包括铜)下方提供阻挡层。然而,在其他实施例中,例如,导电特征下方可以不存在阻挡层,如美国专利第11,195,748号中所述,该专利通过引用整体并入本文并且用于所有目的。

[0039] 图1A是在将第一元件1与第二元件2结合之前第一元件1和第二元件2的示意性横截面侧视图。图1B是包括第一元件1和第二元件2的结合结构3的示意性横截面侧视图。第一元件1可以包括第一结合层10、第一过孔层12和布线结构13。在一些实施例中,布线结构13可以具有多个层。例如,布线结构13可以包括有源层14和布线层15以及在多个布线层之间的一个或多个过孔层。在一些实施例中,布线结构13可以包括探针焊盘(未示出),该探针焊盘可以用于测试第一元件1的半导体电路。第一结合层10可以包括非导电材料11和导电特征(第一接触焊盘16、第二接触焊盘18和第一布线迹线20)。布线迹线20可以在结合层10内形成在与第一接触焊盘16和第二接触焊盘18相同的水平处。第一过孔层12可以包括第一过孔22和第二过孔24。第一接触焊盘16、第二接触焊盘18和第一布线迹线20可以包括相同材料。在一些实施例中,第一接触焊盘16、第二接触焊盘18和第一布线迹线20可以在单个制造序列(包括单个图案化工艺)中同时形成。例如,可以使用单个掩模在单镶嵌工艺中形成第一接触焊盘16、第二接触焊盘18和第一布线迹线20,以在非导电材料11中图案化和蚀刻空隙,该空隙会被用于焊盘16、18和第一布线迹线20的导电材料填充。在其他示例中,可以使用单个掩模来首先图案化导电层以形成焊盘16、18和第一布线迹线20,并且随后可以在其之上形成非导电材料11以嵌入导电特征。掩模工艺可以对覆盖导电层进行图案化蚀刻;掩模工艺可以用于在导电材料沉积之前形成剥离掩模图案;或者可以采用阴影掩模来沉积导电材料以形成焊盘16、18和第一布线迹线20。在另一实施例中,可以在单镶嵌工艺中形成第一接触焊盘16、第二接触焊盘18和第一布线迹线20。

[0040] 第一元件1的结合表面10a被高度抛光以为直接结合做准备。在一些实施例中,非导电材料11的粗糙度小于 $15\text{\AA}$ 。在一些实施例中,非导电材料11的粗糙度小于

10Årms。在一些实施例中,非导电材料11的粗糙度小于5Årms。非导电材料11还可以包括用于直接结合的激活和/或封端的签名(signature),诸如氟和氮剖面分布(profile),如上所述。

[0041] 在一些实施例中,第一接触焊盘16、第二接触焊盘18和第一布线迹线20可以被暴露在结合层10的结合表面10a处。在一些实施例中,作为平面化(例如,CMP)的结果,非导电材料11、第一接触焊盘16、第二接触焊盘18和第一布线迹线20可以在结合表面10a处彼此近似共面。例如,非导电材料11的上表面、第一接触焊盘16的上表面、第二接触焊盘18的上表面和第一布线迹线20的上表面可以彼此共面,使得第一接触焊盘16的上表面、第二接触焊盘18的上表面和第一布线迹线20的上表面从非导电材料11的上表面凹陷小于或等于50nm、30nm或20nm。在一些实施例中,第一接触焊盘16、第二接触焊盘18和/或第一布线迹线20可以具有近似等于或大体类似于结合层10的厚度的厚度。第一接触焊盘16和/或第二接触焊盘18的厚度可以限定结合层10的厚度。例如,第一接触焊盘16、第二接触焊盘18和/或第一布线迹线20可以延伸穿过第一结合层10的非导电材料11的厚度,并且在与所示的第一过孔层12相邻的底表面处彼此共面。在一些实施例中,非导电材料11的一部分可以被设置在第一过孔层12与第一接触焊盘16、第二接触焊盘18或布线迹线20之间。在另一实施例中,第一接触焊盘16、第二接触焊盘18和/或第一布线迹线20可以具有不同厚度。例如,第一接触焊盘16、第二接触焊盘18可以具有近似等于或大体类似于结合层10的厚度的厚度,但是第一布线迹线20可以具有小于结合层10的厚度的厚度。

[0042] 由于若干原因,结合表面10a处的导电特征(例如,第一接触焊盘16、第二接触焊盘18和第一布线迹线20)的表面可以与非导电材料11齐平略有不同。首先,导电特征可以在平面化工艺中相对于非导电表面有意地凹陷,典型地,凹陷约1nm至20nm,以便为混合直接结合做准备。此外,因为第一布线迹线20可以比接触焊盘38更窄,所以它可以相对于较宽的导电特征而受到差分碟形化(dishing)。

[0043] 在一些实施例中,第一布线迹线20可以包括细长导电特征,该细长导电特征的迹线宽度比第一接触焊盘16的最大宽度和/或第二接触焊盘18的最大宽度窄(参见图3A)。在一些其他实施例中,细长导电特征可以与第一接触焊盘16和第二接触焊盘18连续,并且由与第一接触焊盘16和第二接触焊盘18相同的沉积或相同的导电层形成。第一布线迹线20可以从第一结合层10中的第一接触焊盘16横向延伸。在一些实施例中,第一布线迹线20可以连接第一接触焊盘16和第二接触焊盘18。第一布线迹线20可以向第一结合层10提供再分布层(RDL)功能。

[0044] 在一些实施例中,第一过孔22可以与第一接触焊盘16电连接,并且第二过孔24可以与第一布线迹线20电连接。例如,第一过孔22可以连接到第一有源层14中的电子电路,并且第二过孔24可以连接到第一有源层14中的不同电子电路。在一些实施例中,第一过孔22和/或第二过孔24可以延伸穿过第一过孔层12的厚度。例如,第一过孔22和第二过孔24以及第一有源层14的部分可以穿过布线层15电连接。第一有源层14可以包括形成在半导体材料中和半导体材料上的电子电路(未示出),包括晶体管和其他电器件,并且可以包括互连器件的后端线(BEOL)金属化层。在一些实施例中,第一过孔22和/或第二过孔24可以将第一接触焊盘16电连接到第一有源层14的电路。在一些实施例中,过孔层12可以在典型地形成RDL的阶段(例如,在切割(dicing)之前在晶片级处或者在重构晶片级处)在第一有源层14的

BEOL(例如,互连件、裸片焊盘)之上形成并且与第一有源层14的BEOL进行通信。在其他实施例中,可以省略过孔层,并且结合层接触焊盘可以直接连接到有源层的下层BEOL。在一些实施例中,第一接触焊盘16可以经由布线迹线20电连接到第二接触焊盘18,第一过孔22可以与第一接触焊盘16电连接,但是可以不存在直接连接布线迹线20的第二过孔24。

[0045] 第一元件可以被配置为结合到另一元件(第二元件2)。在一些实施例中,第二元件2可以具有与第一元件1相同或大体相似的结构。第二元件2可以包括第二结合层30、第二过孔层32和第二有源层34。第二结合层30可以包括非导电材料31、第三接触焊盘36、第四接触焊盘38、和从第三接触焊盘36延伸但不与第四接触焊盘38接触的第二布线迹线40。第二过孔层32可以包括第三过孔42和第四过孔44。在一些实施例中,第三接触焊盘36、第四接触焊盘38和第二布线迹线40可以暴露在第二结合层30的结合表面30a上。在一些实施例中,非导电材料31、第三接触焊盘36、第四接触焊盘38和第二布线迹线40可以在结合表面30a上彼此共面。除非另有说明,否则第二元件2的组成部分(包括低粗糙度、表面激活和导电特征相对于非导电特征的凹陷)可以与第一元件1的类似组成部分相同或大体相似。

[0046] 如图1B所示,第一元件1和第二元件2可以沿结合界面45结合以形成结合结构3。在一些实施例中,第一元件1可以与第二元件2直接结合,使得第一接触焊盘16在没有中间粘合剂的情况下与第三接触焊盘36直接结合,和/或第二接触焊盘18在没有中间粘合剂的情况下与第四接触焊盘38直接结合。在一些实施例中,第一结合层10的非导电材料11和第二结合层30的非导电材料31可以在没有中间粘合剂的情况下直接结合。在一些实施例中,第一元件1的布线迹线20可以与第二元件2的非导电材料31直接接触,并且类似地,第二元件2的布线迹线40可以与第一元件的非导电材料11直接接触。在一些实施例中,由于第一元件1和第二元件2的未对准,布线迹线20的一部分可能直接结合到第三接触焊盘36或第四接触焊盘38,并且布线迹线40可能直接结合到第一接触焊盘16或第五接触焊盘50。在一些其他实施例中,布线迹线20的一部分可以直接结合到暴露在第二元件2的第二结合层30的表面处的另一布线迹线(未示出)的部分。

[0047] 第一结合层10可以包括第五接触焊盘50,并且第二结合层30可以包括第六接触焊盘52。第五接触焊盘50和第六接触焊盘52可以在没有中间粘合剂的情况下直接彼此结合。在一些实施例中,第二布线迹线40可以从第二结合层30中的第三接触焊盘36横向延伸。在一些实施例中,第二布线迹线40可以连接第三接触焊盘36和第六接触焊盘52。

[0048] 在一些实施例中,第三过孔42可以与第六接触焊盘52电连接,并且第四过孔44可以与第二布线迹线40电连接。在一些实施例中,第三过孔42和/或第四过孔44可以延伸穿过第二过孔层32的厚度。在一些实施例中,第三过孔42和/或第四过孔44可以将第六接触焊盘52电连接到第二有源层34的电路。

[0049] 在一些实施例中,第一元件1和第二元件2可以包括附加接触焊盘和布线迹线。包括结合焊盘和布线迹线(第一布线迹线20和第二布线迹线40)两者的包括布线的结合层(诸如第一结合层10和第二结合层30)可以使得元件(第一元件1和第二元件2)能够在不具有用于布线电连接的附加层(诸如下面的单独再分布(RDL)层)的情况下,在包括布线的结合层内横向布线或再分布电连接。包括布线的结合层可以降低制造成本、简化制造方法,并且减小元件的厚度。在一些应用中,包括布线的结合层可以提高制造成品率。当然,在其他实施例中,通过相同的图案化步骤与相同金属层中的结合焊盘组合的布线的益处可以与附加布

线层(诸如布线结构13和/或所示的第一结合层10与第一过孔层12之间的(多个)附加布线层(未示出))相结合。

[0050] 图2A是结合层60中具有布线结构的元件4的示意性仰视图。图2B是图2A中所示的元件4的一部分的示意性横截面侧视图。图3A是图2A中所示的元件4的一部分的放大平面图。图3B是图3A中所示的元件4的一部分的示意性透视图。图3C是图2A中所示的元件4的另一部分的放大平面图。图3D是图3C中所示的元件4的一部分的示意性透视图。图3E是图2A中所示的元件4的另一部分的放大平面图。图3F是图3E中所示的元件4的一部分的示意性透视图。元件4的结合层60可以包括多个接触焊盘56和多个布线迹线58。除非另有说明,否则图2A-图3F的组成部分可以与图1A和图1B的类似组成部分相同或大体相似。在各种图中,多个接触焊盘56被示出为圆形焊盘。然而,接触焊盘56可以具有任何合适的形状,诸如矩形(例如,正方形)形状、八边形形状等。

[0051] 参考图2B、图3A和图3B,元件4可以包括结合层60、过孔层62和有源层64,结合层60包括非导电材料61、第一接触焊盘66、第二接触焊盘68和布线迹线70,过孔层62包括第一过孔72和第二过孔74,有源层64包括第一电路系统64a和第二电路系统64b。结合层60可以具有被配置为结合到另一元件的结合表面60a。在一些实施例中,结合层60的结合表面60a可以被配置为结合到另一元件,使得第一接触焊盘66和第二接触焊盘68在没有中间粘合剂的情况下直接结合到对应的导电特征(例如,接触焊盘)。非导电材料61可以被配置为直接结合到另一元件的对应的非导电材料。

[0052] 在一些实施例中,第一过孔72可以将第一接触焊盘66电连接到第一电路系统64a,并且第二过孔74可以将第二接触焊盘68电连接到第二电路系统64b。过孔层可以包括任何合适数目的过孔。

[0053] 参考图3A,第一接触焊盘66具有最大宽度 $w_1$ ,并且第二接触焊盘68具有最大宽度 $w_2$ 。在一些实施例中,第一接触焊盘66的宽度 $w_1$ 和第二接触焊盘68的宽度 $w_2$ 可以相同或大体相似。在一些实施例中,布线迹线70可以包括细长导电特征,该细长导电特征具有比第一接触焊盘66的宽度 $w_1$ 和/或第二接触焊盘68的宽度 $w_2$ 窄的迹线宽度 $w_3$ 。在一些实施例中,例如,第一接触焊盘66的宽度 $w_1$ 和/或第二接触焊盘68的宽度 $w_2$ 可以是布线迹线70的迹线宽度 $w_3$ 的至少两倍、三倍、五倍或十倍。

[0054] 参考图3C和图3D,元件4的结合层60可以包括用作布线迹线80的细长导电结构。布线迹线80可以被配置为穿过过孔82、84来电连接元件,该过孔82、84连接到布线迹线80的不同部分。如以下关于图6A-图6C所述,这种细长导电结构可以替代地或另外地与相对的直接结合元件上的细长导电结构相结合用作接触特征。在一些实施例中,布线迹线80可以包括可以用作接触焊盘的接触部分和在过孔82、84之间提供布线功能的布线部分。

[0055] 参考图3E和图3F,元件4的结合层60可以包括接触焊盘86、另一接触焊盘88和在导电层60中从接触焊盘86横向延伸的布线迹线90。元件4可以包括连接到布线迹线90的一部分的过孔92。布线迹线90可以起到RDL的作用,以使接触焊盘86相对于下面的过孔92和其所连接到的裸片焊盘或互连件的位置进行偏移。尽管图3B和图3F示出了迹线70、90,其下表面相对于相同结合层的接触焊盘66、68、86、88的下表面而升高,但本领域技术人员将从下面描述的处理技术的描述中理解,迹线和接触焊盘可以在其与结合表面60a相对的底表面处共面。此外,如本领域技术人员所理解的,由于在抛光(例如,CMP)期间不同尺寸的金属特征

的差分蝶形化,接触焊盘86、88的顶表面可以比对应迹线70、90稍微凹陷更多。

[0056] 在本文中公开的各种实施例中,布线结构可以被示出为布线结构的示例。然而,在一些实施例中,布线结构可以包括其他结构,这些结构可以在结合层内横向地布线电连接,诸如信号、接地或电源连接。在一些实施例中,布线迹线可以包括多个布线线路、或者弯曲或非直线,并且不限于单个直的线或迹线。

[0057] 图4A至图4E示出了根据一个实施例的形成元件5的制造过程。图4F和图4G示出了在制造过程中使用的第一掩模层96和第二掩模层98的示意性俯视图。除非另有说明,否则图3A-图4G的组成部分可以与本文中公开的类似组成部分相同或大体相似。

[0058] 图4A是在制造过程的步骤中具有结合层60和过孔层62的结构的示意性横截面侧视图。虽然双镶嵌工艺被描述为同时在过孔层62中沉积过孔和在结合层60中沉积迹线/焊盘,但是本领域技术人员将理解,即使过孔层62的过孔在形成结合层60之前形成,本文中教导的原理和优点也是适用的。

[0059] 在图4A中,在结合层60上可以提供有第一掩模层96,诸如图案化抗蚀剂。图4B是在制造过程的另一步骤中具有通孔72a、74a的结构的示意性横截面侧视图。在图4B中,通孔72a、74a可以穿过结合层60和过孔层62两者来形成。在一些实施例中,可以通过蚀刻方式形成通孔72a、74a。

[0060] 图4C是去除或修改第一掩模层96并且在结合层60上形成第二掩模层98之后该结构的示意性横截面侧视图。图4D是在制造过程的另一步骤中具有腔66a、68a、70a的结构的示意性横截面侧视图。在一些实施例中,可以通过蚀刻方式形成腔66a、68a、70a。

[0061] 在图4E中,接触焊盘66、68、布线迹线70和过孔72、74可以分别形成在腔66a、68a、70a中。在一些实施例中,布线迹线70具有相对较窄的线,该相对较窄的线具有与接触焊盘66、68相同深度或厚度。在一些实施例中,可以通过在其中提供诸如铜等导电材料来形成接触焊盘66、68、布线迹线70和过孔72、74。例如,可以通过如下方式来提供导电材料:阻挡层和籽晶沉积(例如,通过PVD)和镀铜,然后抛光回铜覆盖层(copper overburden),这在镶嵌工艺中是已知的。在一些实施例中,可以通过在预先存在的过孔之上的单镶嵌工艺来形成接触焊盘66、68和布线迹线70,或者可以省略过孔层62。在所示实施例中,双镶嵌工艺用于同时填充由第一掩模层96限定的通孔72a、74a(图4B)。使用双镶嵌工艺形成的过孔72、74可以被称为双镶嵌过孔。

[0062] 应当理解,在这种情况下,在利用或不利用双镶嵌处理以及具有或不具有下面的过孔层的情况下,迹线70和接触焊盘66、68由(多个)相同沉积(例如,阻挡层和籽晶沉积PVD和镀铜)以及(多个)相同金属层形成。此外,迹线70和接触焊盘66、68的图案由相同掩模98限定。

[0063] 图5A是用于在元件的过孔层中形成过孔的掩模层100的示意性俯视图。图5B是用于在元件的结合层中形成接触焊盘和布线结构(诸如布线迹线)的掩模层102的示意性俯视图。在一些实施例中,掩模层100和/或掩模层102可以用于形成图2A-图3F中所示的元件4。掩模层100、102可以用于与关于图4A至图4E描述的制造过程相同或相似的过程中。

[0064] 图6A示出了在结合之前图2A、图3C和图3D中所示的元件4的细长导电结构80、以及另一元件的细长导电结构80'。图6B示出了在结合之后的细长导电结构80和细长导电结构80'。图6C是包括细长结构80和细长导电结构80'的结合结构的示意性横截面侧视图。

[0065] 细长导电结构80的接触位置80a和细长导电结构80'的接触位置80'a可以彼此结合。在一些实施例中,细长导电结构80的接触位置80a和细长导电结构80'的接触位置80'a可以在没有中介粘合剂的情况下直接彼此结合。在结合层中使用交叉线作为接触焊盘提供了更宽的对准裕度。细长导电结构80和/或细长导电结构80'可以连接到多个过孔,如本文中公开的,从而在过孔之间提供电布线。

[0066] 图7A是示出接触焊盘直径、接触焊盘节距、接触焊盘到接触焊盘间距、最大布线迹线宽度、接触焊盘到布线迹线间距、接触焊盘到接触焊盘间距与接触焊盘到布线间距的比率、以及过孔直径的示例尺寸的图表。图7B示意性地示出了图7A所示的尺寸的位置。在一些实施例中,接触焊盘直径、接触焊盘节距、接触焊盘到接触焊盘间距、最大布线迹线宽度、接触焊盘到布线迹线间距、接触焊盘到接触焊盘间距与接触焊盘到布线间距的比率、以及过孔直径可以小于或大于图7A所示的那些。例如,接触焊盘直径、接触焊盘节距、接触焊盘到接触焊盘间距、最大布线迹线宽度、接触焊盘到布线迹线间距、接触焊盘到接触焊盘间距与接触焊盘到布线间距的比率、以及过孔直径中的每个可以在图7A中所示的值的1%、3%、5%、10%或20%之间的范围内(例如,列出的值可以包括值 $\pm 1\%$ 、 $\pm 3\%$ 、 $\pm 5\%$ 、 $\pm 10\%$ 或 $\pm 20\%$ )。在一些实施例中,接触焊盘直径可以是亚微米级的。在一些实施例中,过孔直径可以在例如 $0.2\mu\text{m}$ 至 $50\mu\text{m}$ 、 $0.2\mu\text{m}$ 至 $25\mu\text{m}$ 、 $0.2\mu\text{m}$ 至 $10\mu\text{m}$ 、 $0.2\mu\text{m}$ 至 $5\mu\text{m}$ 、 $0.2\mu\text{m}$ 至 $2\mu\text{m}$ 、 $2\mu\text{m}$ 至 $50\mu\text{m}$ 、 $40\mu\text{m}$ 至 $50\mu\text{m}$ 或 $10\mu\text{m}$ 至 $25\mu\text{m}$ 的范围内。接触焊盘节距可以在例如 $0.4\mu\text{m}$ 至 $5\mu\text{m}$ 、 $0.4\mu\text{m}$ 至 $2\mu\text{m}$ 、 $0.4\mu\text{m}$ 至 $0.9\mu\text{m}$ 、 $0.6\mu\text{m}$ 至 $5\mu\text{m}$ 或 $0.8\mu\text{m}$ 至 $2\mu\text{m}$ 的范围内。

[0067] 图8A是结合层60中具有布线结构的元件6的仰视图。图8B是图8A中所示的元件6的一部分的放大图。元件6的结合层60可以包括多个接触焊盘56和多个布线迹线58。除非另有说明,否则图8A和图8B的组成部分可以与本文中公开的类似组成部分相同或大体相似。图8A和图8B示出,在一些实施例中,多个接触焊盘56可以包括多边形(例如,矩形或正方形)焊盘。

[0068] 图9是结合结构的结合界面处或结合界面附近的红外(IR)图像。如图9中所示,两个或更多个接触焊盘56可以通过布线迹线58被布线在结合层中。尽管图9中所示的布线迹线58连接相邻焊盘56,但在一些实施例中,布线迹线58可以连接远程焊盘。

[0069] 在一个方面,公开了一种结合结构。该结合结构可以包括第一元件,第一元件包括第一结合层。第一结合层具有第一接触焊盘和布线迹线。布线迹线形成在与第一接触焊盘相同的水平处。该结合结构可以包括第二元件,第二元件包括具有第二接触焊盘的第二结合层。第一元件的第一结合层和第二元件的第二结合层直接结合,使得第一接触焊盘和第二接触焊盘在没有中间粘合剂的情况下直接结合。

[0070] 在一个实施例中,第一结合层还包括第三接触焊盘。第二结合层还可以包括第四接触焊盘。第三接触焊盘和第四接触焊盘可以在没有中间粘合剂的情况下直接彼此结合。

[0071] 在一个实施例中,布线迹线具有比第一接触焊盘的最大宽度窄的最大迹线宽度。

[0072] 在一个实施例中,布线迹线接触第一接触焊盘并且从第一接触焊盘横向延伸。

[0073] 在一个实施例中,布线迹线和第一接触焊盘由相同的一种或多种导电材料形成。

[0074] 在一个实施例中,第一元件还包括在结合层的与第二元件相对的一侧上的第一过孔层。第一过孔层可以包括延伸穿过第一过孔层的厚度的过孔。第一元件还包括电子电路。第一过孔可以电连接第一接触焊盘和电子电路。第一元件还可以包括布线结构。第一过孔

可以电连接第一接触焊盘和布线结构。布线结构可以包括再分布层。

[0075] 在一个实施例中,第二元件的第二结合层还包括第二布线迹线。

[0076] 在一个实施例中,第一接触焊盘的厚度限定第一结合层的厚度。

[0077] 在一个实施例中,第一元件包括多个接触焊盘,该多个接触焊盘包括第一接触焊盘。多个第一接触焊盘中的至少一个第一接触焊盘的直径可以小于5微米。

[0078] 在一个方面,公开了一种结合结构。该结合结构可以包括第一元件,第一元件包括第一结合层。第一结合层具有第一接触焊盘和连接到第一接触焊盘的布线迹线。布线迹线在第一结合层中从第一接触焊盘横向延伸。布线迹线和第一接触焊盘由相同导电材料形成。该结合结构可以包括第二元件,第二元件包括具有第二接触焊盘的第二结合层。第一元件和第二元件直接结合,使得第一接触焊盘和第二接触焊盘在没有中间粘合剂的情况下直接结合。

[0079] 在一个方面,公开了一种结合结构。该结合结构可以包括第一元件,第一元件包括第一结合层。第一结合层具有第一接触焊盘和布线迹线。该结合结构可以包括第二元件,第二元件包括具有第二接触焊盘的第二结合层。第一元件和第二元件沿着结合界面直接结合,使得第一接触焊盘和第二接触焊盘在没有中间粘合剂的情况下直接结合。布线迹线和第一接触焊盘沿着结合界面被放置。

[0080] 在一个实施例中,布线迹线接触第二结合层的非导电材料。

[0081] 在一个方面,公开了一种结合结构。该结合结构可以包括第一元件,第一元件包括第一结合层和过孔层,第一结合层具有结合侧和与结合侧相对的背侧,过孔层在第一结合层的背侧上。第一结合层包括与过孔层的两个过孔电接触的细长导电特征。该结合结构可以包括第二元件,第二元件包括具有导电特征的第二结合层。第一元件和第二元件直接结合,使得细长导电特征与第二结合层接触。

[0082] 在一个实施例中,第一元件的细长导电特征与第二元件的所述导电特征直接接触。

[0083] 在一个实施例中,第一元件包括连接到细长导电特征的接触焊盘。接触焊盘可以直接结合到第二元件的导电特征。

[0084] 在一个方面,公开了一种具有结合层的元件。该元件可以包括嵌入在结合层的非导电材料中的第一接触焊盘。第一接触焊盘的上表面未被结合层的非导电材料覆盖。该元件可以包括嵌入在结合层的非导电材料中的布线迹线。布线迹线的上表面未被结合层的非导电材料覆盖。结合层被配置为在没有中间粘合剂的情况下直接结合到另一元件。

[0085] 在一个实施例中,布线迹线横向连接第一接触焊盘和第二接触焊盘。

[0086] 在一个实施例中,布线迹线形成在与第一接触焊盘相同的金属水平处。

[0087] 在一个实施例中,布线迹线由与第一接触焊盘相同的一个或多个金属层形成。

[0088] 在一个实施例中,结合层的非导电材料具有小于约  $20\text{\AA}$  的表面粗糙度。根据权利要求24所述的元件,其中接触焊盘和布线迹线在结合层的非导电材料的上表面下方凹陷小于或等于约20nm。结合层的非导电材料可以包括氮和/或氟掺杂,氮和/或氟掺杂的量适合于直接结合到第二元件的类似非导电材料。

[0089] 在一个方面,公开了一种具有结合层的元件。该元件可以包括在结合层中的第一接触焊盘和在结合层中的布线迹线。第一接触焊盘和布线迹线暴露在结合层的结合表面

处。结合层的结合表面被配置为在没有中间粘合剂的情况下直接结合到另一元件。

[0090] 在一个实施例中,布线迹线电连接到结合层下面的过孔层中的过孔。

[0091] 在一个实施例中,布线迹线从第一接触焊盘延伸。

[0092] 在一个实施例中,布线迹线在结合层中在第一接触焊盘与第二接触焊盘之间延伸。

[0093] 在一个实施例中,布线迹线从第一接触焊盘延伸。

[0094] 在一个实施例中,布线迹线具有比第一接触焊盘的最大宽度窄的宽度。

[0095] 在一个方面,公开了一种形成被配置为与另一元件直接结合的元件的方法。该方法可以包括从元件的结合层的结合表面去除结合层的部分,将导电材料提供给结合层的去除的部分以形成接触焊盘和布线迹线,以及使结合表面为直接结合做准备。布线迹线在结合层中从接触焊盘横向延伸。

[0096] 在一个方面,一种形成被配置为与另一元件结合的元件的方法。该方法包括图案化导电层以形成接触焊盘和布线迹线,将接触焊盘和布线迹线至少部分地嵌入在非导电材料中,以及抛光接触焊盘的表面、布线迹线的表面和非导电材料的表面以为直接结合做准备。

[0097] 在一个实施例中,图案化和嵌入包括镶嵌工艺,镶嵌工艺使用单个掩模来限定用于接触焊盘和布线迹线的腔图案,以及将导电层沉积到腔图案中。

[0098] 在一个实施例中,该方法还包括使用附加掩模在结合层下方的过孔层中图案化通孔。将导电层沉积到导电层中可以包括在双镶嵌工艺中同时填充通孔。沉积导电层可以包括沉积阻挡层、籽晶层和电镀铜层。

[0099] 在一个方面,公开了一种形成结合结构的方法。该方法可以包括提供包括第一结合层的第一元件。第一结合层具有非导电材料、第一接触焊盘和布线迹线。布线迹线形成在与第一接触焊盘相同的金属水平处。该方法可以包括抛光第一接触焊盘的表面、布线迹线的表面和非导电材料的表面以为直接结合做准备。

[0100] 在一个实施例中,该方法还包括提供第二元件,第二元件包括具有第二接触焊盘的第二结合层。该方法还可以包括直接结合第一元件和第二元件,使得第一接触焊盘和第二接触焊盘在没有中间粘合剂的情况下直接结合。

[0101] 在一个方面,公开了一种结合结构。该结合结构可以包括第一元件,第一元件包括第一结合表面。第一结合表面具有第一接触焊盘和布线迹线。该结合结构可以包括第二元件,第二元件包括具有第二接触焊盘的第二结合表面。第一元件和第二元件直接结合,使得第一接触焊盘和第二接触焊盘在没有中间粘合剂的情况下直接结合。布线迹线与第二结合表面接触。

[0102] 在一个实施例中,第一结合表面还包括第三接触焊盘。第二结合表面还可以包括第四接触焊盘。第三接触焊盘和第四接触焊盘在没有中间粘合剂的情况下直接彼此结合。

[0103] 在一个实施例中,布线迹线具有比第一接触焊盘的最大宽度窄的最大迹线宽度。

[0104] 在一个实施例中,布线迹线接触第一接触焊盘并且从第一接触焊盘横向延伸。

[0105] 在一个实施例中,布线迹线和第一接触焊盘由相同的一种或多种导电材料形成。

[0106] 在一个实施例中,第一元件还包括第一过孔层。第一过孔层可以包括延伸穿过第一过孔层的厚度的过孔。第一元件还可以包括电子电路。第一过孔可以电连接第一接触焊

盘和电子电路。第一元件还可以包括布线结构。第一过孔可以电连接第一接触焊盘和布线结构。布线结构可以包括再分布层。

[0107] 在一个实施例中,第二元件的第二结合表面还包括第二布线迹线。

[0108] 在一个实施例中,第一接触焊盘的厚度大于布线迹线的厚度。根据权利要求41所述的结合结构,其中第一元件包括多个接触焊盘,该多个接触焊盘包括第一接触焊盘,多个第一接触焊盘中的至少一个第一接触焊盘的直径小于5微米。

[0109] 除非上下文另有明确要求,否则在整个说明书和权利要求书中,词语“包括(comprise)”、“包括(comprising)”、“包括(include)”、“包括(including)”等应当在包括性的意义上解释,而不是排他性或详尽的意义;也就是说,在“包括但不限于”的意义上。本文中通常使用的词语“耦合”是指可以直接连接或者通过一个或多个中间元件连接的两个或更多个元件。同样,本文中通常使用的词语“连接”是指可以直接连接或者通过一个或多个中间元件连接的两个或更多个元件。此外,本申请中使用的词语“本文中”、“上面”、“下面”和具有类似含义的词语应当是指本申请整体,而不是本申请的任何特定部分。在上下文允许的情况下,上述“具体实施方式”中使用单数或复数的词语也可以分别包括复数或单数。词语“或”是指两个或更多项的列表,该词语涵盖了对该词语的所有以下解释:列表中的任何项、列表中的所有项、以及列表中的项的任何组合。

[0110] 此外,除非另有特别说明,或者在所使用的上下文中以其他方式理解,否则本文中使用的条件语言(诸如“可以(can)”、“可以(could)”、“可以(might)”、“可以(may)”、“例如(e.g.)”、“诸如(such as)”等)通常旨在传达某些实施例包括、而其他实施例不包括某些特征、元素和/或状态。因此,这样的条件语言通常并不表示特征、元素和/或状态以任何方式是一个或多个实施例所需要的。

[0111] 虽然已经描述了某些实施例,但这些实施例仅以示例的方式呈现,并不旨在限制本公开的范围。事实上,本文中描述的新颖装置、方法和系统可以以各种其他形式来体现;此外,在不脱离本公开的精神的情况下,可以对本文中描述的方法和系统的形式进行各种省略、替换和改变。例如,当块以给定布置呈现时,替代实施例可以利用不同组件和/或电路拓扑来执行类似功能,并且一些块可以被删除、移动、添加、细分、组合和/或修改。这些块中的每个可以以各种不同方式来实现。上述各种实施例的元件和动作的任何合适组合都可以被组合以提供另外的实施例。所附权利要求及其等同物旨在涵盖落入本公开的范围和精神内的这样的形式或修改。

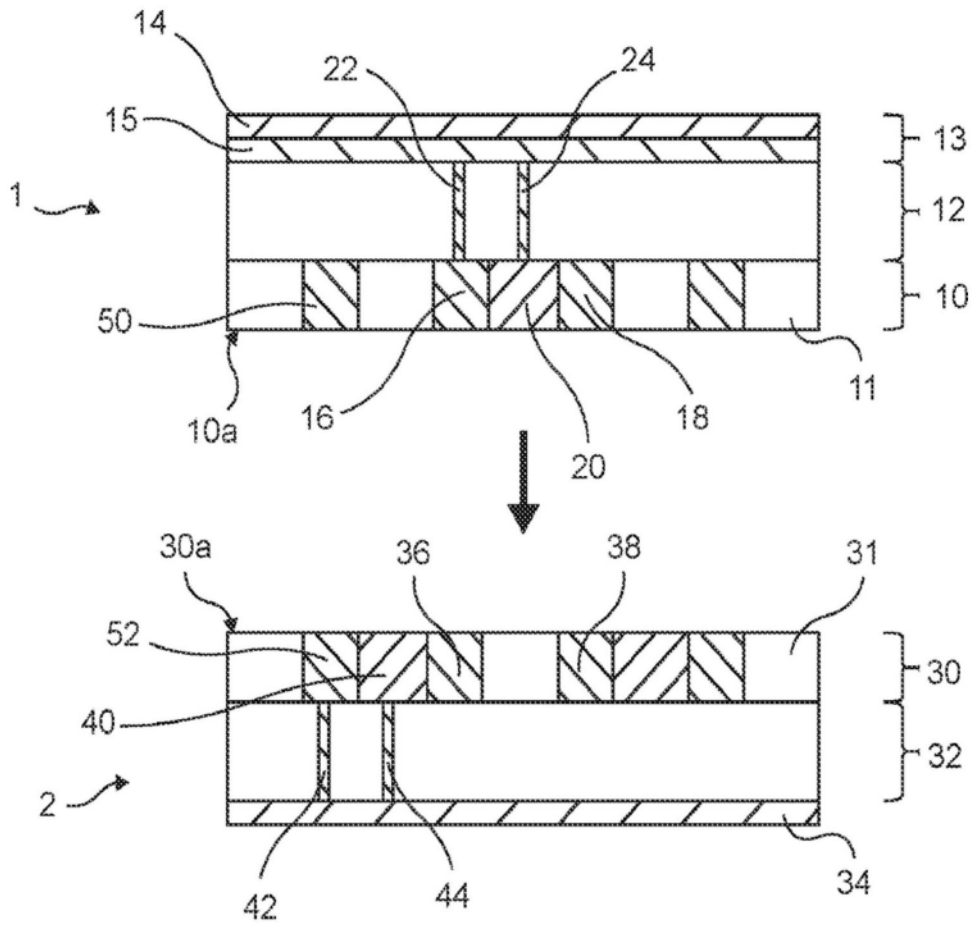


图1A

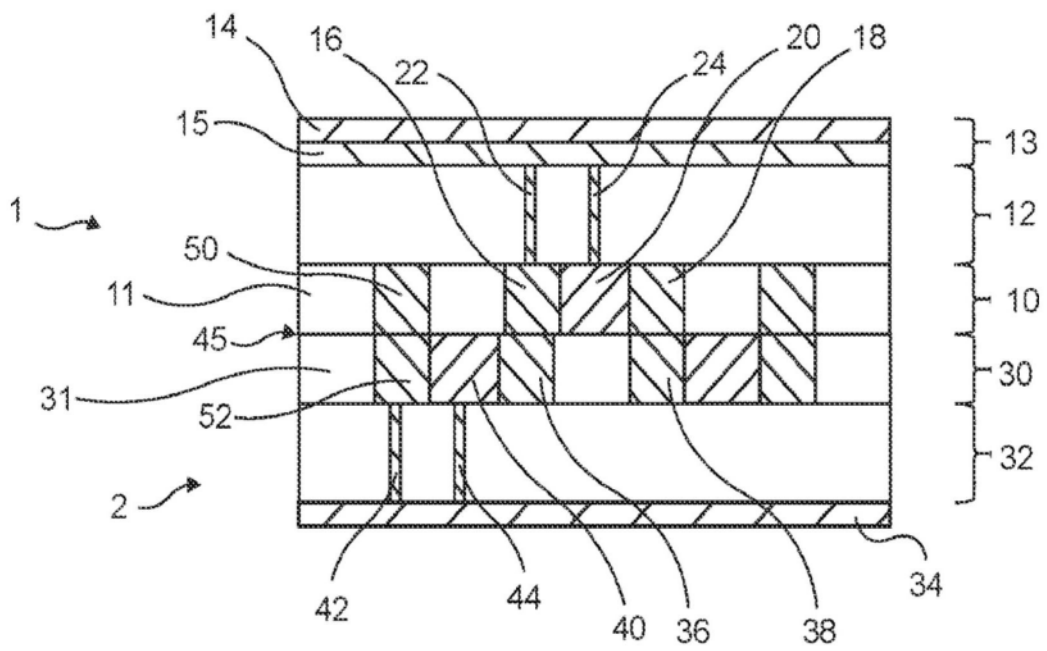


图1B



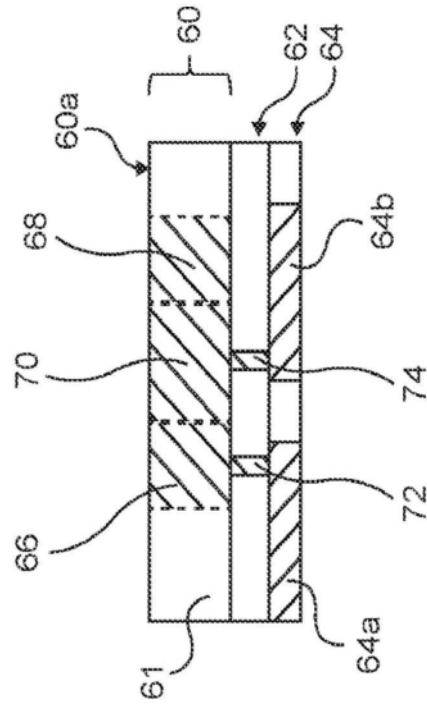


图2B

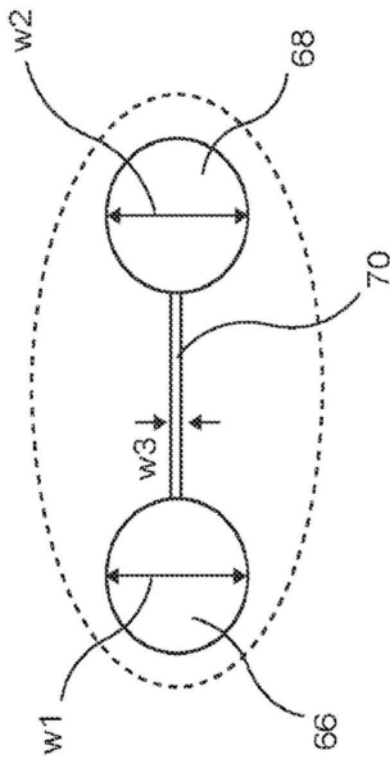


图3A

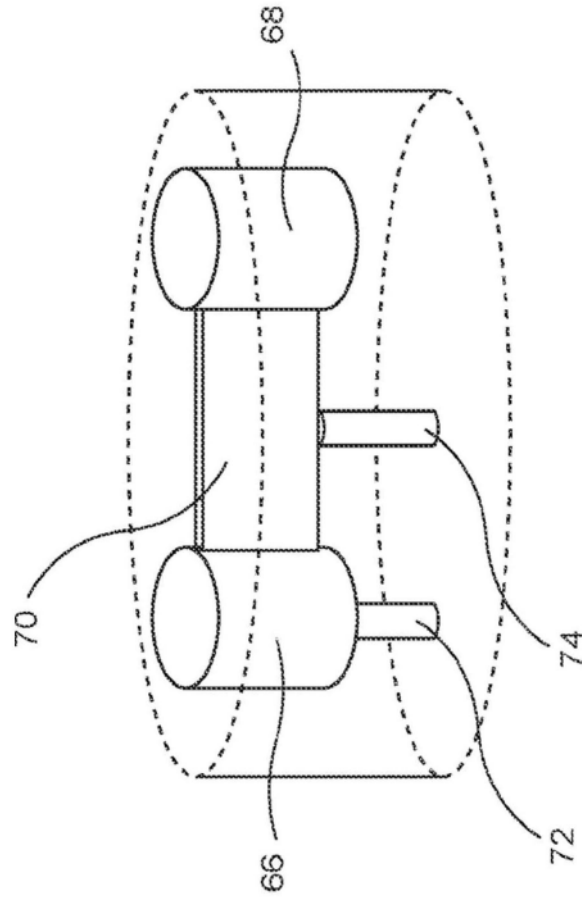


图3B

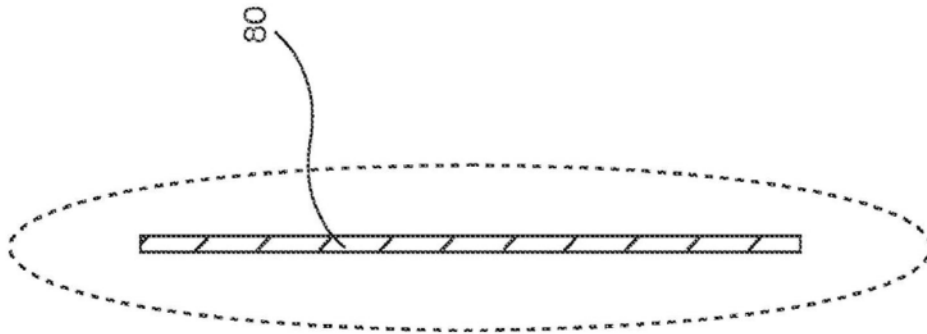


图3C

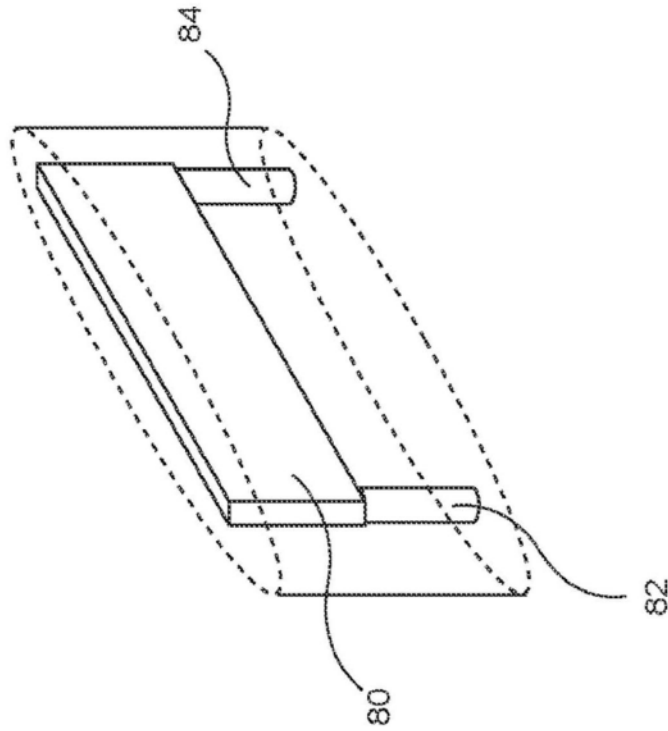


图3D

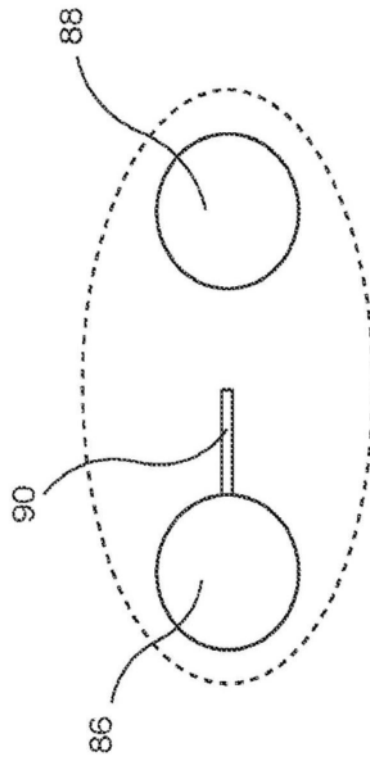


图3E

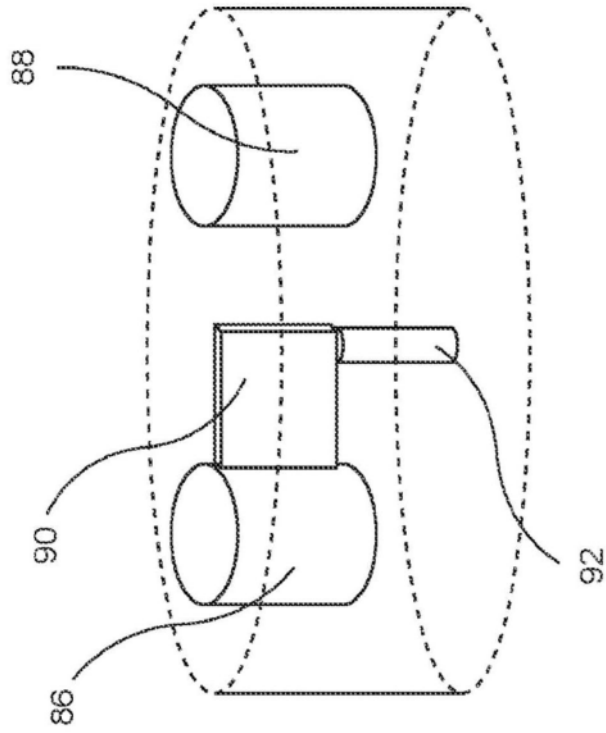


图3F

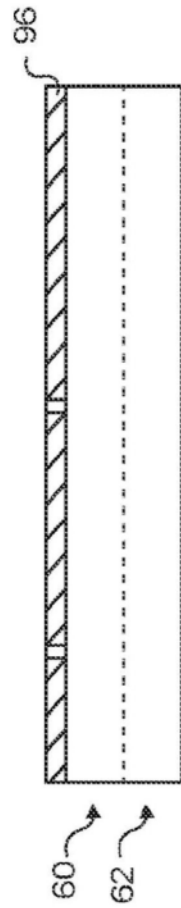


图4A

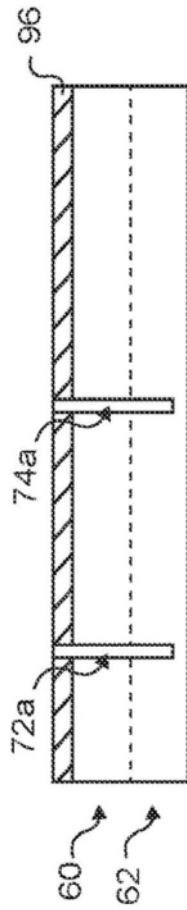


图4B

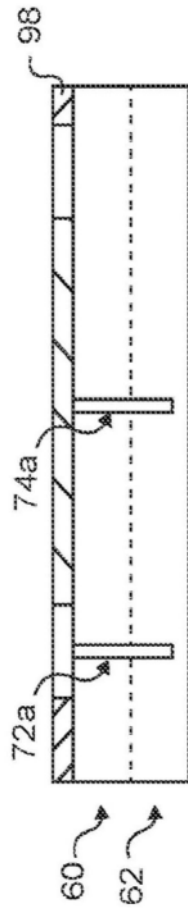


图4C

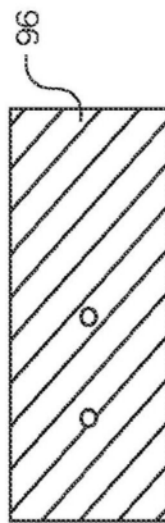
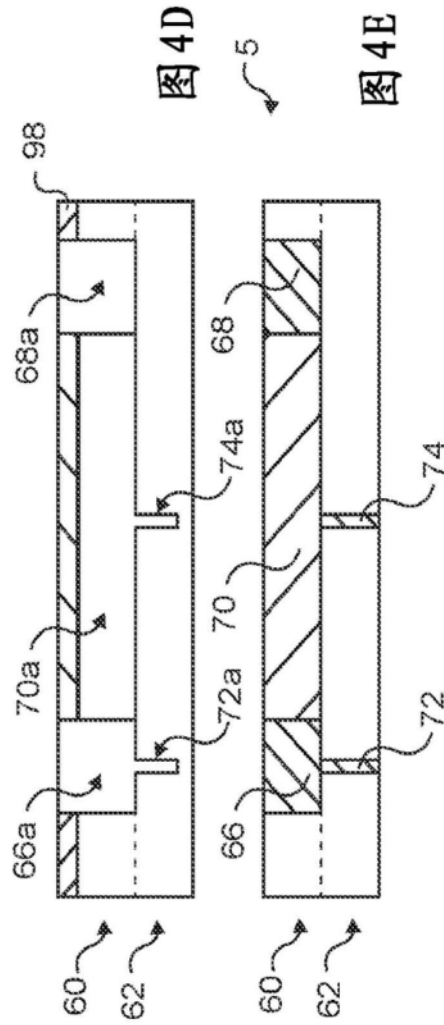


图4F

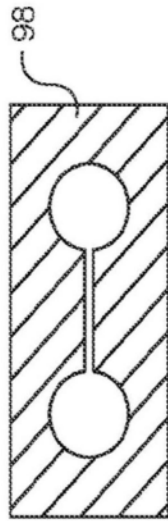


图4G

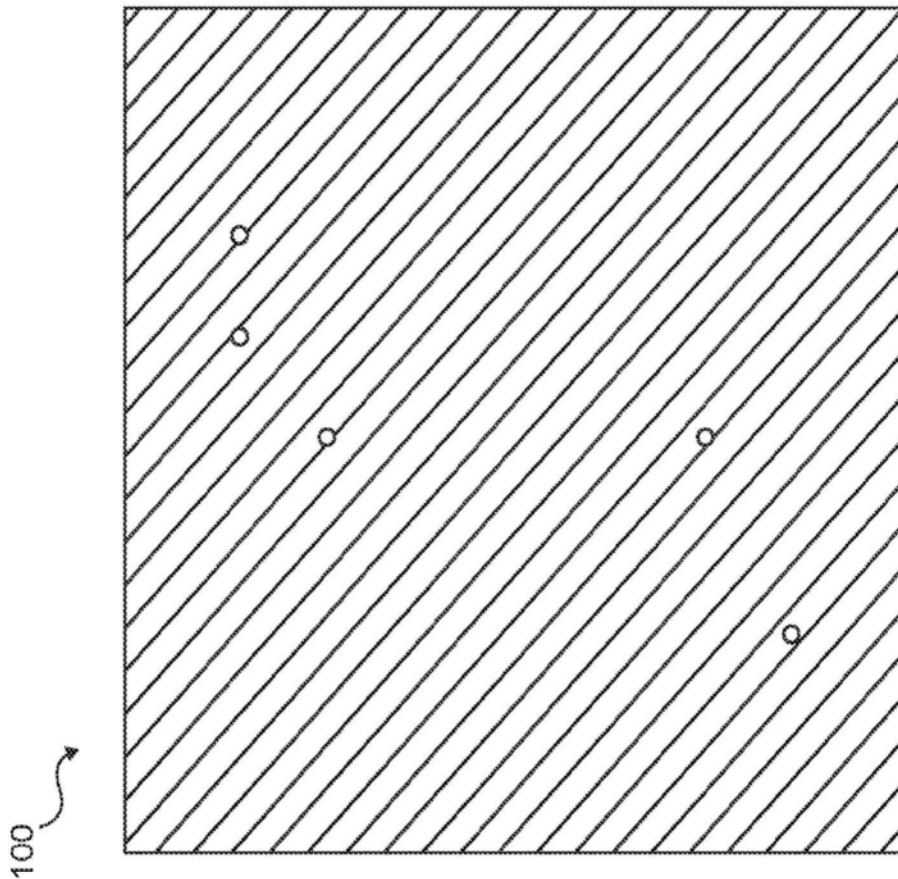


图5A

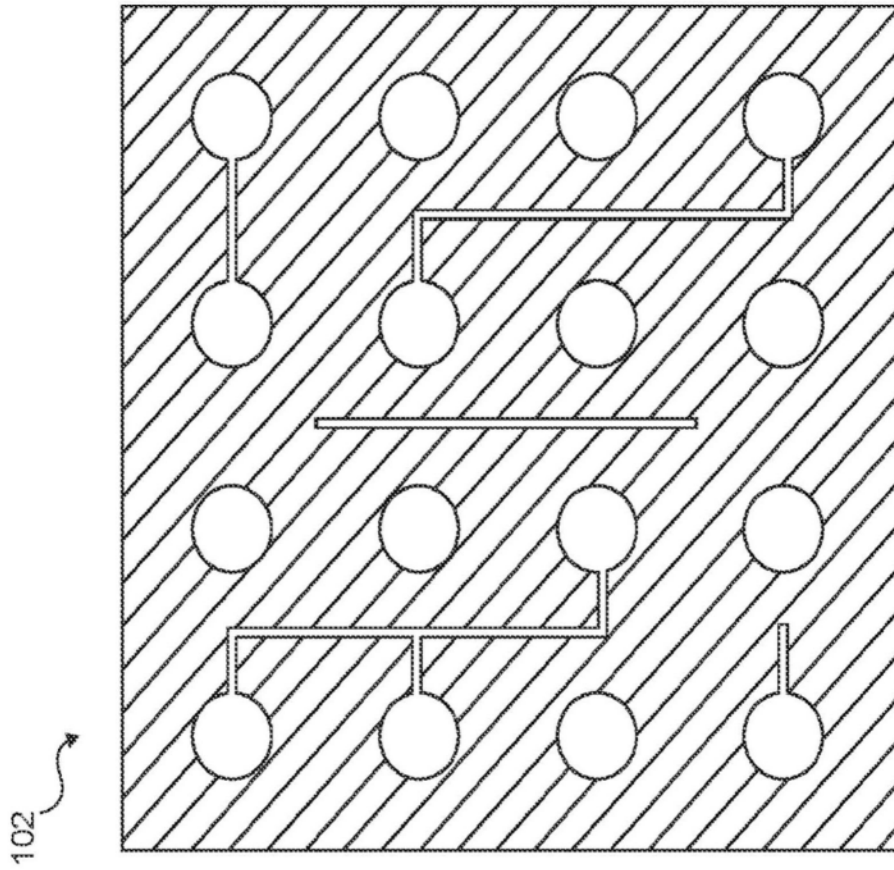


图5B

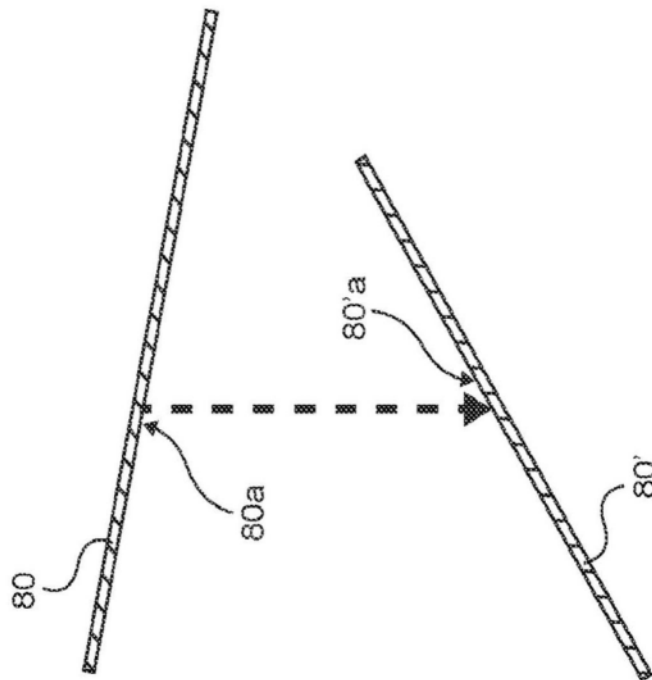


图6A

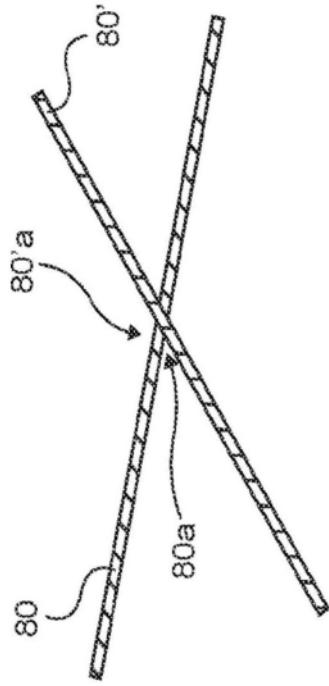


图6B

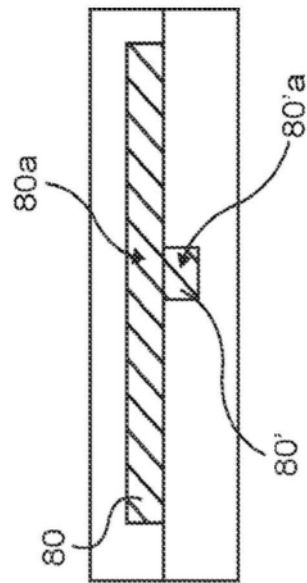


图6C

布局参数

接触焊盘直径	接触焊盘节距	接触焊盘到接触焊盘间距	最大布宽迹线宽度	接触焊盘到布线迹线间距	接触焊盘到接触焊盘间距与布线间距的比率	过孔直径
15	40	25	5	10	2.50	5
15	30	15	3	6	2.50	3
10	40	30	5	12.5	2.40	5
10	30	20	3	8.5	2.35	3
10	20	10	2	4	2.50	2
5	30	35	3	11	2.27	3
5	20	15	2	6.5	2.31	2
5	10	5	1	2	2.50	1
2	10	8	1	3.5	2.29	1
2	6	4	0.5	1.75	2.29	0.5
2	4	2	0.3	0.85	2.35	0.3

比率小于 2.5到1

所有单位均为微米

图7A

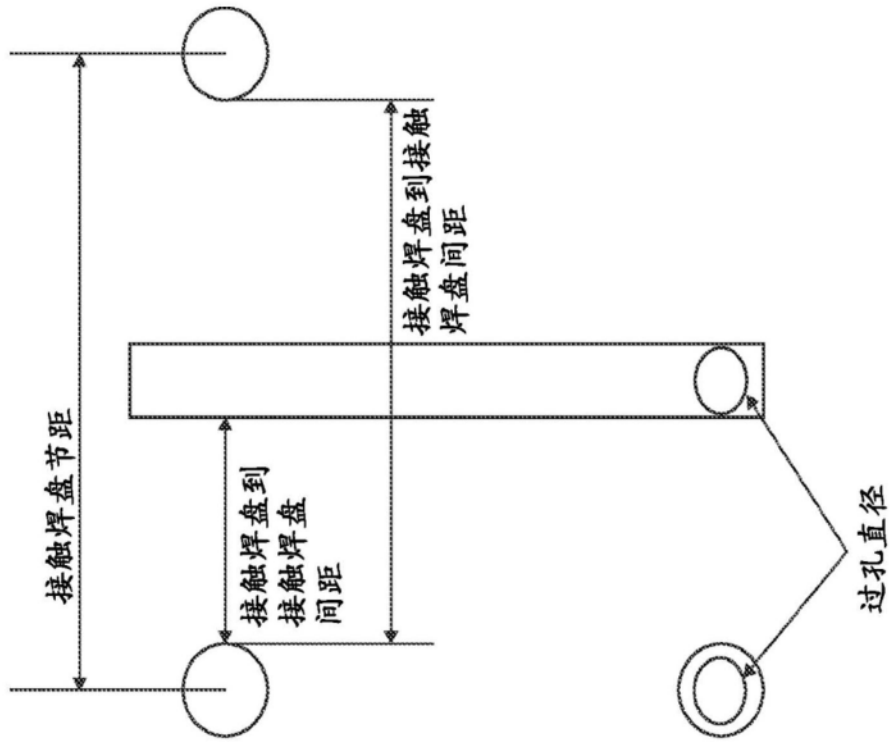


图7B

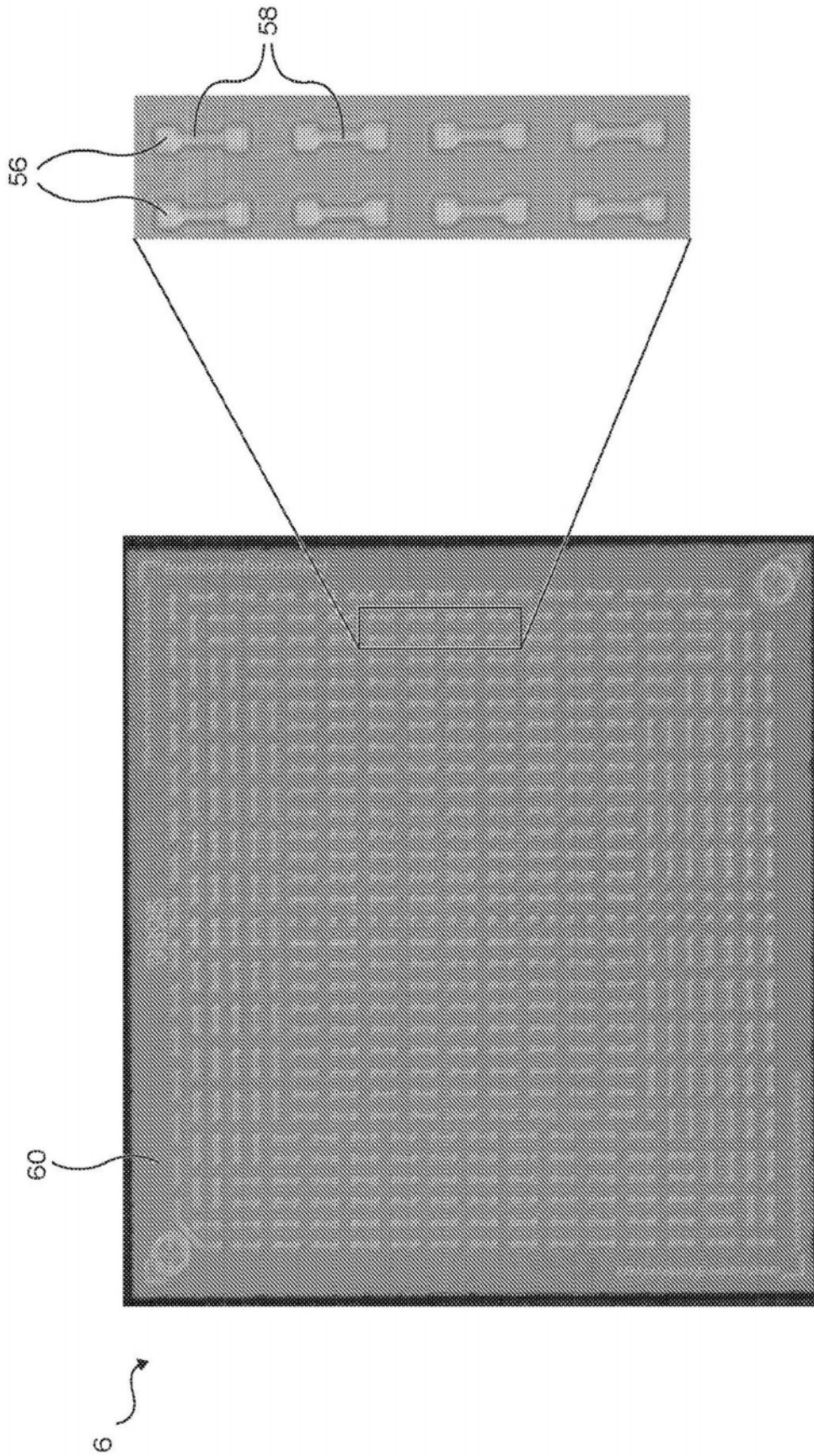


图 8B

图 8A

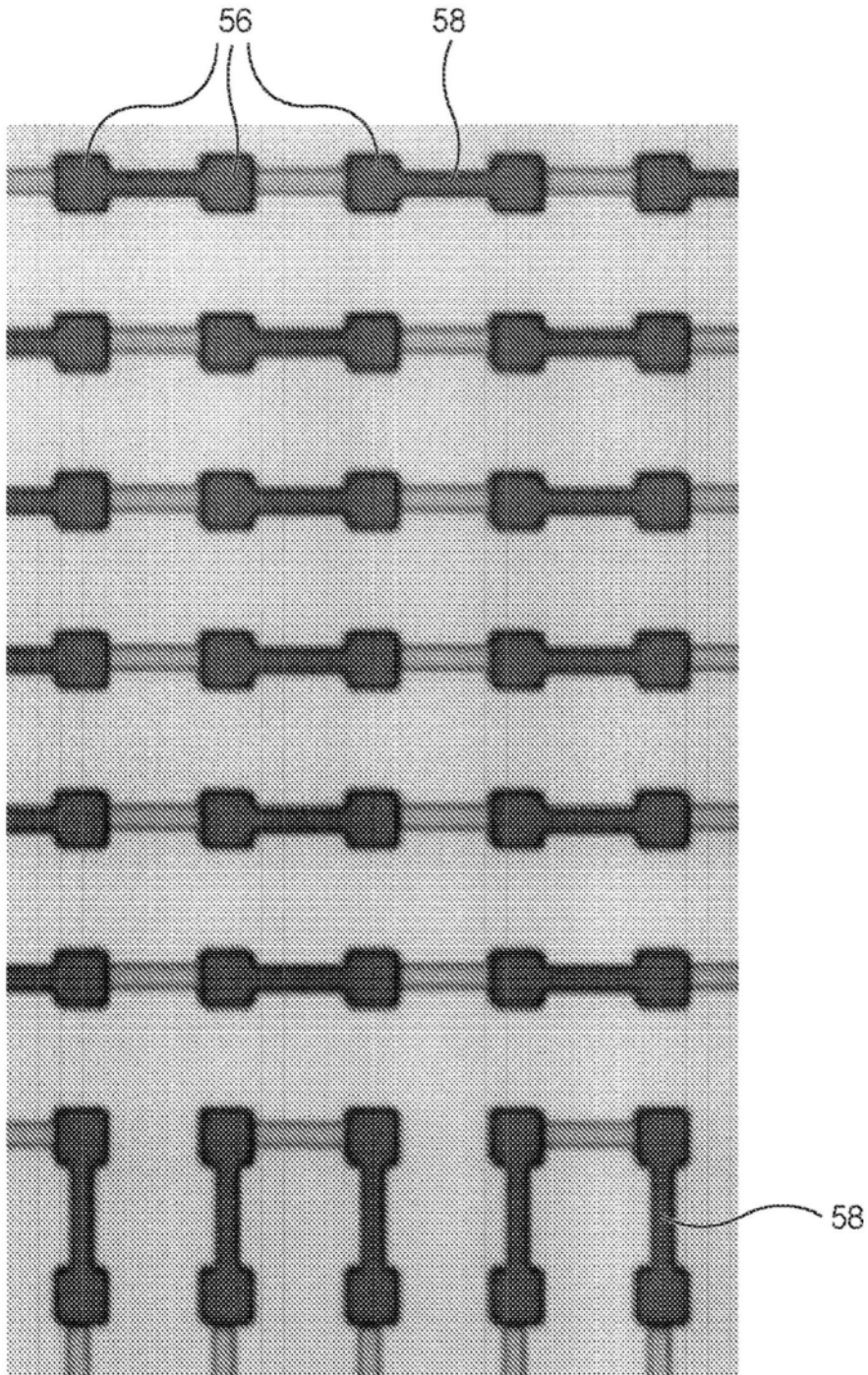


图9