



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0092515

(43) 공개일자 2015년08월13일

(51) 국제특허분류(Int. Cl.)

H01L 27/108 (2006.01)

(21) 출원번호 10-2014-0012978

(22) 출원일자 2014년02월05일

심사청구일자 2014년02월05일

(71) 출원인

한국기술교육대학교 산학협력단

충남 천안시 동남구 병천면 충절로 1600, 내 (한국기술교육대학교)

(72) 발명자

김승모

충청남도 천안시 동남구 병천면 충절로 1600

(74) 대리인

김민태

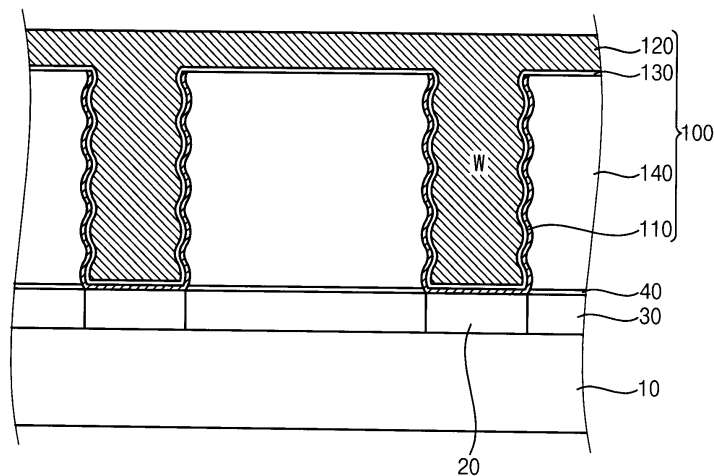
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 반도체 장치용 캐패시터 및 그 제조방법

(57) 요약

반도체 장치용 캐패시터는 베이스 기판, 복수개의 반사 부재들, 몰드 구조물, 제1 전극, 유전체 및 제2 전극을 포함한다. 상기 반사 부재들은 상기 베이스 기판 상에 배치되고 도전성 물질을 포함한다. 상기 몰드 구조물은 상기 베이스 기판 상에 상기 반사 부재들 사이에 배치되고 측면이 물결형상을 갖는다. 상기 제1 전극은 상기 반사 부재 및 상기 몰드 구조물 상에 배치되고 상기 반사 부재에 전기적으로 연결되며 측면이 물결형상을 갖는다. 상기 유전체는 상기 제1 전극 상에 배치되며 측면이 물결형상을 갖는다. 상기 제2 전극은 상기 유전체 상에 배치되고 상기 제1 전극에 대향한다. 따라서 정전용량이 증가하고 제조공정이 단순해진다.

대표도 - 도2



명세서

청구범위

청구항 1

베이스 기판;

상기 베이스 기판 상에 배치되고 도전성 물질을 포함하는 복수개의 반사 부재들;

상기 베이스 기판 상에 상기 반사 부재들 사이에 배치되고 측면이 물결형상을 갖는 몰드 구조물;

상기 반사 부재 및 상기 몰드 구조물 상에 배치되고 상기 반사 부재에 전기적으로 연결되며 측면이 물결형상을 갖는 제1 전극;

상기 제1 전극 상에 배치되며 측면이 물결형상을 갖는 유전체; 및

상기 유전체 상에 배치되고 상기 제1 전극에 대향하는 제2 전극을 포함하는 반도체 장치용 캐패시터.

청구항 2

제1항에 있어서, 상기 제1 전극의 폭은 상기 반사 부재의 폭과 비교하여 동일하거나 작은 것을 특징으로 하는 반도체 장치용 캐패시터.

청구항 3

베이스 기판;

상기 베이스 기판 상에 배치되고 도전성 물질을 포함하는 복수개의 반사 부재들;

상기 반사 부재 상에 배치되고 상기 반사 부재에 전기적으로 연결되며 측면이 물결형상을 갖는 제1 전극;

상기 제1 전극의 내면 상에 배치되며 측면이 물결형상을 갖는 제1 유전부, 및 상기 제1 유전부 및 상기 제1 전극의 외면 상에 배치되는 제2 유전부를 포함하는 유전체; 및

상기 유전체 상에 배치되고 상기 제1 전극의 상기 내면 및 상기 외면에 대향하는 제2 전극을 포함하는 반도체 장치용 캐패시터.

청구항 4

베이스 기판 상에 반사 부재를 형성하는 단계;

상기 반사 부재가 형성된 베이스 기판 상에 포토레지스트를 도포하는 단계;

상기 도포된 포토레지스트에 상기 반사 부재로부터 반사광이 발생되 상기 입사광과 상기 반사광 사이에 소정의 위상차가 존재하도록 입사광을 조사하여 노광하는 단계;

상기 노광된 포토레지스트를 현상하여 측면에 물결모양을 갖는 몰드 구조물을 형성하는 단계;

상기 몰드 구조물 상에 도전성 물질을 증착하여 제1 전극을 형성하는 단계;

상기 제1 전극 상에 유전체를 형성하는 단계; 및

상기 유전체 상에 제2 전극을 형성하는 단계를 포함하는 반도체 장치용 캐패시터의 제조방법.

청구항 5

제4항에 있어서, 상기 제1 전극을 형성하는 단계는 상기 증착된 도전성 물질의 상부를 제거하여 상기 몰드 구조물을 노출시키는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치용 캐패시터의 제조방법.

청구항 6

제5항에 있어서, 상기 유전체를 형성하는 단계는,

상기 노출된 몰드 구조물을 제거하는 단계; 및

상기 제1 전극의 내면 및 외면 상에 유전층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치용 캐패시터의 제조방법.

청구항 7

제5항에 있어서, 상기 유전체를 형성하는 단계는,

상기 제1 전극 상에 유전층을 형성하는 단계;

상기 유전층의 상부를 제거하여 제1 유전부를 형성하고 상기 몰드 구조물을 노출시키는 단계;

상기 노출된 몰드 구조물을 제거하는 단계; 및

상기 제1 유전부 및 상기 제1 전극의 외면 상에 제2 유전부를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치용 캐패시터의 제조방법.

청구항 8

제4항에 있어서, 상기 입사광과 상기 반사광의 파장은 동일하며, 상기 위상차는 상기 파장을 2 이상의 정수로 나눈 값인 것을 특징으로 하는 반도체 장치용 캐패시터의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치용 캐패시터 및 그 제조방법에 관한 것이다. 보다 상세하게는, 본 발명은 성능이 향상된 반도체 장치용 캐패시터 및 그 제조방법에 관한 것이다

배경 기술

[0002] 반도체 장치는 박막트랜지스터, 다이오드, 캐패시터, 저항, 배선 등의 다양한 소자들을 포함한다. 과거에는 소자들을 평면 상에 2차원배열하여 반도체 장치를 제조하였다. 그러나, 반도체 장치의 집적도가 증가하면서 소자들을 수직방향으로 배치하는 기술이 개발되었다.

[0003] 사진식각공정, 에치백 공정, 연마공정 등 다양한 공정들을 통하여 수직방향으로 3차원 구조를 갖는 반도체 장치들이 개발되었다. 3차원 구조를 갖는 반도체 장치들은 집적도가 현저히 상승하여 고성능을 구현하는 것이 가능해졌다.

[0004] 그러나 3차원 구조들은 제조과정에서 중간 구조물이 쓰러지는 등의 문제점이 발생한다. 특히, 반도체 장치의 집적도가 상승할수록 이러한 문제점들은 더욱 심해진다.

[0005] 상기 문제점들을 개선하기 위한 연구가 계속되고 있으나, 구조물이 복잡한 정도는 반도체 소자의 성능과 트레이드 오프 관계에 있기 때문에 고성능 반도체 소자의 구현이 쉽지 않은 문제가 있다.

[0006] 그러나 최근에 반도체 소자를 제작함에 있어서, DRAM의 커패시터와 같은 일부 소자들의 표면적을 증가시킬 필요성이 요구되었다.

[0007] 종래의 표면적을 증가시키는 기술은 깊고 얇은 패턴을 형성하는 방법, 즉, 종횡비(aspect ratio)를 증가시키는 방법을 이용하였다. 그러나 종횡비(aspect ratio)가 증가되는 경우, 세정단계에서 세정액의 표면장력 등으로 인한 불량 발생한다.

[0008] 따라서, 종횡비(aspect ratio)가 증가하지 않으면서도 표면적이 증가된 반도체 패턴의 형성방법이 요구된다.

발명의 내용

해결하려는 과제

[0009] 본 발명의 일 목적은 성능이 향상된 반도체 장치용 캐패시터를 제공하는 것이다.

[0010] 본 발명의 다른 목적은 성능이 향상된 반도체 장치용 캐패시터의 제조방법을 제공하는 것이다.

[0011] 본 발명이 해결하고자 하는 과제가 상술한 과제들에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0012] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 반도체 장치용 캐패시터는 베이스 기판, 복수개의 반사 부재들, 몰드 구조물, 제1 전극, 유전체 및 제2 전극을 포함한다. 상기 반사 부재들은 상기 베이스 기판 상에 배치되고 도전성 물질을 포함한다. 상기 몰드 구조물은 상기 베이스 기판 상에 상기 반사 부재들 사이에 배치되고 측면이 물결형상을 갖는다. 상기 제1 전극은 상기 반사 부재 및 상기 몰드 구조물 상에 배치되고 상기 반사 부재에 전기적으로 연결되며 측면이 물결형상을 갖는다. 상기 유전체는 상기 제1 전극 상에 배치되며 측면이 물결형상을 갖는다. 상기 제2 전극은 상기 유전체 상에 배치되고 상기 제1 전극에 대향한다.

[0013] 예시적인 실시예들에 있어서, 상기 제1 전극의 폭은 상기 반사 부재의 폭과 비교하여 동일하거나 작을 수 있다.

[0014] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 반도체 장치용 캐패시터는 베이스 기판, 복수개의 반사 부재들, 제1 전극, 유전체 및 제2 전극을 포함한다. 상기 반사 부재들은 상기 베이스 기판 상에 배치되고 도전성 물질을 포함한다. 상기 제1 전극은 상기 반사 부재 상에 배치되고 상기 반사 부재에 전기적으로 연결되며 측면이 물결형상을 갖는다. 상기 유전체는 상기 제1 전극의 내면 상에 배치되며 측면이 물결형상을 갖는 제1 유전부, 및 상기 제1 유전부 및 상기 제1 전극의 외면 상에 배치되는 제2 유전부를 포함한다. 상기 제2 전극은 상기 유전체 상에 배치되고 상기 제1 전극의 상기 내면 및 상기 외면에 대향하는 제2 전극을 포함한다.

[0015] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 반도체 장치용 캐패시터의 제조방법에 있어서, 먼저 베이스 기판 상에 반사 부재를 형성한다. 이어서, 상기 반사 부재가 형성된 베이스 기판 상에 포토레지스트를 도포한다. 이후에, 상기 도포된 포토레지스트에 상기 반사 부재로부터 반사광이 발생되 상기 입사광과 상기 반사광 사이에 소정의 위상차가 존재하도록 입사광을 조사하여 노광한다. 계속해서, 상기 노광된 포토레지스트를 현상하여 측면에 물결모양을 갖는 몰드 구조물을 형성한다. 이어서, 상기 몰드 구조물 상에 도전성 물질을 증착하여 제1 전극을 형성한다. 이후에, 상기 제1 전극 상에 유전체를 형성한다. 계속해서, 상기 유전체 상에 제2 전극을 형성한다.

[0016] 예시적인 실시예들에 있어서, 상기 제1 전극을 형성하는 단계는 상기 증착된 도전성 물질의 상부를 제거하여 상기 몰드 구조물을 노출시키는 단계를 더 포함할 수 있다.

[0017] 예시적인 실시예들에 있어서, 상기 유전체를 형성하는 단계는, 상기 노출된 몰드 구조물을 제거하는 단계, 및 상기 제1 전극의 내면 및 외면 상에 유전층을 형성하는 단계를 포함할 수 있다.

[0018] 예시적인 실시예들에 있어서, 상기 유전체를 형성하는 단계는, 상기 제1 전극 상에 유전층을 형성하는 단계, 상기 유전층의 상부를 제거하여 제1 유전부를 형성하고 상기 몰드 구조물을 노출시키는 단계, 상기 노출된 몰드 구조물을 제거하는 단계, 및 상기 제1 유전부 및 상기 제1 전극의 외면 상에 제2 유전부를 형성하는 단계를 포함할 수 있다.

[0019] 예시적인 실시예들에 있어서, 상기 입사광과 상기 반사광의 파장은 동일하며, 상기 위상차는 상기 파장을 2 이상의 정수로 나눈 값일 수 있다.

발명의 효과

[0020] 본 발명의 예시적인 실시예들에 따르면, 반도체 장치용 캐패시터의 접촉면적이 증가하여 다양한 전기적 특성을 구현할 수 있다. 특히 캐패시터의 표면적이 증가하여 정전용량이 상승된다. 따라서 고성능의 반도체 장치를 구현할 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 일 실시예에 따른 반도체 장치용 캐패시터를 나타내는 평면도이다.

도 2는 도 1에 도시된 캐패시터를 나타내는 단면도이다.

도 3, 도 5a, 도 6 내지 도 9는 도 2에 도시된 캐패시터의 제조방법을 나타내는 단면도들이다.

도 4a는 도 3에 도시된 광을 나타내는 그래프이다.

도 4b는 본 발명의 일 실시예에 따른 정재파 현상의 원리를 나타내는 그래프이다.

도 5b는 도 5a에 도시된 몰드 구조물을 나타내는 이미지이다.

도 10은 본 발명의 다른 실시예에 따른 반도체 장치용 캐패시터를 나타내는 단면도이다.

도 11a 내지 도 11d는 도 10에 도시된 캐패시터의 제조방법을 나타내는 단면도들이다.

도 12는 본 발명의 또 다른 실시예에 따른 반도체 장치용 캐패시터를 나타내는 단면도이다.

도 13a 내지 도 13f는 도 12에 도시된 캐패시터의 제조방법을 나타내는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 본 발명의 예시적인 실시예들에 따른 반도체 장치용 캐패시터 및 그 제조방법에 대하여 첨부된 도면들을 참조하여 상세하게 설명하지만, 본 발명이 하기 실시예들에 의해 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다.

[0023] 본 명세서에 있어서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예들을 설명하기 위한 목적으로 예시된 것이며, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되는 것으로 해석되지 않으며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접촉되어" 있다고 기재된 경우, 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접촉되어 있을 수도 있지만, 중간에 또 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 또한, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접촉되어" 있다고 기재된 경우에는, 중간에 또 다른 구성 요소가 존재하지 않는 것으로 이해될 수 있다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 예를 들면, "~사이에"와 "직접 ~사이에" 또는 "~에 인접하는"과 "~에 직접 인접하는" 등도 마찬가지로 해석될 수 있다.

[0024] 본 명세서에서 사용되는 용어는 단지 예시적인 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도는 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다", "구비하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지는 않는다.

[0025] 제1, 제2 및 제3 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 이러한 구성 요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로 사용된다. 예를 들면, 본 발명의 권리 범위로부터 벗어나지 않고, 제1 구성 요소가 제2 또는 제3 구성 요소 등으로 명명될 수 있으며, 유사하게 제2 또는 제3 구성 요소도 교호적으로 명명될 수 있다.

[0026] 도 1은 본 발명의 일 실시예에 따른 반도체 장치용 캐패시터를 나타내는 평면도이고, 도 2는 도 1에 도시된 캐패시터를 나타내는 단면도이다.

[0027] 도 1 및 도 2를 참조하면, 반도체 장치는 베이스 기관(10), 반사 부재(20), 베이스 절연막(30) 및 캐패시터(100)를 포함한다.

[0028] 베이스 기관(10)은 반도체 기관, 디스플레이용 기관, 절연 기관 등을 포함한다. 예를 들어, 베이스 기관(10)은 실리콘 기관, 절연체 상의 실리콘(Silicon On Insulator; SOI) 기관, 게르마늄 기관, 실리콘 게르마늄 기관, 갈륨 비소 기관, 세라믹 기관, 석영 기관, 디스플레이용 유리 기관, 디스플레이용 합성수지 기관 등을 포함한다.

[0029] 베이스 기관(10) 상에는 능동소자, 수동소자, 배선 등과 같은 미세소자들이 형성될 수 있다.

- [0030] 반사 부재(20)은 베이스 기판(10) 상에 배치되어 노광에 사용되는광을 반사시킨다. 본 실시예에서, 반사부재(20)는 콘택 라인을 포함하여 캐패시터(100)의 제1 전극(110)을 미세소자들에 연결시킨다. 예를 들어, 반사 부재(20)는 알루미늄, 구리 등의 금속, 도전성 금속 산화물 등을 포함하고, 자외선 영역에서 80%이상의 반사율을 갖는다.
- [0031] 베이스 절연막(30)은 베이스 기판(10) 상에 배치되어 반사 부재(20)을 다른 전기적 소자들과 절연시킨다.
- [0032] 예를 들어, 베이스 절연막(30)과 캐패시터(100) 사이에 식각저지막(40)이 배치될 수도 있다. 식각 저지막(40)은 제조과정 중에 베이스 절연막(30)이 식각되는 것을 방지한다. 다른 실시예에서, 식각 저지막(40)은 광학적으로 이방성을 가져서 투과되는 광의 위상을 지연시킬 수도 있다. 예를 들어, 식각 저지막(40)은 광학적으로 이방성을 갖는 탄산칼슘(CaCO_3), 운모, 얼음, 광섬유, 고분자 화합물 등을 포함할 수도 있다.
- [0033] 캐패시터(100)는 제1 전극(110), 제2 전극(120), 유전체(130) 및 몰드 구조물(140)을 포함한다.
- [0034] 몰드 구조물(140)은 베이스 절연막(30) 및 식각 저지막(40) 상에 배치된다. 몰드 구조물(140)은 SiO_2 , SiGe, Si 또는 탄소계 수지 등을 포함할 수 있다.
- [0035] 몰드 구조물(140)의 측면은 물결모양, 계단모양, 돌기모양, 요철모양 등 평면형상이 아닌 다양한 형상을 갖는다. 본 실시예에서, 몰드 구조물(140)은 물결모양을 갖는다.
- [0036] 제1 전극(110)은 금속, 도전성 금속 산화물 등을 포함하고, 반사 부재(20) 및 몰드 구조물(140)의 측면을 따라서 배치된다. 제1 전극(110)의 측면은 몰드 구조물(140)의 측면과 같이 평면형상이 아닌 다양한 형상을 갖는다. 예를 들어, 제1 전극(110)의 측면은 물결모양을 갖는다.
- [0037] 본 실시예에서, 제1 전극(110)의 폭은 반사 부재(20)의 폭과 비교하여 동일하거나 작다. 제1 전극(110)의 폭이 반사 부재(20)의 폭보다 큰 경우, 반사 부재(20)를 벗어나는 영역에서는 후술될 노광단계에서 정재파가 충분히 생성되지 않는다. 그러나 본 실시예에서는 제1 전극(110)의 폭이 반사 부재(20)의 폭과 동일하거나 반사 부재(20)의 폭보다 작아서 상기 노광단계에서 정재파가 충분히 생성된다.
- [0038] 유전체(130)는 제1 전극(110) 및 몰드 구조물(140) 상에 배치된다. 유전체(130)의 측면은 제1 전극(110)의 측면과 같이 평면형상이 아닌 다양한 형상을 갖는다. 예를 들어, 유전체(130)의 측면은 물결모양을 갖는다.
- [0039] 제2 전극(120)은 금속, 도전성 금속 산화물 등을 포함하고, 유전체(130) 상에 배치되어 제1 전극(110)의 내면과 전기적으로 대향된다. 제2 전극(120)의 측면은 유전체(130)의 측면과 같이 평면형상이 아닌 다양한 형상을 갖는다. 예를 들어, 제2 전극(120)의 측면은 물결모양을 갖는다. 본 실시예에서, 제2 전극(120)은 제1 전극(110)에 의해 형성된 공간인 우물(W)을 매립하고 몰드 구조물(140)의 상부를 커버한다.
- [0040] 도 3, 도 5a, 도 6 내지 도 9는 도 2에 도시된 캐패시터의 제조방법을 나타내는 단면도들이다.
- [0041] 도 3을 참조하면, 베이스 기판(10) 상에 반사 부재(20) 및 베이스 절연막(30)을 형성한다. 예를 들어, 베이스 기판(10) 상에 포토레지스트 공정을 통하여 반사 부재(20)을 형성한 후에, 반사 부재(20)이 형성된 베이스 기판(10) 상에 절연물질을 증착하고, 반사 부재(20) 상에 증착된 절연물질을 에치백(etch back), 화학적 기계적 연마(Chemical Mechanical Polishing; CMP) 등의 방법을 통하여 제거하여 반사 부재(20) 및 베이스 절연막(30)을 형성할 수 있다. 다른 실시예로서, 베이스 기판 상에 포토레지스트 공정을 통하여 반사 부재(20)이 형성될 홀을 갖는 베이스 절연막(30)을 형성한 후에, 베이스 절연막(30)이 형성된 베이스 기판(10) 상에 도전성 물질을 증착하고, 베이스 절연막(30) 상에 증착된 도전성 물질을 에치백, 화학적 기계적 연마 등의 방법을 통하여 제거하여 반사 부재(20) 및 베이스 절연막(30)을 형성할 수도 있다.
- [0042] 반사 부재(20) 및 베이스 절연막(30)이 형성된 베이스 기판(10) 상에 식각 저지막(etch stop line; 40)을 형성한다. 다른 실시예에서, 식각 저지막(40)이 생략될 수도 있다.
- [0043] 식각 저지막(40)이 형성된 베이스 기판(10) 상에 포토레지스트막(141)을 형성한다.
- [0044] 마스크(50)를 이용하여 식각 저지막(40) 상에 배치된 포토레지스트막(141)을 노광한다. 마스크(50)의 투과부(51)를 통하여 자외선, X 레이, 레이저 등의 광을 포토레지스트막(141)에 조사한다.
- [0045] 도 4a는 도 3에 도시된 광을 나타내는 그래프이다.
- [0046] 도 3 및 도 4a를 참조하면, 포토레지스트막(141)에 조사된 광은 입사광(ϵ_2)이다. 포토레지스트막(141)의 하부에 배치된 식각 저지막(40)은 입사광(ϵ_2)을 투과시키지만, 식각 저지막(40)의 하부에 배치된 콘택 라인(20)은

금속을 포함하기 때문에 입사광(ϵ_2)을 반사시킨다. 따라서 포토레지스트막(141) 및 식각 저지막(40) 내에는 입사광(ϵ_2)과 반사광(ϵ_3)이 동시에 존재한다. 식각 저지막(40)은 감광물질을 포함하지 않기 때문에, 입사광(ϵ_2)과 반사광(ϵ_3)이 동시에 존재하더라도 아무런 변화가 없다. 그러나 포토레지스트막(141)은 감광물질을 포함하기 때문에, 입사광(ϵ_2)과 반사광(ϵ_3)의 광학적 특성에 따라 추후 형성될 몰드 구조물(도 5의 140)의 형상이 변화한다.

[0047] 본 실시예에서, 입사광(ϵ_2)과 반사광(ϵ_3)의 사이에는 소정의 위상차(λ/n)가 존재한다. 예를 들어, 입사광(ϵ_2)과 반사광(ϵ_3)의 파장(λ)은 동일하며, 위상차(λ/n)는 파장을 1 또는 3 이상의 정수 n 으로 나눈 값과 같을 수 있다. 본 실시예에서는 입사광(ϵ_2)과 반사광(ϵ_3) 사이에 위상차(λ/n)를 적절히 조절하여, 입사광(ϵ_2)과 반사광(ϵ_3) 사이에 간섭현상이 발생한다.

[0048] 본 실시예에서, 반사 부재(20)은 포토레지스트막(141)의 하부에 배치되어 반사광(ϵ_3)의 발생을 극대화시킨다. 또한, 포토레지스트막(141)과 반사 부재(20) 사이에 배치된 식각저지막(40)의 두께를 조절하여 입사광(ϵ_2)과 반사광(ϵ_3) 사이에 위상차(λ/n)를 용이하게 조절할 수 있다.

[0049] 입사광(ϵ_2)과 반사광(ϵ_3) 사이에 간섭현상이 발생하는 경우, 입사광(ϵ_2)과 반사광(ϵ_3)의 파동이 중첩되는 부분에서는 최대노광량(MAX)을 나타내고, 입사광(ϵ_2)과 반사광(ϵ_3)의 파동이 상쇄되는 부분에서는 최소노광량(MIN)을 나타낸다. 최대노광량(MAX)과 최소노광량(MIN)은 입사광(ϵ_2)의 입사방향에 수직한 방향을 따라서 서로 반복적으로 교호한다.

[0050] 최대노광량(MAX)에 해당하는 부분은 보다 안쪽까지 노광되어 보다 안쪽까지 포토레지스트가 광분해된다. 최소노광량(MIN)에 해당하는 부분은 덜 노광되어 포토레지스트가 광분해되는 양도 적다.

[0051] 따라서 수직방향으로 포토레지스트가 많이 광분해된 부분과 적게 광분해된 부분이 서로 반복적으로 교호한다.

[0052] 도 4b는 본 발명의 일 실시예에 따른 정제과 현상의 원리를 나타내는 그래프이다.

[0053] 도 4a 및 도 4b를 참조하면, n 이 1인 경우, 입사광(ϵ_2)과 반사광(ϵ_3)의 파장은 일치한다. 입사광(ϵ_2)과 반사광(ϵ_3)의 파장이 일치하는 경우, 입사광(ϵ_2)과 반사광(ϵ_3)은 공명, 공진 등과 같은 파동 증폭현상을 나타낸다. 예를 들어, 상기 파동 증폭현상에 의해서 포토레지스트가 광분해되는 정도가 결정된다. 상기 포토레지스트가 광분해되어 생성된 측면 굴곡의 크기는 입사광(ϵ_2)과 반사광(ϵ_3)의 파장(λ)과 노광장치의 렌즈(도시되지 않음)에 형성되어 광의 투과를 조절하는 개구부에 따라 결정된다. 파장(λ)에 따라 분해도를 주는 최소한의 거리(d_{min})는 [식 1]에 의해 구할 수 있다.

[0054] [식 1]

$$d_{min} \approx \frac{\lambda}{2NA}$$

[0055]

[0056] 이때, NA 는 광원 또는 물체에서 본 조리개 수(numerical aperture; NA)를 나타내며 $\sin\theta$ (θ 는 광의 퍼짐각을 의미함)와 같은 값을 갖는다. 따라서 상기 측면 굴곡의 크기는 노광 조건의 조절을 통하여 제어할 수 있다.

[0057] 본 실시예에서, 캐패시터(100)의 선폭은 수십 nm의 크기를 가져서, 노광에 사용되는 정제과로 인한 굴곡의 효과가 극대화된다.

[0058] 본 발명의 실시예와 비교하기 위하여 n 을 1/2로 하는 경우, 입사광(ϵ_2)과 반사광(ϵ_4)의 파장은 반파장($\lambda/2$)의 위상차를 갖는다. 입사광(ϵ_2)과 반사광(ϵ_4)이 반파장($\lambda/2$)의 위상차를 갖는 경우, 입사광(ϵ_2)과 반사광(ϵ_4)은 상쇄간섭하여 아무런 광학적 효과를 나타내지 않는다.

[0059] 도 5a를 다시 참조하면, 노광된 포토레지스트막(141)을 현상하여 몰드 구조물(140)을 형성한다. 계속해서, 몰드 구조물(140)을 식각마스크로 사용하여 식각 저지막(40)을 부분적으로 식각하여 반사 부재(20)을 노출시킨다.

[0060] 도 5b는 도 5a에 도시된 몰드 구조물을 나타내는 이미지이다.

[0061] 도 5a 및 도 5b를 참조하면, 몰드 구조물(140)의 측면은 수직방향으로 돌출부와 오목부가 반복되는 물결모양을 갖는다. 몰드 구조물(140)의 측면에서 돌출부는 최소노광량(MIN)에 대응되고 오목부는 최대노광량(MAX)에 대응된다.

- [0062] 도 6을 참조하면, 몰드 구조물(140)이 형성된 베이스 기관(10) 상에 도전성 물질을 증착하여 제1 도전층(111)을 형성한다. 제1 도전층(111)은 몰드 구조물(140)의 형상을 따라서 형성되어 측면이 물결형상을 갖는다.
- [0063] 도 7을 참조하면, 제1 도전층(111)의 상부를 에치백, 화학적 기계적 연마 등의 방법을 이용하여 제거하여 몰드 구조물(140)의 상면을 노출하고 제1 전극(110)을 형성한다.
- [0064] 도 8을 참조하면, 제1 전극(110)이 형성된 몰드 구조물(140) 상에 유전성이 높은 물질을 증착하여 유전층(130)을 형성한다. 예를 들어, 상기 유전성이 높은 물질은 금속산화물을 포함한다. 유전층(130)은 제1 전극(110)의 형상을 따라서 형성되어 측면이 물결형상을 갖는다.
- [0065] 도 9를 참조하면, 유전층(130) 상에 도전성 물질을 증착하여 제2 전극(120)을 형성한다. 제2 전극(120)은 제1 전극(110)에 의해 형성된 공간인 우물(W)을 매립하고, 몰드 구조물(140)의 상부를 커버한다.
- [0066] 캐패시터(100)의 정전용량은 제1 전극(110)과 제2 전극(120) 사이에 개재된 유전체(130)의 면적에 비례하고 유전체(130)의 두께에 반비례한다. 본 실시예에서, 유전체(130)의 형상이 물결모양을 가져서 유전체(130)의 면적이 증가하여 캐패시터(100)의 정전용량이 증가한다.
- [0067] 또한, 노광단계에서 입사광($\varepsilon 2$)과 반사광($\varepsilon 3$)의 사이에는 간섭현상을 이용하여 물결형상을 형성하기 때문에 제조공정이 단순하다.
- [0068] 도 10은 본 발명의 다른 실시예에 따른 반도체 장치용 캐패시터를 나타내는 단면도이다. 본 실시예에서 몰드 구조물을 제외한 나머지 구성요소는 도 1 내지 도 9에 도시된 실시예와 동일하므로, 동일한 구성요소에 대한 중복되는 설명은 생략한다.
- [0069] 도 10을 참조하면, 반도체 장치는 베이스 기관(10), 반사 부재(20), 베이스 절연막(30) 및 캐패시터(200)를 포함한다.
- [0070] 캐패시터(200)는 제1 전극(210), 제2 전극(220) 및 유전체(230)를 포함한다.
- [0071] 제1 전극(210)은 금속, 도전성 금속 산화물 등을 포함하고, 반사 부재(20) 상에 배치된다. 제1 전극(210)의 측면은 평면형상이 아닌 다양한 형상을 갖는다. 예를 들어, 제1 전극(210)의 측면은 물결모양을 갖는다.
- [0072] 유전체(230)는 제1 전극(210) 및 식각 저지막(40) 상에 배치된다. 본 실시예에서, 유전체(230)는 제1 전극(210)의 내면 뿐만 아니라 외면 상에도 배치된다. 유전체(230)의 측면은 제1 전극(210)의 측면과 같이 평면형상이 아닌 다양한 형상을 갖는다. 예를 들어, 유전체(230)의 측면은 물결모양을 갖는다.
- [0073] 제2 전극(220)은 금속, 도전성 금속 산화물 등을 포함하고, 유전체(230) 상에 배치되어 제1 전극(210)의 내면 뿐만 아니라 외면과도 전기적으로 대향된다. 본 실시예에서, 제2 전극(220)은 제1 전극(210)에 의해 형성되는 내부공간인 우물(W) 뿐만 아니라 제1 전극(210)의 외부공간인 주변부(P)도 매립한다.
- [0074] 제2 전극(220)의 측면은 유전체(230)의 측면과 같이 평면형상이 아닌 다양한 형상을 갖는다. 예를 들어, 제2 전극(230)의 측면은 물결모양을 갖는다.
- [0075] 도 11a 내지 도 11d는 도 10에 도시된 캐패시터의 제조방법을 나타내는 단면도들이다.
- [0076] 도 11a를 참조하면, 베이스 기관(10) 상에 반사 부재(20), 베이스 절연막(30), 식각 저지막(40), 몰드 구조물(140) 및 제1 전극(210)을 형성한다. 본 실시예에서, 베이스 기관(10) 상에 반사 부재(20), 베이스 절연막(30), 식각 저지막(40), 몰드 구조물(140) 및 제1 전극(210)을 형성하는 단계는 도 3 내지 도 7에 도시된 단계들과 동일하므로, 중복되는 설명은 생략한다.
- [0077] 도 11b를 참조하면, 이어서 몰드 구조물(140)을 제거하여 제1 전극(210)의 외면을 노출한다. 예를 들어, 몰드 구조물(140)은 현상공정, 건식 식각 등을 통하여 제거될 수 있다.
- [0078] 도 11c를 참조하면, 제1 전극(210)의 내면 및 외면 상에 금속 산화물을 증착하여 유전체(230)를 형성한다. 본 실시예에서, 유전체(230)는 제1 전극(210)의 내면 및 외면 뿐만 아니라 식각 저지막(40) 상에도 형성된다. 유전체(230)의 외측면 및 내측면은 제1 전극(210)의 내면 및 외면의 형상을 따라 물결형상을 갖는다.
- [0079] 도 11d를 참조하면, 유전체(230) 상에 도전성 물질을 증착하여 제2 전극(220)을 형성한다. 본 실시예에서, 상기 도전성 물질을 제1 전극(210)에 의해 형성된 내부공간인 우물(W) 및 외부공간인 주변부(P)를 매립하여 제2 전극(220)을 형성한다.

- [0080] 상기와 같은 본 실시예에 따르면, 제2 전극(220)이 제1 전극(210)과 대향하는 면적이 증가하여 캐패시터(200)의 정전용량이 증가한다.
- [0081] 도 12는 본 발명의 또 다른 실시예에 따른 반도체 장치용 캐패시터를 나타내는 단면도이다. 본 실시예에서, 유전체를 제외한 나머지 구성요소들은 도 10 내지 도 11d에 도시된 실시예와 동일하므로, 동일한 구성요소들에 대한 중복되는 설명은 생략된다.
- [0082] 도 12를 참조하면, 반도체 장치는 베이스 기판(10), 반사 부재(20), 베이스 절연막(30) 및 캐패시터(300)를 포함한다.
- [0083] 캐패시터(300)는 제1 전극(310), 제2 전극(320) 및 유전체(330)를 포함한다.
- [0084] 본 실시예에서, 제1 전극(310)의 측면은 물결모양을 갖는다.
- [0085] 유전체(330)는 제1 전극(310) 및 식각 저지막(40) 상에 배치된다. 본 실시예에서, 유전체(330)는 제1 전극(310)의 내면 뿐만 아니라 외면 상에도 배치된다. 유전체(330)의 측면은 제1 전극(310)의 측면과 같이 물결모양을 갖는다.
- [0086] 본 실시예에서, 유전체(330)는 제1 유전부(334) 및 제2 유전부(336)를 포함한다. 제1 유전부(334)는 제1 전극(310)의 내면 상에 배치된다. 제2 유전부(336)는 제1 유전부(334), 제1 전극(310)의 외면 및 식각 저지막(40) 상에 배치된다.
- [0087] 제1 전극(310)의 내부에는 제1 유전부(334) 및 제2 유전부(336)가 적층되고, 제1 전극(310)의 외부에는 제2 유전부(336)만 배치된다. 따라서, 유전체(330)의 두께는 제1 전극(310)의 내부가 외부보다 두껍다.
- [0088] 제2 전극(320)은 유전체(330)의 제2 유전부(336) 상에 배치되어 제1 전극(310)의 내면 뿐만 아니라 외면과도 전기적으로 대향된다. 본 실시예에서, 제2 전극(320)은 제1 전극(310)에 의해 형성되는 내부공간인 우물(W) 뿐만 아니라 제1 전극(310)의 외부공간인 주변부(P)도 매립한다.
- [0089] 제2 전극(320)의 측면은 유전체(330)의 측면과 같이 물결모양을 갖는다.
- [0090] 도 13a 내지 도 13f는 도 12에 도시된 캐패시터의 제조방법을 나타내는 단면도들이다.
- [0091] 도 13a를 참조하면, 베이스 기판(10) 상에 반사 부재(20), 베이스 절연막(30), 식각 저지막(40), 몰드 구조물(140) 및 제1 전극(310)을 형성한다. 본 실시예에서, 베이스 기판(10) 상에 반사 부재(20), 베이스 절연막(30), 식각 저지막(40), 몰드 구조물(140) 및 제1 전극(310)을 형성하는 단계는 도 3 내지 도 7에 도시된 단계들과 동일하므로, 중복되는 설명은 생략한다.
- [0092] 도 13b를 참조하면, 제1 전극(310)이 형성된 몰드 구조물(140) 상에 금속 산화물을 증착하여 유전층(332)을 형성한다. 예를 들어, 상기 유전성이 높은 물질은 금속산화물을 포함한다. 유전층(332)은 제1 전극(310)의 형상을 따라서 형성되어 측면이 물결형상을 갖는다.
- [0093] 도 13c를 참조하면, 유전층(332)의 상부를 제거하여 제1 유전부(334)를 형성하고 몰드 구조물(140)을 노출시킨다. 이때, 제1 유전부(334)는 제1 전극(310)과 라미네이트되어서(laminated) 공정과정에서 받을 수 있는 외력에 대한 저항성이 커진다. 예를 들어, 에치백, 화학적 기계적 연마 등의 방법을 이용하여 유전층(332)의 상부를 제거할 수 있다.
- [0094] 본 실시예에서, 제1 유전부(334)는 유전성이 높은 물질을 포함하였다. 그러나, 다른 실시예에서, 제1 유전부(334)의 물질의 종류에 상관없이 외력에 대한 저항성이 높은 물질을 사용할 수도 있다.
- [0095] 도 13d를 참조하면, 이어서 몰드 구조물(140)을 제거하여 제1 전극(310)의 외면을 노출한다. 예를 들어, 몰드 구조물(140)은 현상공정, 건식 식각 등을 통하여 제거될 수 있다.
- [0096] 도 13e를 참조하면, 제1 유전부(334), 제1 전극(310)의 외면 및 식각 저지막(40) 상에 금속 산화물을 증착하여 제2 유전부(336)를 형성한다. 따라서 제1 유전부(334) 및 제2 유전부(336)를 갖는 유전체(330)가 형성된다. 제2 유전부(336)의 내측면 및 외측면은 각각 제1 유전부(334) 및 제1 전극(310)의 외면의 형상을 따라 물결형상을 갖는다.
- [0097] 본 실시예에서, 유전체(330)는 제1 전극(310)의 내면 및 외면 뿐만 아니라 식각 저지막(40) 상에도 형성된다.
- [0098] 도 13f를 참조하면, 유전체(330) 상에 도전성 물질을 증착하여 제2 전극(320)을 형성한다. 본 실시예에서, 상

기 도전성 물질을 제1 전극(310)에 의해 형성된 내부공간인 우물(W) 및 외부공간인 주변부(P)를 매립하여 제2 전극(320)을 형성한다.

[0099] 상기와 같은 본 실시예에 따르면, 제1 전극(310)과 제1 유전부(334)가 라이네이트되어 있기 때문에 외력에 대한 저항성이 크다. 따라서 후속되는 공정들에 대해서 제1 전극(310)의 형상이 유지되어 불량률이 감소된다.

[0100] 상술한 바에 있어서, 본 발명의 예시적인 실시예들을 설명하였지만, 본 발명은 이에 한정되지 않으며 해당 기술 분야에서 통상의 지식을 가진 자라면 다음에 기재하는 특허 청구 범위의 개념과 범위를 벗어나지 않는 범위 내에서 다양한 변경 및 변형이 가능함을 이해할 수 있을 것이다.

산업상 이용가능성

[0101] 본 발명의 예시적인 실시예들에 따르면, 유전체의 형상이 물결모양을 가져서 캐패시터의 정전용량이 증가한다. 또한, 노광단계에서 입사광과 반사광의 사이에는 간섭현상을 이용하여 물결형상을 형성하기 때문에 제조공정이 단순하다.

[0102] 더욱이, 반사 부재 등과 같이 반사율이 높은 물질이 포토레지스트막의 하부에 배치되어 반사광의 발생을 극대화시킨다. 또한, 포토레지스트막과 반사 부재 사이에 배치된 식각저지막의 두께를 조절하여 입사광과 반사광 사이에 위상차를 용이하게 조절할 수 있다.

[0103] 더욱이, 제2 전극이 제1 전극과 대향하는 면적이 증가하여 캐패시터의 정전용량이 증가한다.

[0104] 또한, 제1 전극과 제1 유전부가 라이네이트되어 있기 때문에 외력에 대한 저항성이 크다. 따라서 후속되는 공정들에 대해서 제1 전극의 형상이 유지되어 불량률이 감소된다.

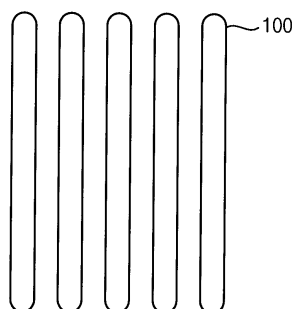
[0105] 종래의 반도체 제조기술에서는 노광과정에서 발생하는 정재파 현상을 불량률의 하나로 보아, 포토레지스트의 하부에 무반사 코팅을 하여 정재파의 발생 자체를 방지하거나 노광 후에 열처리(post exposure baking; PEB)를 하여 정재파 현상에 의한 굴곡을 제거하였다. 즉, 상대적으로 소자의 크기가 컸던 종래의 반도체 장치들은 정재파로 인한 굴곡이 상대적으로 미세한 크기였기 때문에 기술적으로 큰 의미가 없었으며, 오히려 불량으로 취급되었다. 그러나 현재와 같은 수십 나노미터(nm) 스케일의 반도체 소자들의 경우, 정재파로 인한 굴곡은 표면적 확보를 위한 유용한 기술로 사용될 수 있다.

부호의 설명

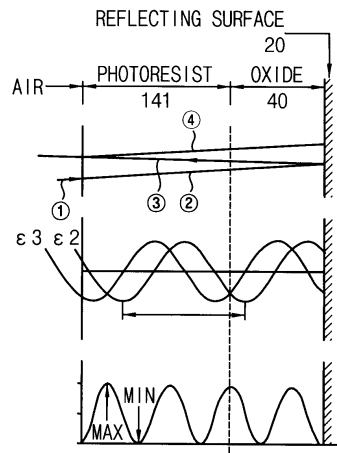
[0106] 10 : 베이스 기판 20 : 반사 부재
30 : 베이스 절연막 40 : 식각 저지막
100 : 캐패시터 110 : 제1 전극
120 : 제2 전극 130 : 유전체
140 : 몰드 구조물

도면

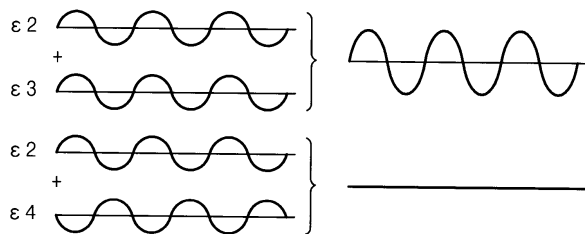
도면1



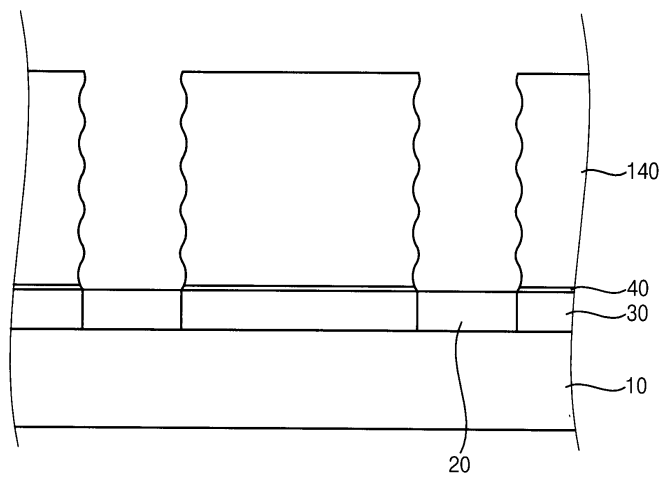
도면4a



도면4b



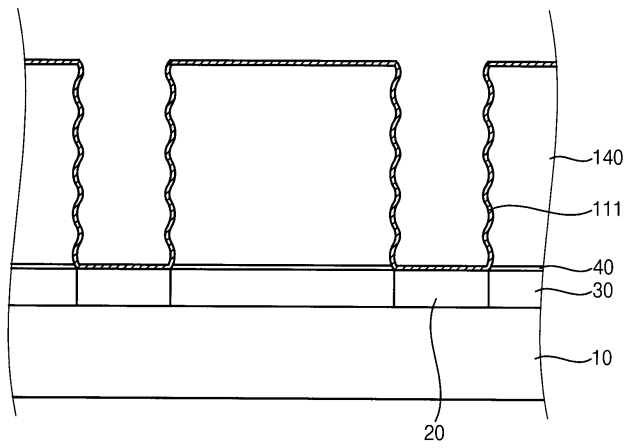
도면5a



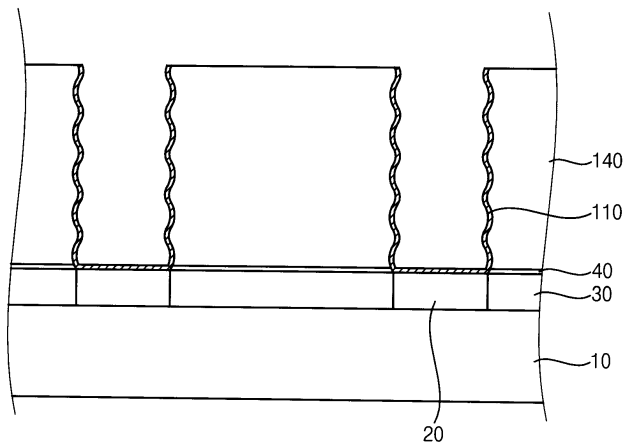
도면5b



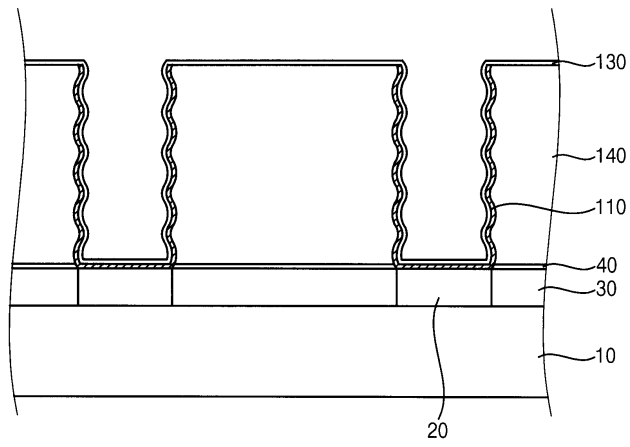
도면6



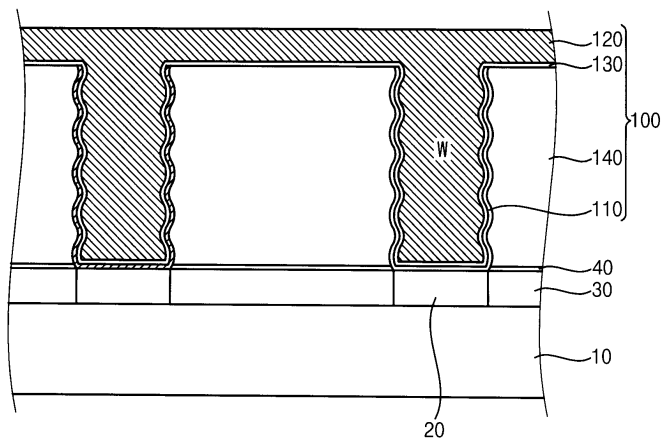
도면7



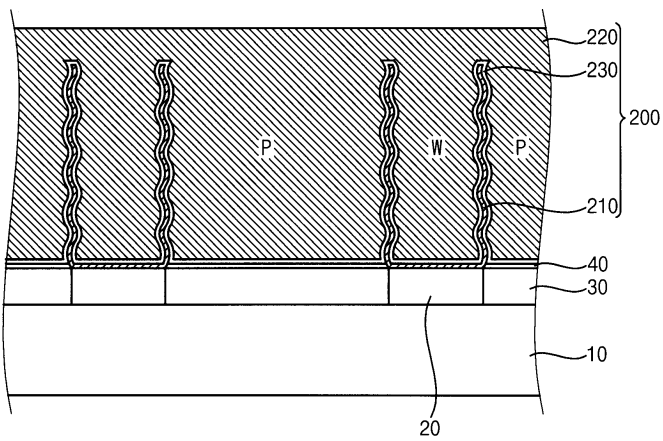
도면8



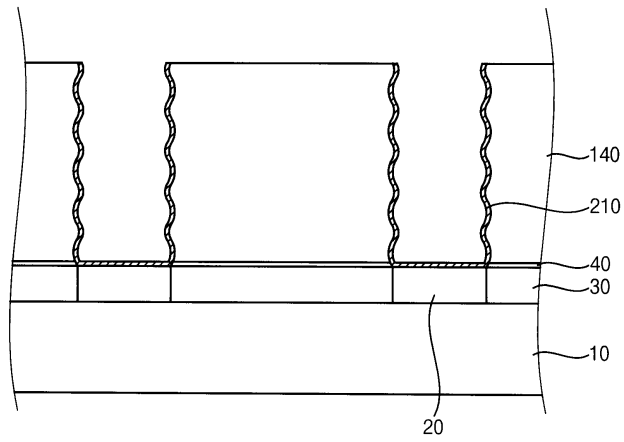
도면9



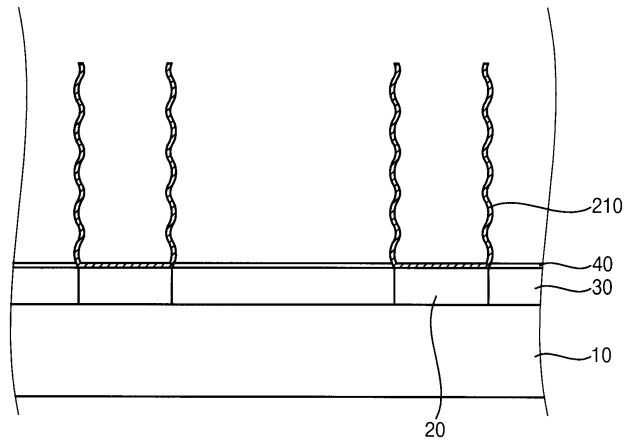
도면10



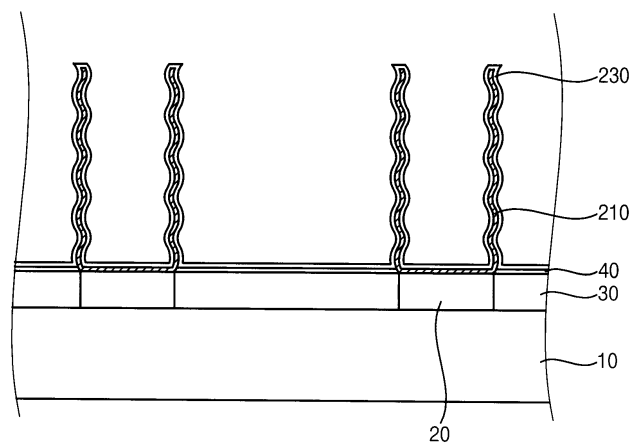
도면11a



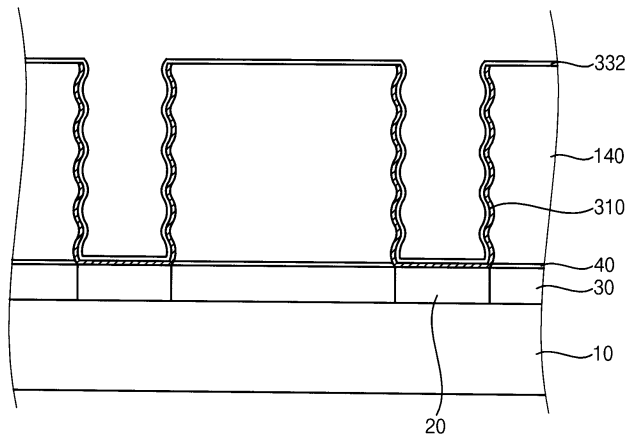
도면11b



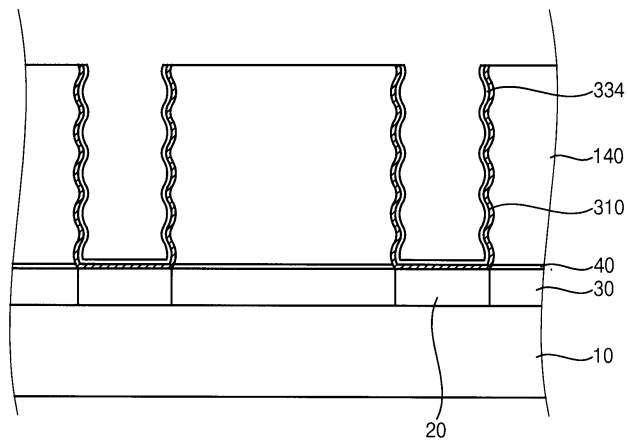
도면11c



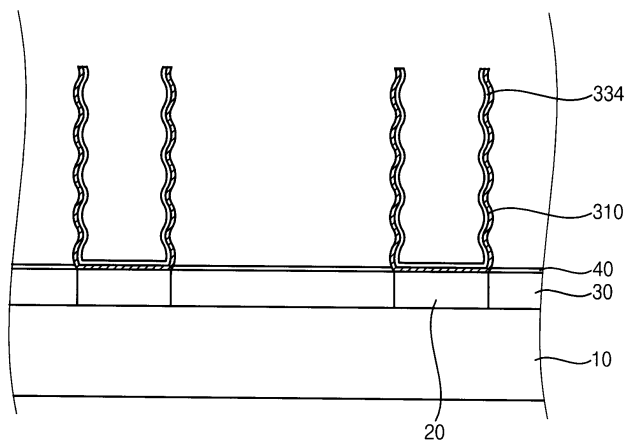
도면13b



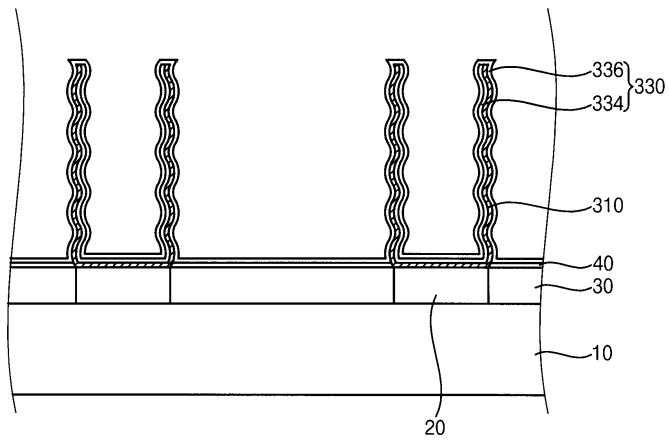
도면13c



도면13d



도면13e



도면13f

