

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-238323

(P2010-238323A)

(43) 公開日 平成22年10月21日(2010.10.21)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 1 1 C</b> 19/28 (2006.01)	G 1 1 C 19/28 D	5 C 0 8 0
<b>G 1 1 C</b> 19/00 (2006.01)	G 1 1 C 19/00 J	5 C 3 8 0
<b>G 0 9 G</b> 3/20 (2006.01)	G 0 9 G 3/20 6 1 1 A	
<b>G 0 9 G</b> 3/30 (2006.01)	G 0 9 G 3/20 6 7 0 E	
	G 0 9 G 3/20 6 7 0 J	
審査請求 未請求 請求項の数 6 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2009-87287 (P2009-87287)  
 (22) 出願日 平成21年3月31日 (2009.3.31)

(71) 出願人 000001443  
 カシオ計算機株式会社  
 東京都渋谷区本町1丁目6番2号  
 (74) 代理人 100095407  
 弁理士 木村 満  
 (72) 発明者 山本 卓己  
 東京都八王子市石川町2951番地の5  
 カシオ計算機株式会社八王子技術センター  
 内  
 Fターム(参考) 5C080 AA06 AA10 BB05 DD09 DD19  
 DD26 EE29 FF11 FF12 HH10  
 JJ02 JJ03 JJ04

最終頁に続く

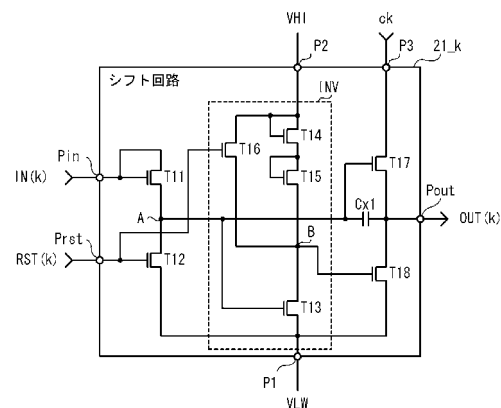
(54) 【発明の名称】 シフトレジスタ及び電子機器

## (57) 【要約】

【課題】シフトレジスタの消費電力を削減するとともに、動作を安定させる。

【解決手段】トランジスタT13～T16によって、ノードAの電位Vaを反転させてノードBの電位VbとするインバータINVが構成される。前段のシフト回路からHighレベルの入力信号IN(k)が供給されると、ノードAの電位VaはHighレベルとなり、トランジスタT13がオンして、ノードBの電位VbはLowレベルとなる。電流は、電圧VHIのラインから、トランジスタT14、T15、T13を経由して、電圧VLWのアノードラインLaへと流れる。電圧VHIが印加される第2の端子P2とノードB間の電圧はトランジスタT14、T15によって分圧されて、各トランジスタのバイアス電圧が分圧される。従って、第2の端子P2とノードB間の抵抗の増加によってインバータINVに流れる貫通電流が低減されて消費電力が削減されるとともに、トランジスタT14、T15の閾値電圧のシフトが抑制されて、シフト回路21\_kの動作が安定する。

【選択図】図3



**【特許請求の範囲】****【請求項 1】**

縦続接続された複数のシフト回路からなる複数段のシフトレジスタであって、  
前記各シフト回路は、

前段の出力信号が入力信号として供給される入力端子と、次段の出力信号がリセット信号として供給されるリセット端子と、第 1 のノードと、を有し、前記入力端子に前記入力信号が供給されたときに前記第 1 のノードの電位を前記入力信号のレベルに従った電位に設定する入力回路と、

第 2 のノードと、第 1 の端子と、第 2 の端子と、を有し、前記第 1 のノードの電位が供給され、前記第 2 のノードの電位を、前記第 1 のノードの電位を反転した電位とするインバータ回路と、

前記出力信号を出力する出力端子と、第 1 のクロック信号が供給される第 3 の端子と、を有し、前記第 1 のノードの電位と前記第 2 のノードの電位とが供給され、前記出力信号の電位を、前記第 1 のクロック信号に基づく電位とする出力回路と、を備え、

前記インバータ回路は、

前記第 1 の端子と前記第 2 のノードとの間に電流路が接続され、制御端子に前記第 1 のノードの電位が供給される第 1 のトランジスタと、電流路の一端が前記第 2 のノードに接続される第 2 のトランジスタと、電流路の一端が前記第 2 のトランジスタの前記電流路の他端に接続され、電流路の他端が前記第 2 の端子又は前記第 3 の端子のいずれか一方に接続される第 3 のトランジスタと、を備えた、

ことを特徴とするシフトレジスタ。

**【請求項 2】**

前記第 2 のトランジスタは制御端子が該第 2 のトランジスタの電流路の他端に接続され、前記第 3 のトランジスタは制御端子が該第 3 のトランジスタの電流路の他端に接続されていることを特徴とする請求項 1 に記載のシフトレジスタ。

**【請求項 3】**

前記インバータ回路は、電流路の一端が前記第 2 のノードに接続され、前記電流路の他端が前記第 2 の端子に接続され、制御端子に前記リセット信号が供給されて、前記第 2 のノードの電位を制御する第 4 のトランジスタを備えた、

ことを特徴とする請求項 1 又は 2 に記載のシフトレジスタ。

**【請求項 4】**

前記第 1 の端子は一定の基準電位に設定され、前記第 2 の端子には前記基準電位より高い電位を有する一定の電圧が供給されていることを特徴とする請求項 3 に記載のシフトレジスタ。

**【請求項 5】**

前記第 2 の端子には、前記第 1 のクロック信号に対して逆相の第 2 のクロック信号が供給されていることを特徴とする請求項 3 に記載のシフトレジスタ。

**【請求項 6】**

発光素子を備えて行列配置された複数の画素回路と、

請求項 1 乃至 5 のいずれか 1 項に記載のシフトレジスタを含み、当該シフトレジスタに含まれる各シフト回路の出力信号を、行を選択する行選択信号として各行毎に供給し、前記複数の画素回路を行毎に選択する行選択ドライバを備えた、

ことを特徴とする電子機器。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、シフトレジスタ及びこれを備えてなる電子機器に関するものである。

**【背景技術】****【0002】**

電子機器として、TFTを利用したゲートドライバ用シフトレジスタによって、有機EL素子やLCDをアクティブ駆動し、表示する表示装置が開発されている（例えば、特許文献1参照）。

【0003】

具体的には、アクティブ駆動型の表示装置は、行毎に配列された各画素をスイッチする画素回路を選択するゲートドライバを備え、このゲートドライバには、通常、シフトレジスタ回路が用いられる。

【0004】

このシフトレジスタ回路は、例えば、各段に、図10に示すようなインバータINVを備えたシフト回路を有し、複数のシフト回路が直列接続されることによって構成される。

10

【0005】

このインバータINVは、トランジスタT51、T52によって構成される。トランジスタT51、T52は、nチャンネル型のFET（Field Effect Transistor；電界効果トランジスタ）によって構成されたポリシリコンまたはアモルファスシリコン薄膜トランジスタ（TFT；Thin Film Transistor）である。

【0006】

インバータINVは、ノードAの電位を反転させ、反転させた電位をノードBの電位とする。

【先行技術文献】

【特許文献】

20

【0007】

【特許文献1】特開2001-052494号公報（第5頁、図4、5）

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかし、従来のシフト回路では、トランジスタT51、T52がTFTによって構成されているため、インバータINVにHiレベルの入力信号が供給される入力期間と出力期間において、トランジスタT51、T52には、比較的大きなバイアス電圧が印加される。

30

【0009】

このため、電圧VHIの電源から、このトランジスタT51、T52を経由して電圧VLWの電源に、貫通電流として大きな電流量の電流が流れる。このため、消費電力が増大する。

【0010】

また、トランジスタT51、T52は、ゲート-ソース間への電圧印加により経時劣化して、閾値電圧が次第に高くなることが知られている。また、ドレイン-ソース間に過大な電流が流れると、上記の経時劣化が促進されることも知られている。

【0011】

ここで、トランジスタT51が経時劣化して閾値電圧が高くなると、非選択期間において本来HiレベルとなるべきノードBの電圧が低下して、このインバータINVに接続される回路の動作が不安定になってしまう。

40

【0012】

本発明は、このような従来の問題点に鑑みてなされたもので、消費電力を削減するとともに、動作を安定させることが可能なシフトレジスタ及び電子機器を提供することを目的とする。

【課題を解決するための手段】

【0013】

この目的を達成するため、本発明の第1の観点に係るシフトレジスタは、縦続接続された複数のシフト回路からなる複数段のシフトレジスタであって、前記各シフト回路は、

50

前段の出力信号が入力信号として供給される入力端子と、次段の出力信号がリセット信号として供給されるリセット端子と、第 1 のノードと、を有し、前記入力端子に前記入力信号が供給されたときに前記第 1 のノードの電位を前記入力信号のレベルに従った電位に設定する入力回路と、

第 2 のノードと、第 1 の端子と、第 2 の端子と、を有し、前記第 1 のノードの電位が供給され、前記第 2 のノードの電位を、前記第 1 のノードの電位を反転した電位とするインバータ回路と、

前記出力信号を出力する出力端子と、第 1 のクロック信号が供給される第 3 の端子と、を有し、前記第 1 のノードの電位と前記第 2 のノードの電位とが供給され、前記出力信号の電位を、前記第 1 のクロック信号に基づく電位とする出力回路と、を備え、

10

前記インバータ回路は、

前記第 1 の端子と前記第 2 のノードとの間に電流路が接続され、制御端子に前記第 1 のノードの電位が供給される第 1 のトランジスタと、電流路の一端が前記第 2 のノードに接続される第 2 のトランジスタと、電流路の一端が前記第 2 のトランジスタの前記電流路の他端に接続され、電流路の他端が前記第 2 の端子又は前記第 3 の端子のいずれか一方に接続される第 3 のトランジスタと、を備えたことを特徴とする。

【 0 0 1 4 】

前記第 2 のトランジスタは制御端子が該第 2 のトランジスタの電流路の他端に接続され、前記第 3 のトランジスタは制御端子が該第 3 のトランジスタの電流路の他端に接続されていてもよい。

20

【 0 0 1 5 】

前記インバータ回路は、電流路の一端が前記第 2 のノードに接続され、前記電流路の他端が前記第 2 の端子に接続され、制御端子に前記リセット信号が供給されて、前記第 2 のノードの電位を制御する第 4 のトランジスタを備えたものであってもよい。

【 0 0 1 6 】

前記第 1 の端子は一定の基準電位に設定され、前記第 2 の端子には前記基準電位より高い電位を有する一定の電圧が供給されていてもよい。

【 0 0 1 7 】

前記第 2 の端子には、前記第 1 のクロック信号に対して逆相の第 2 のクロック信号が供給されていてもよい。

30

【 0 0 1 8 】

本発明の第 2 の観点に係る電子機器は、

発光素子を備えて行列配置された複数の画素回路と、

上述のシフトレジスタを含み、当該シフトレジスタに含まれる各シフト回路の出力信号を、行を選択する行選択信号として各行毎に供給し、前記複数の画素回路を行毎に選択する行選択ドライバを備えたことを特徴とする。

【発明の効果】

【 0 0 1 9 】

本発明によれば、シフトレジスタにおいて、消費電力を削減するとともに、動作を安定させることができる。

40

【図面の簡単な説明】

【 0 0 2 0 】

【図 1】本発明の第 1 の実施形態に係る表示装置の構成を示す図であり、( a ) は、表示装置の全体構成を示すブロック図であり、( b ) は、各画素回路の構成を示す回路図である。

【図 2】図 1 に示すゲートドライバにおけるシフトレジスタの構成を示す図である。

【図 3】図 2 に示す各シフト回路の構成を示す回路図である。

【図 4】第 1 の実施形態に係るシフト回路及びシフトレジスタの動作を説明するためのタイミングチャートである。

【図 5】本発明の第 2 の実施形態に係るシフト回路を示す回路図である。

50

【図 6】図 5 に示すシフト回路を備えたシフトレジスタの構成を示す図である。

【図 7】図 5 に示すシフト回路及び図 6 に示すシフトレジスタの動作を説明するためのタイミングチャートである。

【図 8】第 2 の実施形態におけるシフト回路の変形例を示す回路図である。

【図 9】図 8 に示すシフト回路及びこれを備えるシフトレジスタの動作を説明するためのタイミングチャートである。

【図 10】従来のインバータを示す回路図である。

【発明を実施するための形態】

【0021】

以下、本発明の実施形態に係る電子機器を、図面を参照して説明する。尚、本実施形態では、電子機器を、複数の画素を有し、各画素に発光素子として有機エレクトロルミネッセンス素子（以下、「有機 EL 素子」と略記する）を備えた表示装置として説明する。

【0022】

< 第 1 の実施形態 >

本発明の第 1 の実施形態に係る表示装置の構成を図 1 に示す。

本実施形態に係る表示装置 1 は、図 1 (a) に示すように、 $n$  行、 $m$  列の複数の画素回路 11 ( $i, j$ ) ( $i = 1 \sim m, j = 1 \sim n, m, n$  は、それぞれ、自然数) と、ゲートドライバ（行選択ドライバ）12 と、アノードドライバ 13 と、データドライバ 14 と、コントローラ 15 と、を備える。

【0023】

画素回路 11 ( $i, j$ ) は、画像の各画素に対応するものであり、行列配置される。この画素回路 11 ( $i, j$ ) は、図 1 (b) に示すように、有機 EL 素子 OLED 101 と、トランジスタ T1, T2 と、キャパシタ C1 と、を有する。

【0024】

キャパシタ C1 は、トランジスタ T2 のゲート - ソース間に設けられたキャパシタである。

【0025】

有機 EL 素子 OLED 101 は、画素電極（アノード電極）、単数或いは複数のキャリア輸送層からなる有機 EL 層、対向電極が積層された構造を有する表示素子であり、対向電極（カソード電極）にはカソード電位  $V_{cath}$  が印加されている。

【0026】

トランジスタ T1, T2 は、 $n$  チャンネル型の FET (Field Effect Transistor; 電界効果トランジスタ) によって構成されたポリシリコンまたはアモルファスシリコンによって形成された TFT であり、ドレイン、ソースとゲートを有し、ドレイン - ソース間には半導体層が設けられ、ドレイン - ソース間に所定のバイアス電圧が印加されるとともに、ゲートに閾値電圧より大きい電圧が印加されたとき、半導体層中にチャネルが形成され、このチャネルがドレイン - ソース間の電流路となる。

【0027】

トランジスタ T1 は、キャパシタ C1 の一端に、画像データ Data の階調を示す階調信号  $V_{data}$  を印加するためのトランジスタである。各画素回路 11 ( $i, j$ ) のトランジスタ T1 のソースは、トランジスタ T2 のゲート及びキャパシタ C1 の一端に接続される。

【0028】

画素回路 11 ( $i, 1$ ),  $\dots$ , 11 ( $i, n$ ) のトランジスタ T1 のドレインは、それぞれ、 $i$  列目のデータライン  $L_{di}$  に接続される。画素回路 11 ( $1, j$ ),  $\dots$ , 11 ( $m, j$ ) の各トランジスタ T1 のゲートは、それぞれ、第  $j$  行目のゲートライン  $L_{gj}$  に接続される。

【0029】

そして、それぞれ、ゲートライン  $L_{g1}$ ,  $\dots$ ,  $L_{gn}$  に High レベルの信号が順次出力されると、画素回路 11 ( $1, j$ ),  $\dots$ , 11 ( $m, j$ ) の各トランジスタ T1 はオンし、データライン  $L_{d1}$ ,  $\dots$ ,  $L_{dm}$  にそれぞれ入力された階調信号  $V_{data}$  をトランジスタ T2 のゲート及びキャパシタ C1 の一端に出力する。

10

20

30

40

50

## 【 0 0 3 0 】

トランジスタ  $T_2$  は、階調信号  $V_{data}$  に基づいた電流量の電流を制御しつつ、有機 EL 素子  $OLED_{101}$  に供給するトランジスタであり、そのゲートがトランジスタ  $T_1$  のソース及びキャパシタ  $C_1$  の一端に接続され、ドレインは、アノードライン  $L_{aj}$  に接続され、ソースがキャパシタ  $C_1$  の他端及び有機 EL 素子  $OLED_{101}$  のアノードに接続されている。

## 【 0 0 3 1 】

ゲートドライバ  $12$  は、行毎に画素回路  $11(i, j)$  を選択するためのドライバである。ゲートドライバ  $12$  は、コントローラ  $15$  から、電圧  $V_{HI}$  ,  $V_{LW}$  ( $V_{HI} > V_{LW}$ ) が印加され、スタート信号  $St$ 、クロック信号  $CK_1$  ,  $CK_2$  ,  $end$  信号が供給されて動作を開始する。

10

## 【 0 0 3 2 】

ゲートドライバ  $12$  は、スタート信号  $St$  が供給されて動作を開始し、クロック信号  $CK_1$  ,  $CK_2$  に従って、出力信号  $OUT(1) \sim (n)$  を、ゲートライン  $L_{g1} \sim L_{gn}$  に、順次、出力する。

## 【 0 0 3 3 】

ゲートドライバ  $12$  は、このようにして、画素回路  $11(1, 1) \sim 11(m, 1)$  ,  $\dots$  ,  $11(1, n) \sim 11(m, n)$  を選択する。

## 【 0 0 3 4 】

このゲートドライバ  $12$  は、図 2 に示すようなシフトレジスタを有する。なお、ゲートドライバ  $12$  は、シフトレジスタの出力端にバッファが設けられていてもよい。このシフトレジスタは、コントローラ  $15$  から供給されたスタート信号  $St$  によって動作を開始し、クロック信号  $CK_1$  ,  $CK_2$  に同期させてスタート信号  $St$  を転送し、出力信号  $OUT(1) \sim OUT(n)$  を順次出力するものである。

20

## 【 0 0 3 5 】

シフトレジスタは、第 1 段乃至第  $n$  段のシフト回路  $21\_1 \sim 21\_n$  を備え、シフト回路  $21\_1 \sim 21\_n$  が直列に接続されている。

## 【 0 0 3 6 】

シフト回路  $21\_1 \sim 21\_n$  は、入力信号  $IN$  (スタート信号  $St$  を含む) とクロック信号  $CK_1$  又は  $CK_2$  とが供給され、供給された入力信号  $IN$  をクロック信号  $CK_1$  又は  $CK_2$  に従ってシフトし、シフトした信号を出力信号  $OUT(k)$  ( $k = 1 \sim n$ ) として出力するものである。

30

## 【 0 0 3 7 】

シフト回路  $21\_k$  ( $k = 1 \sim n$ ) は、図 3 に示すように、入力端子  $Pin$  と、出力端子  $P_{out}$  と、リセット端子  $Prst$  と、電圧端子として機能する第 1 の端子  $P_1$  と、電圧端子として機能する第 2 の端子  $P_2$  と、クロック端子として機能する第 3 の端子  $P_3$  と、を有している。

## 【 0 0 3 8 】

入力端子  $Pin$  は、入力信号  $IN(k)$  が供給される端子である。シフト回路  $21\_1$  の入力端子  $Pin$  には、コントローラ  $15$  からスタート信号  $St$  が入力信号  $IN(1)$  として供給される。

40

## 【 0 0 3 9 】

出力端子  $P_{out}$  は、出力信号  $OUT(k)$  を出力する端子であり、ゲートライン  $L_{gk}$  に接続されている。シフト回路  $21\_2 \sim 21\_n$  の入力端子  $Pin$  は、それぞれ、前段のシフト回路  $21\_1 \sim 21\_n$  の出力端子  $P_{out}$  に接続される。

## 【 0 0 4 0 】

リセット端子  $Prst$  は、リセット信号  $RST(k)$  が供給される端子である。シフト回路  $21\_1 \sim 21\_n$  のリセット端子  $Prst$  は、それぞれ、次段のシフト回路  $21\_2 \sim 21\_n$  の出力端子  $P_{out}$  に接続され、出力信号  $OUT(2) \sim OUT(n)$  がリセット信号  $RST(1) \sim RST(n-1)$  として供給される。また、シフト回路  $21\_n$  に

50

は、コントローラ 15 から  $end$  信号が供給される。

【0041】

第3の端子 P3 は、クロック信号（第1のクロック信号）CK1 又は CK2 が供給される端子であり、奇数段であるシフト回路 21<sub>k</sub> の第3の端子 P3 には、コントローラ 15 から、クロック信号 CK1 が供給される。

【0042】

また、偶数段であるシフト回路 21<sub>(k+1)</sub> の第3のクロック端子 P3 には、コントローラ 15 から、クロック信号 CK2 が供給される。

【0043】

第2の端子 P2 は、電圧 VHI が印加される端子であり、第1の端子 P1 は、基準電圧としての電圧 VLW が印加される端子である。

10

【0044】

このシフト回路 21<sub>k</sub> は、トランジスタ T11 ~ T18 を備えている。トランジスタ T11 ~ T18 は、nチャンネル型の FET によって構成されたトランジスタである。

【0045】

このトランジスタ T11 ~ T18 は、単結晶シリコントランジスタでもよく、また画素回路 11(i, j) と一体に構成されるためにポリシリコン TFT やアモルファスシリコン TFT (a-TFT) によって構成されてもよい。

【0046】

トランジスタ T11 ~ T18 は、ドレイン、ソースとゲートを有し、ドレイン - ソース間には半導体層が設けられ、ドレイン - ソース間に所定のバイアス電圧が印加されるとともに、ゲートに閾値電圧より大きい電圧が印加されたとき、半導体層中にチャンネルが形成され、このチャンネルがドレイン - ソース間の電流路となる。

20

【0047】

トランジスタ T11 は、入力端子 Pin に供給された入力信号 IN(k) の信号レベルに従って、ノード A の電位 Va を決定するためのトランジスタである。このトランジスタ T11 のゲートとドレインとは、入力端子 Pin に接続される。ノード A は、信号出力端としてのトランジスタ T11 のソースに接続された接続点である。

【0048】

トランジスタ T12 は、リセット端子 Prst に供給された High レベルのリセット信号 RST(k) でシフト回路 21<sub>k</sub> をリセットするためのトランジスタである。

30

【0049】

このトランジスタ T12 のゲートは、リセット端子 Prst に接続され、ドレインは、トランジスタ T11 のソースとノード A とに接続され、ソースは、第1の端子 P1 に接続される。トランジスタ T11、T12 は入力回路に相当する。

【0050】

トランジスタ T13 ~ T16 は、ノード A の電位を反転するインバータ INV を構成するトランジスタである。インバータ INV はインバータ回路に相当する。

【0051】

トランジスタ T13 は、ノード A の電位 Va に従って、ノード B の電位 Vb をコントロールするためのトランジスタである。このトランジスタ T13 のゲートは、ノード A に接続され、電流上流端としてのドレインは、ノード B に接続され、電流下流端としてのソースは第1の端子 P1 に接続される。ノード B はトランジスタ T15 のソースとトランジスタ T13 のドレインとの接続点である。

40

【0052】

トランジスタ T14、T15 は、ダイオード接続されて抵抗として機能する半導体素子であり、トランジスタ T14 のドレインとゲートとは、第2の端子 P2 に接続される。トランジスタ T14 は、電圧 VHI が印加されて、電流量を制限しつつトランジスタ T15、T13 に電流を供給する。

【0053】

50

またトランジスタT 1 5のゲートとドレインとは、トランジスタT 1 4のソースに接続され、ソースはノードBに接続される。トランジスタT 1 5は、トランジスタT 1 4と直列に接続されて、電流下流端としてのソースがノードBに接続されて、第2の端子P 2とノードB間の電圧を分圧するトランジスタである。

【0054】

このように、電圧V H Iが印加される第2の端子P 2とノードB間との間にダイオード接続されたトランジスタT 1 4、T 1 5が直列接続されるため、各トランジスタT 1 4、T 1 5のバイアス電圧が分圧（ストレス電圧が分散）される。また、これにより、第2の端子P 2とノードB間の抵抗値が従来の構成に比べて増加して、貫通電流の電流値が従来の構成に比べて減少する。

10

【0055】

トランジスタT 1 6は、ノードBの電位V bの立ち上がり速度の低下を抑制するためのトランジスタである。トランジスタT 1 6がトランジスタT 1 4、T 1 5と並列に接続されるように、トランジスタT 1 6のドレインはトランジスタT 1 4のドレイン（及びゲート）に接続されるとともに第2の端子P 2に接続され、ソースはノードBに接続される。

【0056】

また、トランジスタT 1 6のゲートは、リセット端子P rstに接続され、トランジスタT 1 6は、リセット信号R S T（k）の信号レベルに従って、ノードBの電位をコントロールする。

【0057】

20

尚、このトランジスタT 1 6は、H i g hレベルのリセット信号R S T（k）で動作するため、リセット信号R S T（k）の立ち上がりの際に、過渡的にしか電圧ストレス（ゲート-ソース間電圧）を受けないため、比較的劣化が少ない素子である。

【0058】

このトランジスタT 1 3～T 1 6によって構成されるインバータI N Vにより、ノードAの電位V a、ノードBの電位V bは相補的にH i g h（オンレベル）、L o w（オフレベル）にスイッチされ、一方がH i g hであれば、他方がL o wとなる。

【0059】

尚、トランジスタT 1 3～T 1 6のトランジスタサイズは、チャネル長が互いに同じ値である場合、チャネル幅も互いに同じ値に設定してよい。これに対し、図10に示す従来のインバータI N Vでは、電圧V H Iと電圧V L Wとの間に接続されているトランジスタは、トランジスタT 5 1、T 5 2の2つであり、ノードBの電圧を低下させるため、トランジスタT 5 1、T 5 2のトランジスタサイズを、チャネル長を同じとして、チャネル幅を、例えば1：3程度にする必要があった。

30

【0060】

しかし、図3に示すインバータI N Vでは、トランジスタT 1 5が介挿されているため、トランジスタT 1 3のトランジスタサイズをT 1 4、T 1 5と同程度に小さくしてもノードBの電位V bを十分に低下させることができる。

【0061】

また、ダイオード接続されたトランジスタT 5 1を備える従来の構成に比べて、T 1 6があることによってノードBの電圧の立ち上がりが速められているため、トランジスタT 1 4、T 1 5のトランジスタサイズをT 5 1のトランジスタサイズより小さくすることができる。以上により、従来の構成に対してトランジスタが2つ増加されているものの、各トランジスタの大きさを比較的小さくすることが出来て、回路面積の増加を抑えることができる。

40

【0062】

トランジスタT 1 7は、クロック信号C K 1がドレインに供給され、ノードAの電位V aに従ってオン、オフし、オンしたときに、クロック信号C K 1に同期して、シフト信号としての出力信号O U T（k）として出力するトランジスタである。

【0063】

50



このトランジスタ T 1 7 のゲートは、ノード A に接続され、ドレインは、第 3 の端子 P 3 に接続され、ソースは出力端子 P out に接続される。このトランジスタ T 1 7 のゲート - ソース間には、ブートストラップ効果をもたらすためのキャパシタ C x1 が接続される。  
【 0 0 6 4 】

トランジスタ T 1 8 は、ノード B の電位 V b に従ってオン、オフし、第 k 行の画素回路 1 1 ( i , k ) の非選択期間にオンして出力信号 O U T ( k ) を基準電圧としての電圧 V L W に固定して出力信号 O U T ( k ) を安定させるためのトランジスタである。  
【 0 0 6 5 】

トランジスタ T 1 8 のゲートは、ノード B に接続され、ドレインは、トランジスタ T 1 7 のソースと出力端子 P out とに接続され、ソースは、第 1 の端子 P 1 に接続される。トランジスタ T 1 7 、 T 1 8 は出力回路に相当する。  
【 0 0 6 6 】

図 1 ( a ) , ( b ) に戻り、アノードドライバ 1 3 は、アノードライン L a ( 1 ) ~ L a ( n ) に、それぞれ、電圧 V L 又は V H の信号 V source ( 1 ) ~ V source ( n ) を出力するドライバである。アノードドライバ 1 3 は、それぞれ、アノードライン L a j ( j = 1 ~ n ) を介して、各画素回路 1 1 ( i , j ) のトランジスタ T 3 のドレインに接続される。  
【 0 0 6 7 】

アノードドライバ 1 3 は、コントローラ 1 5 から供給されたスタート信号 S t により動作を開始し、コントローラ 1 5 から供給されたクロック信号 C K 1 に従って動作する。  
【 0 0 6 8 】

そして、アノードドライバ 1 3 は、電圧 V L 又は V H の電圧信号 V source ( 1 ) ~ V source ( n ) を出力する。電圧 V L は、書き込み処理時等において、各画素回路 1 1 ( i , j ) の有機 E L 素子 O L E D 1 0 1 を非発光状態にするための電圧である。  
【 0 0 6 9 】

本実施形態では、有機 E L 素子 O L E D 1 0 1 のカソード電圧 V cath が 0 V に設定され、電圧 V L は、0 V、もしくは 0 V より低い電位に設定される。また、電圧 V H は、各画素回路 1 1 ( i , j ) の有機 E L 素子 O L E D 1 0 1 を発光状態にするための電圧であり、例えば、+ 1.5 V に設定される。  
【 0 0 7 0 】

データドライバ 1 4 は、画素回路 1 1 ( i , j ) の各キャパシタ C 1 に供給された画像データ Data に基づく表示信号の階調信号 V data を書き込むドライバである。  
【 0 0 7 1 】

データドライバ 1 4 は、コントローラ 1 5 から画像データ Data が供給され、この画像データ Data に基づいて、行毎の階調信号 V data を生成する。  
【 0 0 7 2 】

データドライバ 1 4 は、生成した階調信号 V data を、それぞれ、データライン L d 1 ~ L d m を介して、ゲートドライバ 1 2 が選択した第 j 行の画素回路 1 1 ( 1 , j ) ~ 1 1 ( m , j ) に供給する。  
【 0 0 7 3 】

コントローラ 1 5 は、ゲートドライバ 1 2、データドライバ 1 4 を制御するものであり、C P U ( Central Processing Unit )、R O M ( Read Only Memory )、R A M ( Random Access Memory )、等を備える(いずれも図示せず)。  
【 0 0 7 4 】

コントローラ 1 5 は、シフト回路 2 1 \_ 1 ~ 2 1 \_ n のうち奇数段にクロック信号 C K 1 を出力し、偶数段にクロック信号 C K 2 を出力した状態で、動作を開始させるスタート信号 S t をゲートドライバ 1 2 の初段のシフト回路 2 1 \_ 1 に供給する。コントローラ 1 5 は、このようにして、ゲートドライバ 1 2 に動作を開始させる。  
【 0 0 7 5 】

また、コントローラ 1 5 は、ゲートドライバ 1 2 に、最終段のシフト回路 2 1 \_ n のリセット信号 R S T ( n ) として e n d 信号を供給する。

## 【 0 0 7 6 】

コントローラ 1 5 は、データドライバ 1 4 にスタート信号 S t 及び画像データ Data、クロック信号 C K 1 等を供給する。

## 【 0 0 7 7 】

次に本実施形態に係る表示装置 1 の動作を説明する。図 4 は、ゲートドライバ 1 2 におけるシフト回路 2 1 \_k 及びシフトレジスタの動作を説明するためのタイミングチャートである。なお、V a、V b、V c は初段のシフト回路 2 1 \_1 のノード A、B、C の電位を示す。

## 【 0 0 7 8 】

図 4 に示すように、コントローラ 1 5 は、位相が 1 8 0 ° 異なるクロック信号 C K 1 , C K 2 と H i g h レベルのスタート信号 S t とをゲートドライバ 1 2 に供給する。

10

## 【 0 0 7 9 】

クロック信号 C K 1 が L o w レベルになる時刻 t 1 0 において、この H i g h レベルのスタート信号 S t は、第 1 段のシフト回路 2 1 \_1 の入力端子 P i n に、入力信号 I N ( 1 ) として供給される。

## 【 0 0 8 0 】

この H i g h レベルのスタート信号 S t が供給される期間を入力期間 T i n として、シフト回路 2 1 \_1 のトランジスタ T 1 1 は、この入力期間 T i n において、オンする。

## 【 0 0 8 1 】

トランジスタ T 1 1 がオンすると、ノード A の電位 V a は、H i g h レベルとなり、トランジスタ T 1 3 も、ゲートに H i g h レベルの信号が供給されてオンする。

20

## 【 0 0 8 2 】

トランジスタ T 1 3 がオンすると、トランジスタ T 1 4 , T 1 5 は、ダイオード接続されているために、電流が、電圧 V H I のラインから、第 2 の端子 P 2、トランジスタ T 1 4 , T 1 5 , T 1 3 の各ドレイン - ソース、第 1 の端子 P 1 を経由して、電圧 V L W のラインへと流れる。

## 【 0 0 8 3 】

電流がこのように流れて、ノード B の電位 V b は、図 4 に示すように、入力期間 T i n において L o w レベルになり、トランジスタ T 1 8 はオフする。

## 【 0 0 8 4 】

30

しかし、トランジスタ T 1 4 , T 1 5 は、抵抗素子として機能し、流れる電流の電流量は、トランジスタ T 1 4 , T 1 5 によって制限され、トランジスタ T 1 3 の発熱量も低減される。また、トランジスタ T 1 4、T 1 5 のドレイン - ソース間に印加される電圧は、 $(V H I - V L W) / 3$  となり、従来と比較して減少する。

## 【 0 0 8 5 】

図 4 に示すように、入力期間 T i n 経過後、クロック信号 C K 1 が H i g h レベルになる出力期間 T o u t において、入力信号 I N ( 1 ) が L o w レベルとなり、トランジスタ T 1 1 はオフする。

## 【 0 0 8 6 】

ノード A の電位 V a は、トランジスタ T 1 1 がオフしても、トランジスタ T 1 7 , T 1 8 がオフしているため、H i g h レベルに保持されている。

40

## 【 0 0 8 7 】

この出力期間 T o u t において、クロック信号 C K 1 が H i g h レベルになると、キャパシタ C x1 のブートストラップ効果により、ノード A の電位 V a は、さらに上昇し、トランジスタ T 1 7 は、確実にオンする。

## 【 0 0 8 8 】

トランジスタ T 1 7 がオンすると、シフト回路 2 1 \_1 は、出力端子 P o u t から、H i g h レベルの出力信号 O U T ( 1 ) を出力する。

## 【 0 0 8 9 】

この H i g h レベルの出力信号 O U T ( 1 ) は、ゲートライン L g1 に出力されるととも

50

に、シフト回路 2 1\_2 に、入力信号 I N ( 2 ) として供給される。

【 0 0 9 0 】

シフト回路 2 1\_2 は、この入力信号 I N ( 2 ) をクロック信号 C K 2 に同期してシフトし、H i g h レベルの出力信号 O U T ( 2 ) を出力する。

【 0 0 9 1 】

このH i g h レベルの出力信号 O U T ( 2 ) は、H i g h レベルのリセット信号 R S T ( 1 ) として、シフト回路 2 1\_1 のリセット端子 P r s t に供給される。

【 0 0 9 2 】

このH i g h レベルのリセット信号 R S T ( 1 ) が供給されると、トランジスタ T 1 2 がオンする。トランジスタ 1 2 がオンすると、ノード A の電位 V a は L o w レベルに立ち下がる。

【 0 0 9 3 】

ノード A の電位 V a が L o w レベルに立ち下ると、トランジスタ T 1 3 がオフし、ノード B の電位 V b は H i g h レベルとなる。

【 0 0 9 4 】

また、H i g h レベルのリセット信号 R S T ( 1 ) が供給されると、トランジスタ T 1 6 もオンする。

【 0 0 9 5 】

第 2 の端子 P 2 と第 1 の端子 P 1 との間には、トランジスタ T 1 5 が介挿されているため、トランジスタ T 1 6 がなければ、トランジスタ T 1 5 の寄生容量により、ノード B の電位 V b の立ち上がり速度は、従来と比較して、遅くなる。

【 0 0 9 6 】

しかし、シフト回路 2 1\_1 には、トランジスタ T 1 6 が備えられ、トランジスタ T 1 6 がオンすることにより、第 2 の端子 P 2 とノード B との間が短絡され、電位 V b の立ち上がり速度の遅れは解消され、ノード B の電位 V b は、素早く H i g h レベルとなる。

【 0 0 9 7 】

ノード B の電位 V b が H i g h レベルになることにより、トランジスタ T 1 8 はオンし、出力信号 O U T ( 1 ) は、L o w レベルに立ち下がる。

【 0 0 9 8 】

同様に、シフト回路 2 1\_k ( k = 2 ~ n ) は、それぞれ、クロック信号 C K 1 , C K 2 に同期させて、シフト回路 2 1\_ ( k - 1 ) から出力された出力信号 O U T ( k - 1 ) を入力信号 I N ( k ) として、この入力信号 I N ( k ) をシフトする。そして、シフト回路 2 1\_k は、シフトした信号を出力信号 O U T ( k ) として出力する。

【 0 0 9 9 】

ゲートドライバ 1 2 は、シフト回路 2 1\_1 の H i g h レベルの出力信号 O U T ( 1 ) をゲートライン L g1 に出力する。画素回路 1 1 ( 1, 1 ) ~ 1 1 ( m, 1 ) の各トランジスタ T 1 は、この H i g h レベルの出力信号 O U T ( 1 ) によりオンする。

【 0 1 0 0 】

データドライバ 1 4 は、この期間において、データライン L d1 ~ L d m を介して、ゲートドライバ 1 2 が選択した画素回路 1 1 ( 1, 1 ) ~ 1 1 ( m, 1 ) に階調信号 V data を供給する。

【 0 1 0 1 】

画素回路 1 1 ( 1, 1 ) ~ 1 1 ( m, 1 ) の各キャパシタ C 1 には、各トランジスタ T 1 を介して、この階調信号 V data が書き込まれる。

【 0 1 0 2 】

同様にして、ゲートドライバ 1 2 は、シフト回路 2 1\_2 , . . . , 2 1\_n の H i g h レベルの出力信号 O U T ( 2 ) ~ O U T ( n ) を、順次、ゲートライン L g2 , . . . , L g n に出力する。

【 0 1 0 3 】

ゲートライン L g2 , . . . , L g n に、順次、H i g h レベルの出力信号 O U T ( 1 ) が出力されると、画素回路 1 1 ( 1, 2 ) ~ 1 1 ( m, 2 ) , . . . , 1 1 ( 1, n ) ~ 1 1 ( m, n ) が選択さ

10

20

30

40

50

れる。

【 0 1 0 4 】

データドライバ 1 4 は、供給された画像データに基づく階調信号  $V_{data}$  を、それぞれ、データライン  $L_{d1} \sim L_{dm}$  に印加し、選択された画素回路 1 1 (1,2) ~ 1 1 (m,2) , . . . , 1 1 (1,n) ~ 1 1 (m,n) の各キャパシタ  $C_1$  に階調信号  $V_{data}$  を書き込む。

【 0 1 0 5 】

このようにして書き込み動作が完了すると、コントローラ 1 5 は、発光動作を制御する。

【 0 1 0 6 】

アノードドライバ 1 3 は、電圧  $V_H (= +1.5V)$  の信号  $V_{source}(1) \sim V_{source}(n)$  を、アノードライン  $L_a(1) \sim L_a(n)$  に出力する。

【 0 1 0 7 】

アノードライン  $L_a(1) \sim L_a(n)$  の電圧が  $V_H$  になると、各画素回路 1 1 (i,j) のトランジスタ  $T_2$  は、各キャパシタ  $C_1$  が保持した電圧をゲート電圧  $V_{gs}$  として、このゲート電圧  $V_{gs}$  に対応する電流を有機 EL 素子 O L E D 1 0 1 に供給する。

【 0 1 0 8 】

そして、各有機 EL 素子 O L E D 1 0 1 は、この電流が流れることにより、この電流の電流値に対応する輝度で発光する。

【 0 1 0 9 】

以上説明したように、本実施形態によれば、インバータ I N V のトランジスタ  $T_{14}$  とノード B との間にトランジスタ  $T_{15}$  が接続され、電圧  $V_{HI}$  と電圧  $V_{LW}$  との間のバイアス電圧を分圧するようにした。

【 0 1 1 0 】

従って、各トランジスタ  $T_{13} \sim T_{15}$  のバイアス電圧は分散されるため、入力期間  $T_{in}$  と出力期間  $T_{out}$  において、トランジスタ  $T_{14}$ 、 $T_{15}$  の各々に印加されるバイアス電圧を従来の構成の場合に対してほぼ半減させることができ、電流を大幅に低減することができる。

【 0 1 1 1 】

また、このため、トランジスタ  $T_{14}$ 、 $T_{15}$  の劣化による閾値  $V_{th}$  シフトの発生を抑制することができる。

【 0 1 1 2 】

また、トランジスタ  $T_{14}$ 、 $T_{15}$  と並列に、トランジスタ  $T_{16}$  が接続されることにより、トランジスタ  $T_{15}$  を介挿したことによるノード B の電位  $V_b$  の立ち上がり速度の遅れを防止することができる。

【 0 1 1 3 】

< 第 2 の実施形態 >

次に、本発明の第 2 の実施形態に係るシフト回路の構成を図 5 に示す。

上記第 1 の実施形態では、シフト回路 2 1\_k において、トランジスタ  $T_{14}$  のドレインに接続される第 2 の端子  $P_2$  に一定の電圧値を有する電圧  $V_{HI}$  を印加するようにした。しかし、インバータ I N V のトランジスタ  $T_{14}$  のドレインには、図 4 に示した出力期間  $T_{out}$  には電圧  $V_{HI}$  が印加されていなくても、シフト回路 2 1\_k は実質的に同様に動作する。

【 0 1 1 4 】

そこで、本第 2 の実施形態は、図 5 に示すように、第 2 の端子  $P_2$  に、電圧  $V_{HI}$  に代えて、第 3 の端子  $P_3$  に印加されるクロック信号 ( 正相のクロック信号 ( 第 1 のクロック信号 )  $CK+$  とする ) に対して逆相のクロック信号 ( 第 2 のクロック信号 )  $CK-$  を供給するようにしたものである。

【 0 1 1 5 】

この場合、ゲートドライバ 1 2 は、図 6 に示すように、すべてのシフト回路 2 1\_1 ~ 2 1\_n に、クロック信号  $CK_1$ 、 $CK_2$  を供給する。奇数段のシフト回路 2 1\_k には、

10

20

30

40

50

クロック信号  $CK_1$  ,  $CK_2$  が、それぞれ、正相及び逆相のクロック信号  $CK_+$  ,  $CK_-$  として供給され、偶数段のシフト回路  $2_1\_k$  には、クロック信号  $CK_1$  ,  $CK_2$  が、それぞれ、逆相及び正相のクロック信号  $CK_-$  ,  $CK_+$  として供給される。

【0116】

ここで、本実施形態におけるシフト回路  $2_1\_k$  及びシフトレジスタの動作は、図7に示すように、ノードCの電位である  $V_c$  以外は図4に示した動作と同じとなる。

【0117】

ノードCの電位  $V_c$  は、第2の端子  $P_2$  に逆相のクロック信号  $CK_-$  が印加されるために、初段のシフト回路  $2_1\_1$  においては、クロック信号  $CK_2$  に対応して変化する。

【0118】

このようにすることにより、電圧  $V_{HI}$  を使用しないため、電圧  $V_{HI}$  のラインの配線が不要となり、回路面積を縮小することができる。また、トランジスタ  $T_{14}$  、  $T_{15}$  に印加されるバイアス電圧を低減できるとともに、トランジスタ  $T_{14}$  、  $T_{15}$  にバイアス電圧が印加される期間を入力期間  $T_{in}$  のみとし、出力期間  $T_{out}$  にはトランジスタ  $T_{14}$  、  $T_{15}$  にバイアス電圧が印加されないため、バイアス電圧が印加される期間を短縮して、トランジスタ  $T_{14}$  、  $T_{15}$  の劣化を更に抑制することができる。

【0119】

さらに、第2の端子  $P_2$  に逆相のクロック信号  $CK_-$  を供給するようにしたことにより、出力期間  $T_{out}$  において、インバータ  $INV$  に電流が供給されなくなるため、消費電流を低減させることができる。

【0120】

次に、本実施形態の変形例について説明する。上記図5に示した構成においては、第2の端子  $P_2$  にトランジスタ  $T_{16}$  のドレインとトランジスタ  $T_{14}$  のドレインとが接続されていたが、図8に示すように、第2の端子  $P_2$  にはトランジスタ  $T_{16}$  のドレインのみを接続し、第3の端子  $P_3$  にトランジスタ  $T_{13}$  のドレインとトランジスタ  $T_{17}$  のドレインとを接続するようにしてもよい。

【0121】

ここで、本実施形態におけるシフト回路  $2_1\_k$  及びシフトレジスタの動作も、図9に示すように、ノードB、Cの電位である  $V_b$  、  $V_c$  以外は図4に示した動作と同じとなる。

【0122】

スタート信号  $St$  が供給されたときトランジスタ  $T_{16}$  はオフ状態であり、トランジスタ  $T_{13}$  、  $T_{14}$  もオフ状態であるため、ノードBの電位  $V_b$  は、入力期間  $T_{in}$  に電圧  $V_{LW}$  近いLowレベルになり、出力期間  $T_{out}$  において、第3の端子  $P_3$  に  $High$  レベルのクロック信号が印加されて、そのLowレベルが上昇する。そして、ノードCの電位  $V_c$  は、このノードBの電位  $V_b$  の変化に応じた変化をする。

【0123】

この場合においても、電圧  $V_{HI}$  を使用しないため、電圧  $V_{HI}$  のラインの配線が不要となり、回路面積を縮小することができる。また、トランジスタ  $T_{14}$  、  $T_{15}$  に印加されるバイアス電圧を低減できるとともに、トランジスタ  $T_{14}$  、  $T_{15}$  にバイアス電圧が印加される期間を出力期間  $T_{out}$  のみとし、入力期間  $T_{in}$  にはトランジスタ  $T_{14}$  、  $T_{15}$  にバイアス電圧が印加されないため、バイアス電圧が印加される期間を短縮して、トランジスタ  $T_{14}$  、  $T_{15}$  の劣化を更に抑制することができる。

【0124】

なお、上記実施形態では、電子機器を、有機EL素子を備えた表示装置として説明した、しかし、電子機器は、このものに限られるものではなく、発光素子を備えたものであれば、本実施形態に限定されるものではない。また、電子機器は、例えば、液晶素子を備えた液晶表示装置であってもよい。

【符号の説明】

【0125】

1・・・表示装置、11・・・画素回路、12・・・ゲートドライバ、13・・・アノ

10

20

30

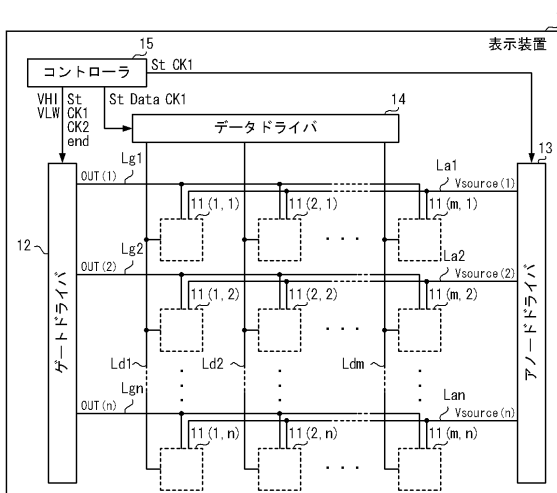
40

50

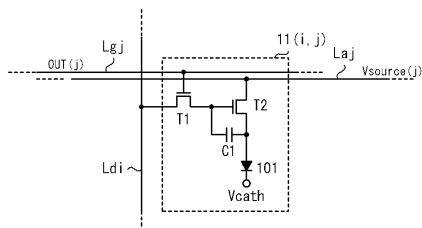
ードドライバ、14・・・データドライバ、15・・・コントローラ、21<sub>k</sub> (k; 1 ~ n)・・・シフト回路、101・・・有機EL素子OLED、T1, T2, T11 ~ T18・・・トランジスタ、C1・・・キャパシタ、INV・・・インバータ

【図1】

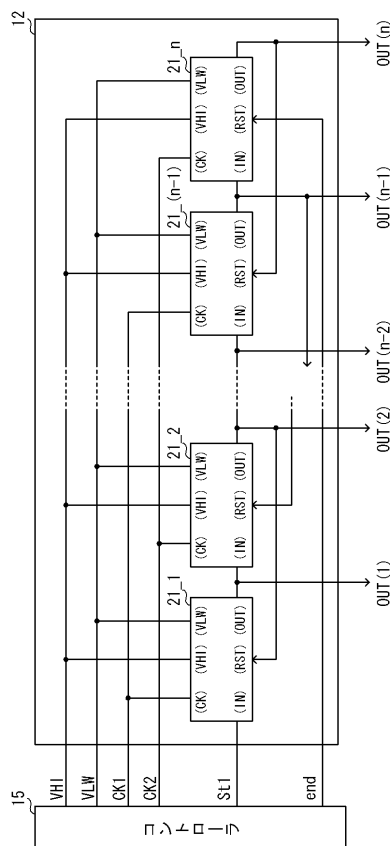
(a)



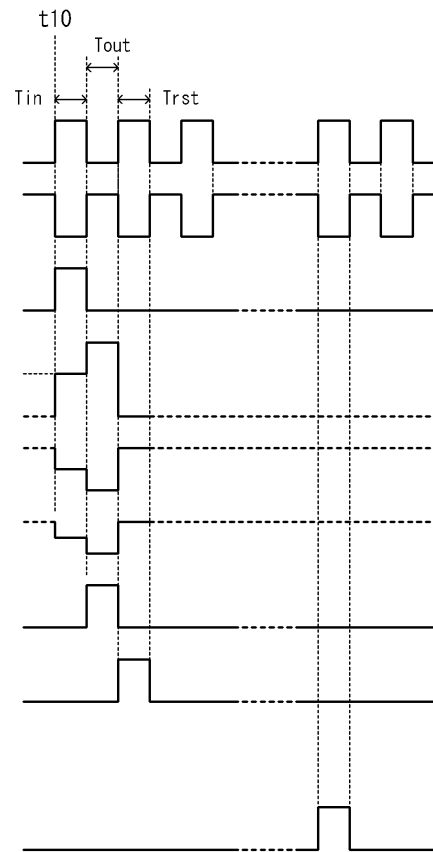
(b)



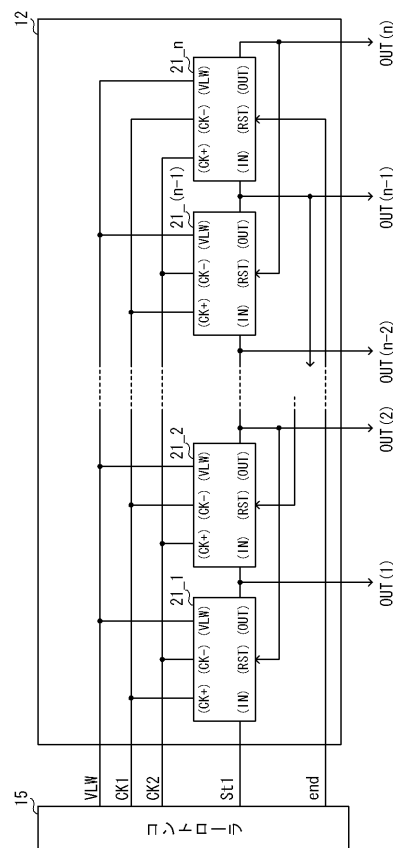
【図2】



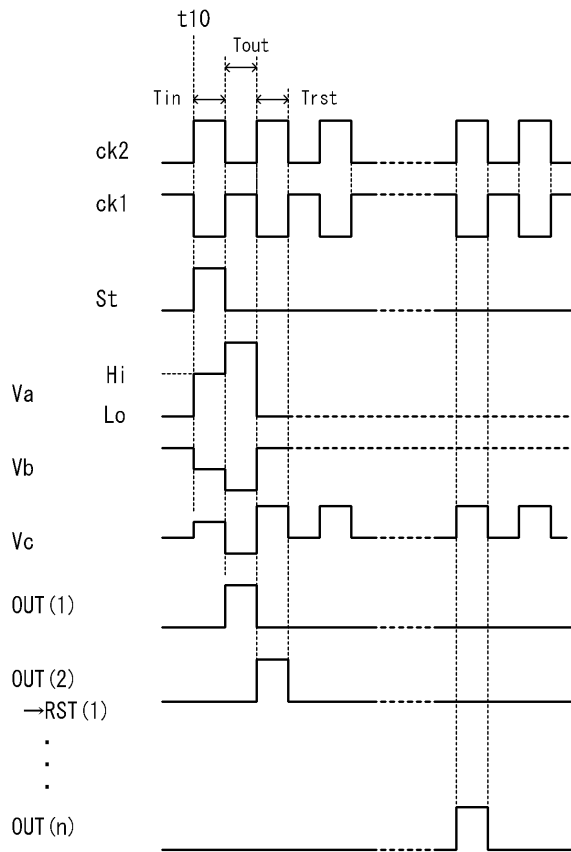
【 図 4 】



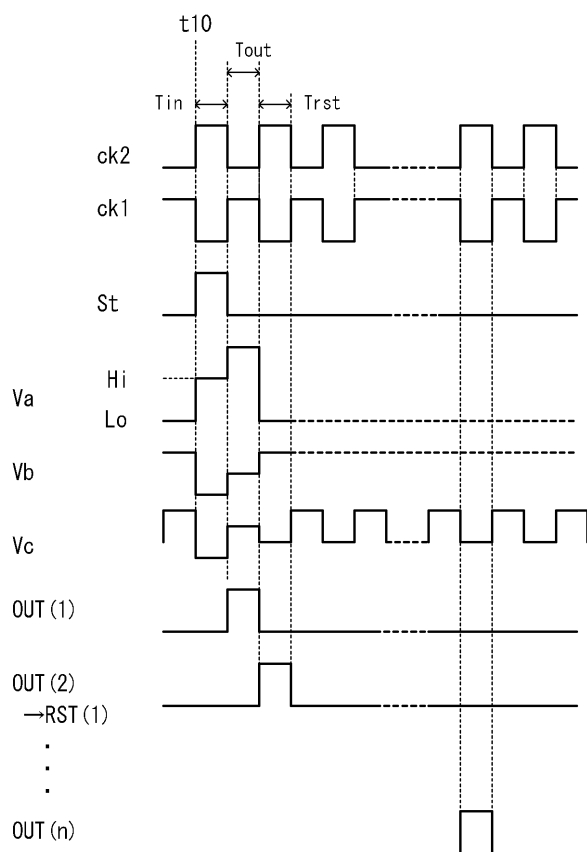
【 図 6 】



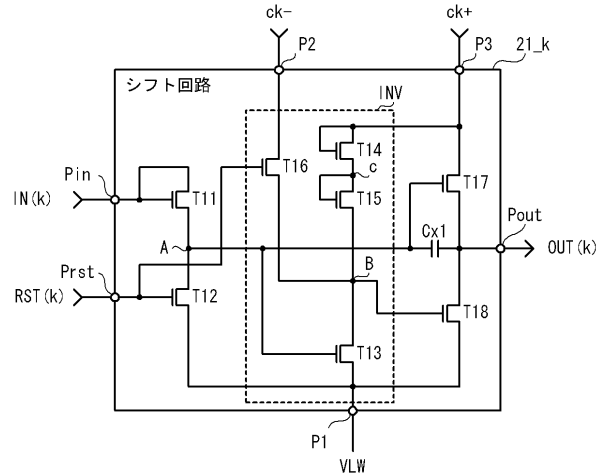
【図 7】



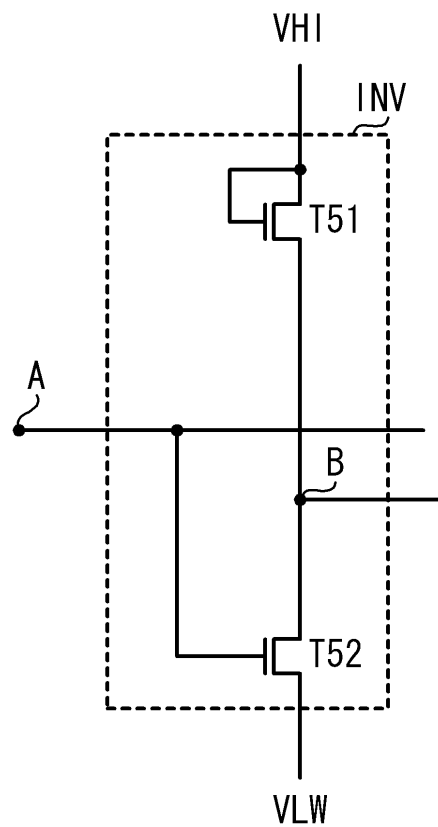
【図 9】



【図 8】



【図 10】





## フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/30	J
G 0 9 G	3/30	H
G 0 9 G	3/20	6 1 1 J

F ターム(参考) 5C380 AA01 AB06 AB22 AB23 BA01 BA05 BA11 BA40 BD10 CA04  
CA08 CA12 CB01 CC02 CC27 CC33 CC41 CC62 CD012 CF07  
CF10 CF43 CF46 CF62 DA02 DA06 GA14