

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成19年2月8日(2007.2.8)

【公開番号】特開2006-222988(P2006-222988A)

【公開日】平成18年8月24日(2006.8.24)

【年通号数】公開・登録公報2006-033

【出願番号】特願2006-108672(P2006-108672)

【国際特許分類】

H 03 G 11/00 (2006.01)

【F I】

H 03 G 11/00 A

【手続補正書】

【提出日】平成18年12月14日(2006.12.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】積分回路

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

信号入力端子と、

信号出力端子と、

反転入力端子と、基準電圧ラインに接続された非反転入力端子と、上記信号出力端子に接続された出力端子とを有する演算增幅器と、

上記信号入力端子と上記演算增幅器の反転入力端子との間に接続されたスイッチトキャパシタ回路と、

上記演算增幅器の出力端子と反転入力端子との間に接続された帰還キャパシタと、

上記演算增幅器の出力端子と反転入力端子との間に接続された第1のリミット回路と、

上記演算增幅器の出力端子と反転入力端子との間に接続された第2のリミット回路と、を有し、

上記第1のリミット回路が第1の電源電圧ラインと上記演算增幅器の反転入力端子との間に接続された第1のMOSトランジスタを有し、

上記第2のリミット回路が第2の電源電圧ラインと上記演算增幅器の反転入力端子との間に接続された第2のMOSトランジスタを有し、

上記第1及び第2のMOSトランジスタのゲート端子が上記演算增幅器の出力端子に接続されている、

積分回路。

【請求項2】

上記第1の電源電圧が正電源電圧であり、上記第2の電源電圧が負電源電圧であり、上記第1のMOSトランジスタがNMOSトランジスタであり、上記第2のMOSトランジスタがPMOSトランジスタである請求項1に記載の積分回路。

【請求項3】

上記第1のリミット回路が上記第1のMOSトランジスタと上記演算増幅器の反転入力端子との間に接続された第1のダイオード素子を更に有し、

上記第2のリミット回路が上記第2のMOSトランジスタと上記演算増幅器の反転入力端子との間に接続された第2のダイオード素子を更に有する、

請求項2に記載の積分回路。

【請求項4】

上記第1のダイオード素子がNMOSトランジスタで構成され、上記第2のダイオード素子がPMOSトランジスタで構成される請求項3に記載の積分回路。

【請求項5】

上記第1及び第2のMOSトランジスタのしきい値電圧を調整するための電圧調整回路を更に有する請求項1乃至4の何れかに記載の積分回路。

【請求項6】

第1の信号入力端子と、

第2の信号入力端子と、

第1の信号出力端子と、

第2の信号出力端子と、

反転入力端子と、非反転入力端子と、上記第1の信号出力端子に接続された非反転出力端子と、上記第2の信号出力端子に接続された反転出力端子とを有する演算増幅器と、

上記第1の信号入力端子と上記演算増幅器の反転入力端子との間に接続された第1のスイッチトキャパシタ回路と、

上記第2の信号入力端子と上記演算増幅器の非反転入力端子との間に接続された第2のスイッチトキャパシタ回路と、

上記演算増幅器の非反転出力端子と反転入力端子との間に接続された第1の帰還キャパシタと、

上記演算増幅器の反転出力端子と非反転入力端子との間に接続された第2の帰還キャパシタと、

上記演算増幅器の非反転出力端子と反転入力端子との間に接続された第1のリミット回路と、

上記演算増幅器の非反転出力端子と反転入力端子との間に接続された第2のリミット回路と、

上記演算増幅器の反転出力端子と非反転入力端子との間に接続された第3のリミット回路と、

上記演算増幅器の反転出力端子と非反転入力端子との間に接続された第4のリミット回路と、

を有し、

上記第1のリミット回路が第1の電源電圧ラインと上記演算増幅器の反転入力端子との間に接続された第1のMOSトランジスタを有し、

上記第2のリミット回路が第2の電源電圧ラインと上記演算増幅器の反転入力端子との間に接続された第2のMOSトランジスタを有し、

上記第3のリミット回路が第1の電源電圧ラインと上記演算増幅器の非反転入力端子との間に接続された第3のMOSトランジスタを有し、

上記第4のリミット回路が第2の電源電圧ラインと上記演算増幅器の非反転入力端子との間に接続された第4のMOSトランジスタを有し、

上記第1及び第2のMOSトランジスタのゲート端子が上記演算増幅器の非反転出力端子に接続されており、

上記第3及び第4のMOSトランジスタのゲート端子が上記演算増幅器の反転出力端子に接続されている、

積分回路。

【請求項7】

上記第1の電源電圧が正電源電圧であり、上記第2の電源電圧が負電源電圧であり、上

記第1及び第3のMOSトランジスタがNMOSトランジスタであり、上記第2及び第4のMOSトランジスタがPMOSトランジスタである請求項6に記載の積分回路。

【請求項8】

上記第1のリミット回路が上記第1のMOSトランジスタと上記演算増幅器の反転入力端子との間に接続された第1のダイオード素子を更に有し、

上記第2のリミット回路が上記第2のMOSトランジスタと上記演算増幅器の反転入力端子との間に接続された第2のダイオード素子を更に有し、

上記第3のリミット回路が上記第3のMOSトランジスタと上記演算増幅器の非反転入力端子との間に接続された第3のダイオード素子を更に有し、

上記第4のリミット回路が上記第4のMOSトランジスタと上記演算増幅器の非反転入力端子との間に接続された第4のダイオード素子を更に有する、

請求項7に記載の積分回路。

【請求項9】

上記第1及び第3のダイオード素子がNMOSトランジスタで構成され、上記第2及び第4のダイオード素子がPMOSトランジスタで構成される請求項8に記載の積分回路。

【請求項10】

上記第1、第2、第3及び第4のMOSトランジスタのしきい値電圧を調整するための電圧調整回路を更に有する請求項6乃至9の何れかに記載の積分回路。