

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 3 区分
【発行日】平成 19 年 2 月 8 日 (2007.2.8)

【公開番号】特開 2006-222988 (P2006-222988A)
【公開日】平成 18 年 8 月 24 日 (2006.8.24)
【年通号数】公開・登録公報 2006-033
【出願番号】特願 2006-108672 (P2006-108672)
【国際特許分類】

H 0 3 G 11/00 (2006.01)

【F I】

H 0 3 G 11/00 A

【手続補正書】

【提出日】平成 18 年 12 月 14 日 (2006.12.14)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】積分回路

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

信号入力端子と、

信号出力端子と、

反転入力端子と、基準電圧ラインに接続された非反転入力端子と、上記信号出力端子に接続された出力端子とを有する演算増幅器と、

上記信号入力端子と上記演算増幅器の反転入力端子との間に接続されたスイッチトキャパシタ回路と、

上記演算増幅器の出力端子と反転入力端子との間に接続された帰還キャパシタと、

上記演算増幅器の出力端子と反転入力端子との間に接続された第 1 のリミット回路と、

上記演算増幅器の出力端子と反転入力端子との間に接続された第 2 のリミット回路と、

を有し、

上記第 1 のリミット回路が第 1 の電源電圧ラインと上記演算増幅器の反転入力端子との間に接続された第 1 の MOS トランジスタを有し、

上記第 2 のリミット回路が第 2 の電源電圧ラインと上記演算増幅器の反転入力端子との間に接続された第 2 の MOS トランジスタを有し、

上記第 1 及び第 2 の MOS トランジスタのゲート端子が上記演算増幅器の出力端子に接続されている、
積分回路。

【請求項 2】

上記第 1 の電源電圧が正電源電圧であり、上記第 2 の電源電圧が負電源電圧であり、上記第 1 の MOS トランジスタが NMOS トランジスタであり、上記第 2 の MOS トランジスタが PMOS トランジスタである請求項 1 に記載の積分回路。

【請求項 3】

上記第 1 のリミット回路が上記第 1 の MOS トランジスタと上記演算増幅器の反転入力端子との間に接続された第 1 のダイオード素子を更に有し、

上記第 2 のリミット回路が上記第 2 の MOS トランジスタと上記演算増幅器の反転入力端子との間に接続された第 2 のダイオード素子を更に有する、
請求項 2 に記載の積分回路。

【請求項 4】

上記第 1 のダイオード素子が NMOS トランジスタで構成され、上記第 2 のダイオード素子が PMOS トランジスタで構成される請求項 3 に記載の積分回路。

【請求項 5】

上記第 1 及び第 2 の MOS トランジスタのしきい値電圧を調整するための電圧調整回路を更に有する請求項 1 乃至 4 の何れかに記載の積分回路。

【請求項 6】

第 1 の信号入力端子と、

第 2 の信号入力端子と、

第 1 の信号出力端子と、

第 2 の信号出力端子と、

反転入力端子と、非反転入力端子と、上記第 1 の信号出力端子に接続された非反転出力端子と、上記第 2 の信号出力端子に接続された反転出力端子とを有する演算増幅器と、

上記第 1 の信号入力端子と上記演算増幅器の反転入力端子との間に接続された第 1 のスイッチトキャパシタ回路と、

上記第 2 の信号入力端子と上記演算増幅器の非反転入力端子との間に接続された第 2 のスイッチトキャパシタ回路と、

上記演算増幅器の非反転出力端子と反転入力端子との間に接続された第 1 の帰還キャパシタと、

上記演算増幅器の反転出力端子と非反転入力端子との間に接続された第 2 の帰還キャパシタと、

上記演算増幅器の非反転出力端子と反転入力端子との間に接続された第 1 のリミット回路と、

上記演算増幅器の非反転出力端子と反転入力端子との間に接続された第 2 のリミット回路と、

上記演算増幅器の反転出力端子と非反転入力端子との間に接続された第 3 のリミット回路と、

上記演算増幅器の反転出力端子と非反転入力端子との間に接続された第 4 のリミット回路と、

を有し、

上記第 1 のリミット回路が第 1 の電源電圧ラインと上記演算増幅器の反転入力端子との間に接続された第 1 の MOS トランジスタを有し、

上記第 2 のリミット回路が第 2 の電源電圧ラインと上記演算増幅器の反転入力端子との間に接続された第 2 の MOS トランジスタを有し、

上記第 3 のリミット回路が第 1 の電源電圧ラインと上記演算増幅器の非反転入力端子との間に接続された第 3 の MOS トランジスタを有し、

上記第 4 のリミット回路が第 2 の電源電圧ラインと上記演算増幅器の非反転入力端子との間に接続された第 4 の MOS トランジスタを有し、

上記第 1 及び第 2 の MOS トランジスタのゲート端子が上記演算増幅器の非反転出力端子に接続されており、

上記第 3 及び第 4 の MOS トランジスタのゲート端子が上記演算増幅器の反転出力端子に接続されている、
積分回路。

【請求項 7】

上記第 1 の電源電圧が正電源電圧であり、上記第 2 の電源電圧が負電源電圧であり、上

記第 1 及び第 3 の MOS トランジスタが NMOS トランジスタであり、上記第 2 及び第 4 の MOS トランジスタが PMOS トランジスタである請求項 6 に記載の積分回路。

【請求項 8】

上記第 1 のリミット回路が上記第 1 の MOS トランジスタと上記演算増幅器の反転入力端子との間に接続された第 1 のダイオード素子を更に有し、

上記第 2 のリミット回路が上記第 2 の MOS トランジスタと上記演算増幅器の反転入力端子との間に接続された第 2 のダイオード素子を更に有し、

上記第 3 のリミット回路が上記第 3 の MOS トランジスタと上記演算増幅器の非反転入力端子との間に接続された第 3 のダイオード素子を更に有し、

上記第 4 のリミット回路が上記第 4 の MOS トランジスタと上記演算増幅器の非反転入力端子との間に接続された第 4 のダイオード素子を更に有する、
請求項 7 に記載の積分回路。

【請求項 9】

上記第 1 及び第 3 のダイオード素子が NMOS トランジスタで構成され、上記第 2 及び第 4 のダイオード素子が PMOS トランジスタで構成される請求項 8 に記載の積分回路。

【請求項 10】

上記第 1、第 2、第 3 及び第 4 の MOS トランジスタのしきい値電圧を調整するための電圧調整回路を更に有する請求項 6 乃至 9 の何れかに記載の積分回路。