

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7636615号  
(P7636615)

(45)発行日 令和7年2月26日(2025.2.26)

(24)登録日 令和7年2月17日(2025.2.17)

(51)国際特許分類		F I	
H 1 0 D	86/60 (2025.01)	H 1 0 D	86/60 C
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20 6 2 2 E
G 0 9 G	3/36 (2006.01)	G 0 9 G	3/36
G 1 1 C	19/28 (2006.01)	G 1 1 C	19/28 2 3 0
H 1 0 D	86/40 (2025.01)	H 1 0 D	86/40 1 0 2
請求項の数 3 (全52頁)			
(21)出願番号	特願2024-90942(P2024-90942)	(73)特許権者	000153878
(22)出願日	令和6年6月4日(2024.6.4)		株式会社半導体エネルギー研究所
(62)分割の表示	特願2023-138334(P2023-138334 )の分割	(72)発明者	山崎 舜平
原出願日	平成20年7月22日(2008.7.22)		神奈川県厚木市長谷 3 9 8 番地 株式会
(65)公開番号	特開2024-110989(P2024-110989 A)	審査官	岩本 勉
(43)公開日	令和6年8月16日(2024.8.16)		
審査請求日	令和6年6月17日(2024.6.17)		
(31)優先権主張番号	特願2007-196407(P2007-196407)		
(32)優先日	平成19年7月27日(2007.7.27)		
(33)優先権主張国・地域又は機関	日本国(JP)		
		最終頁に続く	

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項 1】

第 1 のトランジスタ乃至第 7 のトランジスタを有し、  
前記第 1 のトランジスタのソースまたはドレインの一方は、第 1 の配線と常に導通し、  
前記第 1 のトランジスタのソースまたはドレインの他方は、第 2 の配線と常に導通し、  
前記第 2 のトランジスタのソースまたはドレインの一方は、第 3 の配線と常に導通し、  
前記第 2 のトランジスタのソースまたはドレインの他方は、前記第 1 の配線と常に導通し、  
前記第 3 のトランジスタのソースまたはドレインの一方は、前記第 5 のトランジスタのゲートと常に導通し、  
前記第 3 のトランジスタのゲートは、第 4 の配線と常に導通し、  
前記第 4 のトランジスタのソースまたはドレインの一方は、前記第 3 の配線と常に導通し、  
前記第 4 のトランジスタのソースまたはドレインの他方は、前記第 5 のトランジスタのゲートと常に導通し、  
前記第 4 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと常に導通し、  
前記第 5 のトランジスタのソースまたはドレインの一方は、前記第 3 の配線と常に導通し、  
前記第 5 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 6 のトランジスタのソースまたはドレインの一方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 6 のトランジスタのソースまたはドレインの他方は、第 5 の配線と常に導通し、

前記第 6 のトランジスタのゲートは、前記第 5 の配線と常に導通し、

前記第 7 のトランジスタのソースまたはドレインの一方は、前記第 5 のトランジスタのゲートと常に導通し、

前記第 7 のトランジスタのゲートは、第 6 の配線と常に導通し、

前記第 3 の配線と前記第 1 のトランジスタのゲートとが、少なくとも前記第 4 のトランジスタのチャネル形成領域を介して導通しているとき、前記第 3 の配線の電位が少なくとも前記第 4 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲート  
10

に与えられ、  
前記第 3 のトランジスタのソースまたはドレインの一方としての機能を有する第 1 の導電膜は、前記第 5 のトランジスタのゲートとしての機能を有する第 2 の導電膜を介して、前記第 4 のトランジスタのソースまたはドレインの他方としての機能を有する第 3 の導電膜と常に導通し、

前記第 5 のトランジスタのチャネル形成領域及び前記第 6 のトランジスタのチャネル形成領域を有する半導体膜は、前記第 3 の配線としての機能を有する第 4 の導電膜と重なりを有し、

前記第 1 の配線は、第 1 の信号線としての機能を有し、

前記第 3 の配線は、電源線としての機能を有する半導体装置。  
20

#### 【請求項 2】

第 1 のトランジスタ乃至第 7 のトランジスタを有し、

前記第 1 のトランジスタのソースまたはドレインの一方は、第 1 の配線と常に導通し、

前記第 1 のトランジスタのソースまたはドレインの他方は、第 2 の配線と常に導通し、

前記第 2 のトランジスタのソースまたはドレインの一方は、第 3 の配線と常に導通し、

前記第 2 のトランジスタのソースまたはドレインの他方は、前記第 1 の配線と常に導通し、

前記第 3 のトランジスタのソースまたはドレインの一方は、前記第 5 のトランジスタのゲートと常に導通し、

前記第 3 のトランジスタのゲートは、第 4 の配線と常に導通し、  
30

前記第 4 のトランジスタのソースまたはドレインの一方は、前記第 3 の配線と常に導通し、

前記第 4 のトランジスタのソースまたはドレインの他方は、前記第 5 のトランジスタのゲートと常に導通し、

前記第 4 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと常に導通し、

前記第 5 のトランジスタのソースまたはドレインの一方は、前記第 3 の配線と常に導通し、

前記第 5 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 6 のトランジスタのソースまたはドレインの一方は、前記第 2 のトランジスタのゲートと常に導通し、  
40

前記第 6 のトランジスタのソースまたはドレインの他方は、第 5 の配線と常に導通し、

前記第 6 のトランジスタのゲートは、前記第 5 の配線と常に導通し、

前記第 7 のトランジスタのソースまたはドレインの一方は、前記第 5 のトランジスタのゲートと常に導通し、

前記第 7 のトランジスタのゲートは、第 6 の配線と常に導通し、

前記第 3 の配線と前記第 1 のトランジスタのゲートとが、少なくとも前記第 4 のトランジスタのチャネル形成領域を介して導通しているとき、前記第 3 の配線の電位が少なくとも前記第 4 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲート  
50

前記第 3 のトランジスタのソースまたはドレインの一方としての機能を有する第 1 の導電膜は、前記第 5 のトランジスタのゲートとしての機能を有する第 2 の導電膜を介して、前記第 4 のトランジスタのソースまたはドレインの他方としての機能を有する第 3 の導電膜と常に導通し、

前記第 5 のトランジスタのチャネル形成領域及び前記第 6 のトランジスタのチャネル形成領域を有する半導体膜は、前記第 3 の配線としての機能を有する第 4 の導電膜と重なりを有し、

前記第 1 の配線は、第 1 の信号線としての機能を有し、

前記第 2 の配線は、第 2 の信号線としての機能を有し、

前記第 3 の配線は、電源線としての機能を有し、

前記第 4 の配線は、第 3 の信号線としての機能を有する半導体装置。

10

#### 【請求項 3】

請求項 1 または請求項 2 において、

前記第 1 のトランジスタ乃至前記第 7 のトランジスタは、同じ極性を有する半導体装置。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置や有機発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

20

#### 【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

#### 【背景技術】

#### 【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

#### 【0004】

画像表示装置のスイッチング素子として、非晶質半導体膜を用いた薄膜トランジスタ、または多結晶半導体膜を用いた薄膜トランジスタ等が用いられている。

30

#### 【0005】

非晶質半導体膜を用いた薄膜トランジスタは、水素化アモルファスシリコン膜などの非晶質半導体膜を用いるため、プロセス温度に制限があり、水素が膜中から脱離する400以上の加熱や、膜中の水素により表面荒れが生じる強度のレーザ光照射などは行わない。

#### 【0006】

また、多結晶半導体膜の形成方法としては、表面荒れが生じないように予め、アモルファスシリコン膜中の水素濃度を低減させる脱水素化処理を行った後、パルス発振のエキシマレーザビームを光学系により線状に加工して、脱水素化させたアモルファスシリコン膜に対し線状ビームを走査させながら照射して結晶化する技術が知られている。

40

#### 【0007】

多結晶半導体膜を用いた薄膜トランジスタは、非晶質半導体膜を用いた薄膜トランジスタに比べて移動度が2桁以上高く、表示装置の画素部とその周辺の駆動回路を同一基板上に一体形成できるという利点を有している。しかしながら、非晶質半導体膜を用いた場合に比べて、半導体膜の結晶化のために工程が複雑化するため、その分歩留まりが低減し、コストが高まるという問題がある。

#### 【0008】

また、チャネル形成領域が結晶構造と非結晶構造の混合からなる半導体であるFET（Field effect transistor）が特許文献1で開示されている。

50

## 【 0 0 0 9 】

また、画像表示装置のスイッチング素子として、微結晶半導体膜を用いた薄膜トランジスタが用いられている（特許文献 2 及び 3）。

## 【 0 0 1 0 】

従来の薄膜トランジスタの作製方法として、ゲート絶縁膜上にアモルファスシリコン膜を成膜した後、その上面に金属膜を形成し、当該金属膜にダイオードレーザを照射して、アモルファスシリコン膜をマイクロクリスタルシリコン膜に改質する技術（非特許文献 1）が知られている。この方法によれば、アモルファスシリコン膜上に形成した金属膜は、ダイオードレーザの光エネルギーを熱エネルギーに変換するためのものであり、薄膜トランジスタの完成のためにはその後除去されるべきものであった。すなわち、金属膜からの伝導加熱によってのみアモルファスシリコン膜が加熱され、マイクロクリスタルシリコン膜を形成する方法である。

10

## 【先行技術文献】

## 【特許文献】

## 【 0 0 1 1 】

【文献】米国特許第 5 5 9 1 9 8 7

【文献】特開平 4 - 2 4 2 7 2 4 号公報

【文献】特開 2 0 0 5 - 4 9 8 3 2 号公報

## 【非特許文献】

## 【 0 0 1 2 】

【文献】トシアキ・アライ ( T o s h i a k i A r a i ) 他、エス・アイ・ディー 0 7 ダイジェスト ( S I D 0 7 D I G E S T )、2 0 0 7、p . 1 3 7 0 - 1 3 7 3

20

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【 0 0 1 3 】

薄膜トランジスタは、ある特定の電圧値（しきい値電圧（ $V_{th}$ ）と呼ばれる）がゲート電極に印加されると、オン状態となり、その電圧値未満においてはオフ状態となるスイッチング素子である。このしきい値電圧（ $V_{th}$ ）は、薄膜トランジスタの電流電圧特性グラフを測定し、得られた曲線の立ち上がり点での電圧値に対応する。しきい値電圧（ $V_{th}$ ）は、0 V に近ければ近いほど優れており、しきい値電圧（ $V_{th}$ ）が 0 V の薄膜トランジスタは理想的なスイッチング素子と言える。

30

## 【 0 0 1 4 】

薄膜トランジスタの製造工程における不特定な要因によって、しきい値電圧がマイナス側、或いはプラス側にシフトすることがある。0 V からシフトする値が大きい場合には、駆動電圧の増大を招き、結果として半導体装置の消費電力を増加させてしまう。

## 【 0 0 1 5 】

微結晶半導体膜を用いた薄膜トランジスタにおいても、不特定な要因によって、しきい値電圧がマイナス側、或いはプラス側にシフトすることがある。

## 【 0 0 1 6 】

上述した問題に鑑み、しきい値電圧が所望の値に制御された微結晶半導体膜を用いた薄膜トランジスタを有する表示装置を作製する方法を提案することを課題の一とする。

40

## 【課題を解決するための手段】

## 【 0 0 1 7 】

ゲート電極を形成した後、ゲート絶縁膜を形成し、そのゲート絶縁膜上に膜厚が 1 0 n m ~ 5 0 n m の微結晶半導体膜を成膜する。そして、微結晶半導体膜に対してしきい値電圧を制御するために一導電性を付与する不純物元素（p 型不純物元素または n 型不純物元素）を添加する。微結晶半導体膜に対してイオン注入法などにより微量のボロンを意図的に添加した後、レーザ処理を行って添加したボロンの活性化と、ゲート絶縁膜と微結晶半導体膜との界面における微結晶半導体膜の結晶性の改善とを同一工程で行う。このレーザ処理（L a s e r P r o c e s s、以下「LP」ともいう。）は、輻射加熱により微結晶

50

半導体膜を溶融させないで行う固相結晶成長である。すなわち、堆積された微結晶半導体膜が液相にならない臨界領域を利用するものであり、その意味において「臨界成長」ともいうことができる。

#### 【0018】

こうして、ゲート絶縁膜上にチャネル形成領域として機能する微結晶半導体膜が形成される。成膜後の微結晶半導体膜にLP処理を行って得られる微結晶半導体膜をLPSSAS (Laser Process Semi Amorphous Semiconductor) 膜と呼ぶ。そして、レーザ光の照射後、微結晶半導体膜上に非晶質半導体膜からなるバッファ層を積層する。そして、バッファ層上に一对のソース領域及びドレイン領域が形成され、ソース領域及びドレイン領域の一部を露出するようにソース領域及びドレイン領域に接する一对のソース電極及びドレイン電極が形成される。

10

#### 【0019】

上記構成を有する薄膜トランジスタは、チャネル形成領域を微結晶半導体膜としているため、従来の非晶質半導体膜を用いた薄膜トランジスタに比べて、電界効果移動度が高い。

#### 【0020】

チャネル形成領域として機能する微結晶半導体膜には微量のボロンが添加されているため、薄膜トランジスタのしきい値制御がなされ、微結晶半導体膜の酸化を防止する。また、高抵抗領域として機能するバッファ層を有しているため、薄膜トランジスタのリーク電流が少なく、耐圧が高い。

#### 【0021】

20

また、微結晶半導体膜を用い、薄膜トランジスタ(TFT)を作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示装置を作製する。微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタは、その移動度が $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ と、非晶質半導体膜をチャネル形成領域に用いた薄膜トランジスタの $2 \sim 20$ 倍の移動度を有しているので、駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

#### 【0022】

本明細書で開示する半導体装置の作製方法に関する発明の構成は、基板上にゲート電極を形成し、前記ゲート電極上に絶縁膜を形成し、前記絶縁膜上に前記ゲート電極と重なる第1の半導体膜を成膜し、第1の半導体膜にp型不純物元素またはn型不純物元素を添加して第2の半導体膜を形成し、前記第2の半導体膜にレーザ光を照射して第3の半導体膜を形成し、前記第3の半導体膜上にバッファ層を成膜し、前記バッファ層上にn型不純物元素を含む第4の半導体膜を成膜し、前記第4の半導体膜上にソース電極またはドレイン電極を形成する表示装置の作製方法である。

30

#### 【0023】

上記作製方法において、第1の半導体膜は微結晶半導体膜であり、第3の半導体膜は、第1の半導体膜よりも結晶性が高い微結晶半導体膜である。本明細書で結晶性が高いとは、結晶/アモルファスピーク強度比(以下、 $I_c / I_a$ と示す。)が高いことを指す。

#### 【0024】

本発明は、上記課題の少なくとも一つを解決する。

40

#### 【0025】

微結晶半導体膜は、周波数が数十MHz～数百MHzの高周波プラズマCVD装置、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成することができる。代表的には、 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を12倍以上1000倍以下、好ましくは50倍以上200倍以下、更に好ましくは100倍とする。なお、水素化珪素の代わりに、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$ 等を用いることができる。

50

## 【 0 0 2 6 】

また、上記成膜方法で得られる微結晶半導体膜は、成膜直後の膜中における水素量が通常の水素化アモルファスシリコン膜に比べて少ないため、脱水素のための熱処理を行わなくともLP処理を行うことができる。

## 【 0 0 2 7 】

ゲート絶縁膜上に膜厚が10nm～50nmの微結晶半導体膜を成膜する場合、膜厚が薄いため、結晶性の高い膜を成膜直後に得ることは困難であるが、本発明では、LP処理を行うため、例えば半分が非晶質であっても少なくとも成膜後の膜中に成長の核となる微結晶が複数含まれていればよい。従って、微結晶半導体膜の成膜条件のマージンを広げることができる。

10

## 【 0 0 2 8 】

また、薄膜トランジスタのチャネル形成領域となる微結晶半導体膜に対して質量分離を行うイオン注入法を用いて一導電性を付与する不純物元素を添加し、しきい値電圧を意図的にシフトさせて制御する。一導電性を付与する不純物元素としては、リン、ヒ素、ボロンなどが挙げられる。質量分離するイオン注入法で用いるドーパントガスとしては、フォスフィン、ジボランなどが挙げられる。イオン注入法により一導電性を付与する不純物元素を添加することによって、成膜直後に比べて結晶性が低下しても、LP処理を行うため、最終的には結晶性を向上させることができる。

## 【 0 0 2 9 】

また、イオン注入装置に限定されず、膜厚が10nm～50nmの微結晶半導体膜に一導電性を付与する不純物元素を添加してしきい値制御できるのであれば、質量分離しないイオンドーピング装置などを用いてもよい。

20

## 【 0 0 3 0 】

イオン注入法により、10nm～50nmの微結晶半導体膜に一導電性を付与する不純物元素を所望の量添加するため、例えば、所望の膜厚の窒化珪素膜を形成した後にイオン注入を行い、窒化珪素膜を除去した後にLP処理を行ってもよい。なお、イオン注入の深さ調節に用いる窒化珪素膜の膜厚は、サンプルにイオン注入させたドーパントの濃度プロファイルから算出すればよい。また、質量分離するイオン注入法で用いるドーパントガスとしてB<sub>10</sub>H<sub>14</sub>、B<sub>18</sub>H<sub>22</sub>を用いてイオン注入を行えば、ゲート絶縁膜に添加されるボロンの量を低減でき、10nm～50nmの微結晶半導体膜にボロンを所望の量添加させることができる。

30

## 【 0 0 3 1 】

イオン注入装置やイオンドーピング装置を用いてしきい値制御のためのドーピングを行うと、微結晶半導体膜にダメージを与えるが、ドーピング後にLP処理を行うことによりダメージを回復でき、さらにそのLP処理条件によってはドーピング前の微結晶半導体膜よりも結晶性を向上させることもできる。

## 【 0 0 3 2 】

また、微結晶半導体膜にレーザービームを照射すると共に、微結晶半導体膜を加熱してもよい。代表的には、基板を300℃以上～400℃以下で加熱しながら、レーザービームを照射することで、微結晶半導体膜の結晶性を高めることが可能である。または、微結晶半導体膜にレーザービームを照射すると共に、強光を照射して、瞬間的に微結晶半導体膜の温度を上昇させてもよい。強光の代表例としては、赤外光、特に1μm～2μmにピークを有する赤外光（好ましくはハロゲン光（1.3μm））を用いることができる。

40

## 【 0 0 3 3 】

また、LP処理で薄い酸化膜が形成される場合には、ウエットエッチングで除去することが好ましい。酸化膜を除去することで、LPSS膜とパッファ層との界面に形成される酸化膜によるキャリアの移動の障害を低減することが可能である。更には、LPSS膜をエッチングしてLPSS膜の厚さを薄くしてもよい。LPSS膜の厚さを1nm以上50nm以下とすることで、完全空乏型の薄膜トランジスタを作製することができる。

## 【 0 0 3 4 】

50

また、LP処理の前に微結晶半導体膜の表面を洗浄することが好ましい。LP処理の前に洗浄することで、微結晶半導体膜表面に付着する不純物がレーザービームの照射により、微結晶半導体膜中に混入するのを防ぐことができる。

【0035】

また、LP処理を行った後にイオン注入を行い、2回目のLP処理または熱処理を行ってもよく、他の発明の構成は、基板上にゲート電極を形成し、前記ゲート電極上に絶縁膜を形成し、前記絶縁膜上に前記ゲート電極と重なる第1の半導体膜を成膜し、前記第1の半導体膜に第1のレーザー光を照射して第2の半導体膜を形成し、前記第2の半導体膜にp型不純物元素またはn型不純物元素を添加して第3の半導体膜を形成し、前記第3の半導体膜に第2のレーザー光を照射して第4の半導体膜を形成し、前記第4の半導体膜上にバッファ層を成膜し、前記バッファ層上にn型不純物元素を含む第5の半導体膜を成膜し、前記第5の半導体膜上にソース電極またはドレイン電極を形成する表示装置の作製方法である。

10

【0036】

上記作製方法において、第1の半導体膜は微結晶半導体膜であり、第4の半導体膜は、第1の半導体膜よりも結晶性が高い微結晶半導体膜である。

【0037】

本発明は、上記課題の少なくとも一つを解決する。

【0038】

予め、LP処理を行って微結晶半導体膜の結晶性を向上させておけば、イオン注入により完全に非晶質半導体膜になることを防ぐことができる。また、1回目のLP処理と2回目のLP処理は同じ条件でなくともよい。2回目のLP処理の際に形成される酸化膜はバッファ層を形成する前に除去することが好ましい。また、イオン注入後の熱処理を行う場合においても表面に酸化膜が形成されるため、バッファ層を形成する前に除去することが好ましい。

20

【0039】

また、成膜後のイオン注入に限定されず、薄膜トランジスタのしきい値を制御するために、成膜時に微量のボロン或いはリン元素を含ませて微結晶半導体膜を形成し、成膜後にLP処理を行ってもよく、他の発明の構成は、基板上にゲート電極を形成し、前記ゲート電極上に絶縁膜を形成し、前記絶縁膜上にp型不純物元素またはn型不純物元素を含む第1の半導体膜を成膜し、前記第1の半導体膜にレーザー光を照射して第2の半導体膜を形成し、前記第2の半導体膜上にバッファ層を成膜し、前記バッファ層上にn型不純物元素を含む第3の半導体膜を成膜し、前記第3の半導体膜上にソース電極またはドレイン電極を形成する表示装置の作製方法である。

30

【0040】

上記作製方法において、第1の半導体膜は微結晶半導体膜であり、第2の半導体膜は、第1の半導体膜よりも結晶性が高い微結晶半導体膜である。

【0041】

本発明は、上記課題の少なくとも一つを解決する。

【0042】

成膜時に微量のボロンを含ませて微結晶半導体膜を形成し、成膜後にLP処理を行う場合には、成膜後のイオン注入とは異なり、ボロンを活性化させる工程を別途追加しなくともよい。また、ここでのLP処理では、結晶性の改善がなされる。成膜時に微量のボロンを含ませて微結晶半導体膜を形成し、成膜後にLP処理を行う場合にはイオン注入工程やイオン注入前の洗浄工程などの工程が削減されるため、量産に適した工程と言える。成膜時に微量のボロンを含ませる方法は、例えば成膜時に成膜ガスの一つとしてジボランガスを成膜チャンバー内に導入することで行うことができる。また、成膜時に微量のリン元素を含ませて微結晶半導体膜を形成する方法は、例えば成膜時に成膜ガスの一つとして微量のフォスフィンガスを成膜チャンバー内に導入することで行うことができる。

40

【0043】

50

また、上記各作製方法を用いて得られる表示装置も本発明の一つであり、その構成は、基板上にゲート電極と、該ゲート電極上に絶縁膜と、該絶縁膜上にゲート電極と重なるp型不純物元素またはn型不純物元素を含む第1の半導体膜と、該第1の半導体膜上にバッファ層と、該バッファ層上にn型不純物元素を含む第2の半導体膜と、該第2の半導体膜上にソース電極またはドレイン電極と、を有する表示装置である。

【0044】

また、表示装置としては、発光装置や液晶表示装置を含む。発光装置は発光素子を含み、液晶表示装置は液晶素子を含む。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等が含まれる。

10

【0045】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0046】

なお、本明細書中における表示装置とは、画像表示デバイス、発光デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

20

【発明の効果】

【0047】

p型不純物元素またはn型不純物元素を含む微結晶半導体膜をチャネル形成領域として用い、微結晶半導体膜に意図的に含ませたp型不純物元素またはn型不純物元素により、しきい値電圧が所望の値に制御された薄膜トランジスタを実現することができる。

30

【図面の簡単な説明】

【0048】

【図1】本発明の作製工程の断面図を示す図。

【図2】本発明の作製工程の断面図を示す図。

【図3】本発明の作製工程の断面図を示す図。

【図4】本発明の作製工程の上面図を示す図。

【図5】本発明の作製工程の断面図を示す図。

【図6】本発明の作製工程の断面図を示す図。

【図7】本発明の作製工程の断面図を示す図。

40

【図8】本発明に適用可能な多階調マスクを説明する図である。

【図9】本発明の作製工程の断面図を示す図。

【図10】本発明の作製工程の断面図を示す図。

【図11】本発明の作製工程の断面図を示す図。

【図12】本発明の作製工程の上面図を示す図。

【図13】本発明の液晶表示装置を説明する図である。

【図14】本発明の液晶表示装置を説明する図である。

【図15】本発明の液晶表示装置を説明する図である。

【図16】本発明の液晶表示装置を説明する図である。

【図17】本発明の液晶表示装置を説明する図である。

50



【図 18】本発明の液晶表示装置を説明する図である。

【図 19】本発明の液晶表示装置を説明する図である。

【図 20】本発明の液晶表示装置を説明する図である。

【図 21】本発明の液晶表示装置を説明する図である。

【図 22】本発明の液晶表示装置を説明する図である。

【図 23】本発明の液晶表示装置を説明する図である。

【図 24】本発明の液晶表示装置を説明する図である。

【図 25】本発明の液晶表示装置を説明する図である。

【図 26】本発明の液晶表示装置を説明する図である。

【図 27】本発明の発光装置の作製方法を説明する断面図である。

10

【図 28】本発明の発光装置に適用可能な画素を説明する断面図である。

【図 29】本発明の表示パネルを説明する斜視図である。

【図 30】本発明の発光装置を用いた電子機器を説明する斜視図である。

【図 31】本発明の発光装置を用いた電子機器を説明する図である。

【図 32】本発明の発光装置の構成を説明するブロック図である。

【図 33】本発明の発光装置の駆動回路の構成を説明する等価回路図である。

【図 34】本発明の発光装置の駆動回路の構成を説明する等価回路図である。

【図 35】本発明の発光装置の駆動回路のレイアウトを説明する上面図である。

【図 36】本発明の表示パネルを説明する上面図及び断面図である。

【図 37】本発明の表示パネルを説明する上面図及び断面図である。

20

【発明を実施するための形態】

【0049】

本発明の実施形態について、以下に説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【0050】

(実施の形態 1)

本実施の形態では、液晶表示装置に用いられる薄膜トランジスタの作製工程について、図 1 乃至図 4 を用いて説明する。図 1 乃至図 3 は、薄膜トランジスタの作製工程を示す断面図であり、図 4 は、一画素における薄膜トランジスタ及び画素電極の接続領域の上面図である。

30

【0051】

微結晶半導体膜を有する薄膜トランジスタは p 型よりも n 型の方が、移動度が高いので駆動回路に用いるのにより適している。同一の基板上に形成する薄膜トランジスタを全て同じ極性にそろえておくことが、工程数を抑えるためにも望ましい。ここでは、n チャネル型の薄膜トランジスタを用いて説明する。

【0052】

図 1 (A) に示すように、基板 50 上にゲート電極 51 を形成する。基板 50 は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることもできる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板 50 がマザーガラスの場合、基板の大きさは、第 1 世代 (320 mm × 400 mm)、第 2 世代 (400 mm × 500 mm)、第 3 世代 (550 mm × 650 mm)、第 4 世代 (680 mm × 880 mm、または 730 mm × 920 mm)、第 5 世代 (1000 mm × 1200 mm または 1100 mm × 1250 mm)、第 6 世代 (1500 mm × 1800 mm)、第 7 世代 (1900 mm × 2200 mm)、第 8 世代 (2160 mm × 2460 mm)、第 9 世代 (2400 mm × 2800 mm、2450 mm × 3050 mm)、第 10 世代 (2950 mm × 3400 mm) 等を用いることができる。

40

50

## 【 0 0 5 3 】

ゲート電極 5 1 は、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウムなどの金属材料またはその合金材料を用いて形成する。ゲート電極 5 1 は、スパッタリング法や真空蒸着法で基板 5 0 上に導電膜を形成し、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスクを形成し、当該マスクを用いて導電膜をエッチングすることで、形成することができる。また、銀、金、銅などの導電性ナノペーストを用いてインクジェット法により吐出し焼成して、ゲート電極 5 1 を形成することもできる。なお、ゲート電極 5 1 の密着性向上と下地への拡散を防ぐバリアメタルとして、上記金属材料の窒化物膜を、基板 5 0 及びゲート電極 5 1 の間に設けてもよい。ここでは、第 1 のフォトマスクを用いて形成したレジストマスクを用いて基板 5 0 上に形成された導電膜をエッチングしてゲート電極を形成する。

10

## 【 0 0 5 4 】

具体的なゲート電極構造の例としては、アルミニウム膜上にモリブデン膜を積層させ、アルミニウム特有のヒロックやエレクトロマイグレーションを防ぐ構造にしてもよい。また、アルミニウム膜をモリブデン膜で挟んだ 3 層構造としてもよい。また、他のゲート電極構造の例として、銅膜上にモリブデン膜の積層、銅膜上に窒化チタン膜の積層、銅膜上に窒化タンタル膜の積層が挙げられる。

## 【 0 0 5 5 】

なお、ゲート電極 5 1 上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパ状になるように加工することが望ましい。また、図示しないがこの工程でゲート電極に接続する配線も同時に形成することができる。

20

## 【 0 0 5 6 】

次に、ゲート電極 5 1 上に、ゲート絶縁膜 5 2 a、5 2 b、5 2 c、微結晶半導体膜 2 3 a を順に形成する。ここまでの工程を終えた断面図が図 1 ( A ) に相当する。なお、ゲート絶縁膜 5 2 a、5 2 b、5 2 c、微結晶半導体膜 2 3 a を大気に触れさせることなく連続的に成膜することが好ましい。連続的に成膜することで大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

## 【 0 0 5 7 】

ゲート絶縁膜 5 2 a、5 2 b、5 2 c はそれぞれ、C V D 法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ゲート絶縁膜 5 2 に形成されるピンホール等による層間ショートを防ぐため、異なる絶縁層を用いて多層とすることが好ましい。ここでは、ゲート絶縁膜 5 2 a、5 2 b、5 2 c として、窒化珪素膜、酸化窒化珪素膜、窒化珪素膜の順に積層して形成する形態を示す。

30

## 【 0 0 5 8 】

ここでは、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、ラザフォード後方散乱法 ( R B S : R u t h e r f o r d B a c k s c a t t e r i n g S p e c t r o m e t r y ) 及び水素前方散乱法 ( H F S : H y d r o g e n F o r w a r d S c a t t e r i n g ) を用いて測定した場合に、濃度範囲として酸素が 5 0 ~ 7 0 原子%、窒素が 0 . 5 ~ 1 5 原子%、S i が 2 5 ~ 3 5 原子%、水素が 0 . 1 ~ 1 0 原子% の範囲で含まれるものをいう。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、R B S 及び H F S を用いて測定した場合に、濃度範囲として酸素が 5 ~ 3 0 原子%、窒素が 2 0 ~ 5 5 原子%、S i が 2 5 ~ 3 5 原子%、水素が 1 0 ~ 3 0 原子% の範囲で含まれるものをいう。

40

## 【 0 0 5 9 】

ゲート絶縁膜 5 2 の 1 層目及び 2 層目の膜厚はともに 5 0 n m よりも厚くする。ゲート絶縁膜の 1 層目は、基板からの不純物 ( 例えばアルカリ金属など ) の拡散を防ぐために、窒化珪素膜または窒化酸化珪素膜が好ましい。また、ゲート絶縁膜 5 2 の 1 層目は、ゲート電極の酸化防止の他、ゲート電極にアルミニウムを用いる場合にヒロック防止ができる。

50

また、微結晶半導体膜と接するゲート絶縁膜 5 2 の 3 層目は、0 nm より厚く 10 nm 以下とする。ゲート絶縁膜 5 2 の 3 層目は、微結晶半導体膜との密着性を向上させるために設けるものである。また、ゲート絶縁膜 5 2 の 3 層目を窒化珪素膜とすることで後に行われる熱処理やレーザ照射による微結晶半導体膜の酸化防止を図ることができる。例えば、酸素の含有量が多い絶縁膜と微結晶半導体膜とを接した状態で熱処理を行うと、微結晶半導体膜が酸化する恐れがある。

#### 【0060】

更には、周波数が 1 GHz のマイクロ波プラズマ CVD 装置を用いてゲート絶縁膜 5 2 を形成することが好ましい。マイクロ波プラズマ CVD 装置で形成した酸化窒化珪素膜、窒化酸化珪素膜は、耐圧が高く、薄膜トランジスタの信頼性を高めることができる。

10

#### 【0061】

また、微結晶半導体膜 2 3 a は、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体を含む膜である。この半導体は、自由エネルギー的に安定な第 3 の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、粒径が 0.5 ~ 20 nm の柱状または針状結晶が基板表面に対して法線方向に成長している。また、微結晶半導体と非単結晶半導体とが混在している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す  $520.5 \text{ cm}^{-1}$  よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す  $520.5 \text{ cm}^{-1}$  とアモルファスシリコンを示す  $480 \text{ cm}^{-1}$  の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも 1 原子% またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。このような微結晶半導体膜に関する記述は、例えば、米国特許 4,409,134 号で開示されている。

20

#### 【0062】

この微結晶半導体膜 2 3 a は、周波数が数十 MHz ~ 数百 MHz の高周波プラズマ CVD 装置、または周波数が 1 GHz 以上のマイクロ波プラズマ CVD 装置により形成することができる。代表的には、 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$  などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を 12 倍以上 1000 倍以下、好ましくは 50 倍以上 200 倍以下、更に好ましくは 100 倍とする。なお、水素化珪素の代わりに、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$  等を用いることができる。

30

#### 【0063】

また、微結晶半導体膜 2 3 a の酸素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$  以下、好ましくは  $1 \times 10^{19} \text{ atoms/cm}^3$  以下、窒素及び炭素の濃度それぞれを  $3 \times 10^{18} \text{ atoms/cm}^3$  以下とすることが好ましい。酸素、窒素、及び炭素が微結晶半導体膜に混入する濃度を低減することで、微結晶半導体膜が n 型化になることを防止することができる。

40

#### 【0064】

微結晶半導体膜 2 3 a の膜厚は、1 nm 以上 20 nm 以下、好ましくは 2 nm 以上 10 nm 未満とする。後で行う LP 処理において、微結晶半導体膜 2 3 a の膜厚が 4 nm ~ 8 nm であればレーザビームの吸収率を高めることができるため、2 nm 以上 10 nm 未満とすることが好ましい。微結晶半導体膜 2 3 a を上記膜厚範囲とすることで、後に形成される薄膜トランジスタは、完全空乏型となる。また、微結晶半導体膜 2 3 a は成膜速度が非晶質半導体膜の成膜速度の  $1/10 \sim 1/100$  と遅いため、膜厚を薄くすることでスループットを向上させることができる。

#### 【0065】

また、微結晶半導体膜 2 3 a を成膜する前に、ゲート絶縁膜 5 2 c の表面を水素プラズマ

50

処理してもよい。水素プラズマ処理することにより、ゲート絶縁膜及び微結晶半導体膜の界面における格子歪を低減することが可能であり、ゲート絶縁膜及び微結晶半導体膜の界面特性を向上させることができる。このため、後に形成される薄膜トランジスタの電気特性を向上させることができる。

#### 【0066】

次いで、しきい値制御のために、一導電性を付与する不純物元素をイオン注入法により意図的に添加する。成膜直後の微結晶半導体膜23aは、弱いn型の電気伝導性を示すため、ここでは、ボロンを微量に添加して、しきい値制御を行うチャネルドーピングを行う。こうして、図1(B)に示すように、ボロンを含む微結晶半導体膜23bが得られる。イオン注入することにより、成膜直後の微結晶半導体膜23aに比べて、ボロンを含む微結晶半導体膜23bは結晶性が低下する。

10

#### 【0067】

次いで、成膜直後の微結晶半導体膜23aよりも結晶性を改善するため、微結晶半導体膜の表面側からレーザビームを照射する。レーザビームのエネルギーは微結晶半導体膜が溶融しないエネルギーで照射する。ゲート電極51が下方に存在するため、レーザビームによる熱が拡散することを考慮してエネルギー範囲を決定すればよい。従って、レーザビームのエネルギーによっては、ゲート電極51と重ならない領域の微結晶半導体膜は溶融する一方、ゲート電極51と重なる領域は溶融しないこともある。ゲート電極51と重なる領域とゲート電極と重ならない領域とでは形成される膜質が異なるため、本実施の形態では、薄膜トランジスタとして用いる半導体層は、ゲート電極と重なる領域のみ、好ましくはゲート電極のテーパー部を除き、ゲート電極と重なる領域を用いる。膜質が同じ微結晶半導体膜をチャネル形成領域とすることで、複数の薄膜トランジスタ間の特性バラツキを低減することができる。

20

#### 【0068】

レーザビームは微結晶半導体膜とゲート絶縁膜52cの界面にまで作用させることができる。それにより、微結晶半導体膜の表面側における結晶を種として、該表面からゲート絶縁膜の界面において固相結晶成長し、結晶性が改善された微結晶半導体膜、所謂LPSS膜53を形成することができる(図1(C)参照)。LP処理による固相結晶成長は、結晶粒径を拡大させるものではなく、むしろ膜の厚さ方向における結晶性を改善するものである。即ち、LP処理により、微結晶半導体膜のゲート絶縁膜近傍の結晶性が改善され、ボトムゲート構造を有する薄膜トランジスタの電気的特性を向上させる作用を奏する。

30

#### 【0069】

さらに、ここでのLP処理は、微結晶半導体膜に添加されたボロンを活性化させることもできる。微結晶半導体膜に含まれるボロンにより、しきい値電圧が所望の値に制御された薄膜トランジスタを得ることができる。例えば、微結晶半導体膜に含まれるボロンにより、しきい値電圧を0Vまたはマイナス側のしきい値電圧に制御できれば、薄膜トランジスタのゲートに印加するゲート電圧を0Vとした場合に、薄膜トランジスタがオフ状態となるノーマリーオフのスイッチング素子とすることができる。

#### 【0070】

レーザビームとして、エキシマレーザを用いる場合はパルス発振周波数1Hz以上10MHz未満、好ましくは100Hz~10kHzとし、レーザエネルギーを0.2~0.35J/cm<sup>2</sup>(代表的には0.2~0.3J/cm<sup>2</sup>)とする。また、YAGレーザを用いる場合にはその第3高調波を用いパルス発振周波数1Hz以上10MHz未満とし、レーザエネルギーを0.2~0.35J/cm<sup>2</sup>(代表的には0.2~0.3J/cm<sup>2</sup>)とすると良い。

40

#### 【0071】

レーザビームを発振するレーザ発振器としては、パルス発振または連続発振することが可能なレーザ発振器を用いることができる。また、レーザ波長は、半導体膜に効率よくレーザビームが吸収されるように可視~紫外領域(800nm以下)、好ましくは紫外領域(400nm以下)とする。波長が300nm~400nmの紫外領域のレーザビームを照

50

射することで、微結晶半導体膜に効率良く吸収される。レーザ発振器としては、K r F、A r F、X e C l、X e F等のエキシマレーザ発振器、N<sub>2</sub>、H e、H e - C d、A r、H e - N e、H F、C O<sub>2</sub>等の気体レーザ発振器、Y A G、G d V O<sub>4</sub>、Y V O<sub>4</sub>、Y L F、Y A l O<sub>3</sub>、S c O<sub>3</sub>、L u<sub>2</sub> O<sub>3</sub>、Y<sub>2</sub> O<sub>3</sub>などの結晶にC r、N d、E r、H o、C e、C o、T i、Y b、又はT mをドープした結晶を使った固体レーザ発振器、K G Wレーザ、K Y Wレーザ、アレキサンドライトレーザ、T i：サファイアレーザ等固体レーザ、ヘリウムカドミウムレーザ等の金属蒸気レーザ発振器等を用いることができる。なお、固体レーザ発振器においては、基本波の第2高調波～第5高調波を適用するのが好ましい。

#### 【0072】

代表的には、レーザビームとして波長400nm以下、代表的には308nmのエキシマレーザビームや、YAGレーザの第3高調波(355nm)を用いる。

#### 【0073】

LP処理は矩形長尺状に集光し、線状レーザビームとすることで、例えば730mm×920mmのガラス基板上の微結晶半導体膜23bを1回のレーザビームスキャンで処理することができる。この場合、線状レーザビームを重ね合わせる割合(オーバーラップ率)を0～95%(好ましくは0～67%)として行う。これにより、基板1枚当たりの処理時間が短縮され、生産性を向上させることができる。レーザビームの形状は線状に限定されるものでなく面状としても同様に処理することができる。また、本LP処理は前記ガラス基板のサイズに限定されず、さまざまなものに適用することができる。

#### 【0074】

また、レーザビームとして、連続発振のレーザビームを用いる場合、ポリゴンミラーやガルバノミラーを発振器及び基板の間に設け、レーザビームを高速で走査することで、LP処理のスループットを向上させることが可能であり、例えば730mm×920mmのガラス基板や更にそれより大きいガラス基板上に形成される微結晶半導体膜をLP処理することが可能である。

#### 【0075】

なお、アルゴン雰囲気、水素雰囲気、アルゴン及び水素雰囲気、窒素雰囲気等でレーザビームを微結晶半導体膜23bに照射してもよい。このように、不活性な雰囲気でレーザビームを微結晶半導体膜に照射することで、LP S A S膜53の表面に酸化膜が形成されにくい。

#### 【0076】

また、微結晶半導体膜23bにレーザビームを照射する前に、微結晶半導体膜23bの表面を洗浄することで、チャネルドーピングの際などで微結晶半導体膜23b表面に付着する不純物がレーザビームの照射により、微結晶半導体膜中に混入するのを防ぐことができる。

#### 【0077】

また、微結晶半導体膜にレーザビームを照射すると共に、微結晶半導体膜を加熱してもよい。代表的には、基板50を300～400で加熱しながら、レーザビームを照射することで、微結晶半導体膜23bの結晶性を高めることが可能である。または、微結晶半導体膜23bにレーザビームを照射すると共に、強光を照射して、瞬間的に微結晶半導体膜23bの温度を上昇させてもよい。強光の代表例としては、赤外光、特に1μm～2μmにピークを有する赤外光(好ましくはハロゲン光(1.3μm))を用いることができる。

#### 【0078】

次いで、図1(D)に示すように、LP S A S膜53上にバッファ層54及び一導電型を付与する不純物が添加された半導体膜55を形成する。レーザビームの照射によりLP S A S膜53表面に酸化膜が形成された場合には、バッファ層54を形成する前に除去することが好ましい。

#### 【0079】

10

20

30

40

50

バッファ層 54 は、水素、窒素、若しくはハロゲンを含む非晶質半導体膜を用いて形成する。水素化珪素の流量の 1 倍以上 10 倍以下、更に好ましくは 1 倍以上 5 倍以下の流量の水素を用いて、水素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と窒素またはアンモニアとを用いることで、窒素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と、フッ素、塩素、臭素、またはヨウ素を含む気体 ( $F_2$ 、 $Cl_2$ 、 $Br_2$ 、 $I_2$ 、 $HF$ 、 $HCl$ 、 $HBr$ 、 $HI$  等) を用いることで、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。なお、水素化珪素の代わりに、 $SiH_2Cl_2$ 、 $SiHCl_3$ 、 $SiCl_4$ 、 $SiF_4$  等を用いることができる。

【0080】

10

また、バッファ層 54 は、ターゲットに非晶質半導体を用いて水素、または希ガスでスパッタリングして非晶質半導体膜を形成することができる。このとき、アンモニア、窒素、または  $N_2O$  を雰囲気中に含ませることにより、窒素を含む非晶質半導体膜を形成することができる。また、雰囲気中にフッ素、塩素、臭素、またはヨウ素を含む気体 ( $F_2$ 、 $Cl_2$ 、 $Br_2$ 、 $I_2$ 、 $HF$ 、 $HCl$ 、 $HBr$ 、 $HI$  等) を含ませることにより、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。

【0081】

また、バッファ層 54 として、LPSS 膜 53 の表面にプラズマ CVD 法またはスパッタリング法により非晶質半導体膜を形成した後、非晶質半導体膜の表面を水素プラズマ、窒素プラズマ、またはハロゲンプラズマで処理して、非晶質半導体膜の表面を水素化、窒素化、またはハロゲン化してもよい。または、非晶質半導体膜の表面を、ヘリウムプラズマ、ネオンプラズマ、アルゴンプラズマ、クリプトンプラズマ等で処理してもよい。

20

【0082】

バッファ層 54 は、結晶粒を含まない非晶質半導体膜で形成することが好ましい。このため、周波数が数十 MHz ~ 数百 MHz の高周波プラズマ CVD 法、またはマイクロ波プラズマ CVD 法で形成する場合は、結晶粒を含まない非晶質半導体膜となるように、成膜条件を制御することが好ましい。

【0083】

バッファ層 54 は、後のソース領域及びドレイン領域の形成プロセスにおいて、一部エッチングする。そのときに、LPSS 膜 53 が露呈しないようにバッファ層 54 の一部が残存する厚さで形成することが好ましい。代表的には、100 nm 以上 400 nm 以下、好ましくは 200 nm 以上 300 nm 以下の厚さで形成することが好ましい。薄膜トランジスタの印加電圧の高い (例えば 15 V 程度) 表示装置、代表的には液晶表示装置において、バッファ層 54 の膜厚を上記範囲に示すように厚く形成すると、耐圧が高くなり、薄膜トランジスタに高い電圧が印加されても、薄膜トランジスタが劣化することを回避することができる。

30

【0084】

なお、バッファ層 54 には、リンやボロン等の一導電型を付与する不純物が添加されていない。LPSS 膜 53 にはしきい値を制御するために微量のボロンを含ませているため、一導電型を付与する不純物が添加された半導体膜 55 から不純物が LPSS 膜へ拡散しないように、バッファ層 54 がバリア層として機能している。バッファ層を設けない場合、LPSS 膜と一導電型を付与する不純物が添加された半導体膜 55 とが接してしまうと、後のエッチング工程や加熱処理により不純物が移動し、しきい値制御が困難になる恐れがある。

40

【0085】

さらにバッファ層 54 を LPSS 膜 53 の表面上に形成することで、LPSS 膜 53 に含まれる結晶粒の表面の自然酸化を防止することが可能である。特に、非晶質半導体と微結晶粒が接する領域では、局部応力により亀裂が入りやすい。この亀裂が酸素に触れると結晶粒は酸化され、酸化珪素が形成される。

【0086】

50

非晶質半導体膜であるバッファ層 5 4 のエネルギーギャップが L P S A S 膜 5 3 に比べて大きく（非晶質半導体膜のエネルギーギャップは  $1.6 \sim 1.8 \text{ eV}$ 、L P S A S 膜 5 3 のエネルギーギャップは  $1.1 \sim 1.5 \text{ eV}$ ）、また抵抗が高く、移動度が低く、L P S A S 膜 5 3 の  $1/5 \sim 1/10$  である。このため、後に形成される薄膜トランジスタにおいて、ソース領域及びドレイン領域と、L P S A S 膜 5 3 との間に形成されるバッファ層は高抵抗領域として機能し、L P S A S 膜 5 3 がチャネル形成領域として機能する。このため、薄膜トランジスタのオフ電流を低減することができる。当該薄膜トランジスタを表示装置のスイッチング素子として用いた場合、表示装置のコントラストを向上させることができる。

【0087】

なお、L P S A S 膜 5 3 上に、プラズマ C V D 法によりバッファ層 5 4 を  $300 \sim 400$  の温度にて成膜することが好ましい。この成膜処理により水素が L P S A S 膜 5 3 に供給され、L P S A S 膜 5 3 を水素化したのと同等の効果が得られる。すなわち、L P S A S 膜 5 3 上にバッファ層 5 4 を堆積することにより、L P S A S 膜 5 3 に水素を拡散させて、ダングリングボンドの終端をすることができる。

【0088】

また、一導電型を付与する不純物が添加された半導体膜 5 5 は、n チャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、水素化珪素に  $\text{PH}_3$  などの不純物気体を加えれば良い。また、p チャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてボロンを添加すれば良く、水素化珪素に  $\text{B}_2\text{H}_6$  などの不純物気体を加えれば良い。一導電型を付与する不純物が添加された半導体膜 5 5 は、微結晶半導体、または非晶質半導体で形成することができる。一導電型を付与する不純物が添加された半導体膜 5 5 は  $2 \text{ nm}$  以上  $50 \text{ nm}$  以下の厚さで形成する。一導電型を付与する不純物が添加された半導体膜の膜厚を、薄くすることでスループットを向上させることができる。

【0089】

次いで、図 2 ( A ) に示すように、一導電型を付与する不純物が添加された半導体膜 5 5 上にレジストマスク 5 6 を形成する。レジストマスク 5 6 は、フォトリソグラフィ技術またはインクジェット法により形成する。ここでは、第 2 のフォトマスクを用いて、一導電型を付与する不純物が添加された半導体膜 5 5 上に塗布されたレジストを露光現像して、レジストマスク 5 6 を形成する。

【0090】

次いで、レジストマスク 5 6 を用いて L P S A S 膜 5 3、バッファ層 5 4、及び導電型を付与する不純物が添加された半導体膜 5 5 をエッチングし分離して、図 2 ( B ) に示すように、L P S A S 膜 6 1、バッファ層 6 2、及び一導電型を付与する不純物が添加された半導体膜 6 3 を形成する。この後、レジストマスク 5 6 を除去する。

【0091】

L P S A S 膜 6 1、バッファ層 6 2 の端部側面が傾斜していることにより、バッファ層 6 2 上に形成されるソース領域及びドレイン領域と L P S A S 膜 6 1 との間にリーク電流が生じることを防止することが可能である。また、ソース電極及びドレイン電極と、L P S A S 膜 6 1 との間にリーク電流が生じるのを防止することが可能である。L P S A S 膜 6 1 及びバッファ層 6 2 の端部側面の傾斜角度は、 $90^\circ \sim 30^\circ$ 、好ましくは  $80^\circ \sim 45^\circ$  である。このような角度とすることで、段差形状によるソース電極またはドレイン電極の段切れを防ぐことができる。

【0092】

次に、図 2 ( C ) に示すように、一導電型を付与する不純物が添加された半導体膜 6 3 及びゲート絶縁膜 5 2 c を覆うように導電膜 6 5 a ~ 6 5 c を形成する。導電膜 6 5 a ~ 6 5 c は、アルミニウム、銅、又はシリコン、チタン、ネオジム、スカンジウム、モリブデンなどの耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、一導電型を付与する不純物が添加された半

10

20

30

40

50

導体膜と接する側の膜を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。ここでは、導電膜としては、導電膜 65a ~ 65c 3 層が積層した構造の導電膜を示し、導電膜 65a、65c にモリブデン膜、導電膜 65b にアルミニウム膜を用いた積層導電膜や、導電膜 65a、65c にチタン膜、導電膜 65b にアルミニウム膜を用いた積層導電膜を示す。導電膜 65a ~ 65c は、スパッタリング法や真空蒸着法で形成する。

#### 【0093】

次に、図 2 (D) に示すように、導電膜 65a ~ 65c 上に第 3 のフォトリソマスクを用いてレジストマスク 66 を形成し、導電膜 65a ~ 65c の一部をエッチングして一対のソース電極及びドレイン電極 71a ~ 71c を形成する。導電膜 65a ~ 65c をウエットエッチングすると、導電膜 65a ~ 65c が選択的にエッチングされる。この結果、導電膜を等方的にエッチングするため、レジストマスク 66 より面積の小さいソース電極及びドレイン電極 71a ~ 71c を形成することができる。

#### 【0094】

次に、図 3 (A) に示すように、レジストマスク 66 を用いて一導電型を付与する不純物が添加された半導体膜 63 をエッチングして、一対のソース領域及びドレイン領域 72 を形成する。さらに、当該エッチング工程において、バッファ層 62 の一部もエッチングする。一部エッチングされた、窪み (溝) が形成されたバッファ層をバッファ層 73 と示す。ソース領域及びドレイン領域の形成工程と、バッファ層の窪み (溝) とを同一工程で形成することができる。バッファ層の窪み (溝) の深さをバッファ層の一番膜厚の厚い領域の  $1/2 \sim 1/3$  とすることで、ソース領域及びドレイン領域の距離を離すことが可能であるため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。この後、レジストマスク 66 を除去する。

#### 【0095】

特にドライエッチングなどで用いるプラズマに曝されるとレジストマスクは変質し、レジスト除去工程で完全には除去されず、残渣が残ることを防ぐためにバッファ層を 50 nm 程度エッチングする。レジストマスク 66 は、導電膜 65a ~ 65c の一部のエッチング処理と、ソース領域及びドレイン領域 72 の形成時のエッチング処理の 2 回に用いられており、どちらもドライエッチングを用いる場合には、残渣が残りにやすいため、残渣を完全に除去する際にエッチングされてもよいバッファ層の膜厚を厚く形成することは有効である。また、バッファ層 73 は、ドライエッチングの際にプラズマダメージが LPSAS 膜 61 に与えられることを防止することもできる。

#### 【0096】

次に、図 3 (B) に示すように、ソース電極及びドレイン電極 71a ~ 71c、ソース領域及びドレイン領域 72、バッファ層 73、LPSAS 膜 61、及びゲート絶縁膜 52c を覆う絶縁膜 76 を形成する。絶縁膜 76 は、ゲート絶縁膜 52a、52b、52c と同じ成膜方法を用いて形成することができる。なお、絶縁膜 76 は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。また、絶縁膜 76 に窒化珪素膜を用いることで、バッファ層 73 中の酸素濃度を  $5 \times 10^{19} \text{ atoms/cm}^3$  以下、好ましくは  $1 \times 10^{19} \text{ atoms/cm}^3$  以下とすることができる。

#### 【0097】

図 3 (B) に示すように、ソース電極及びドレイン電極 71a ~ 71c の端部と、ソース領域及びドレイン領域 72 の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極 71a ~ 71c の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。また、ソース電極及びドレイン電極 71a ~ 71c の端部と、ソース領域及びドレイン領域 72 の端部は一致せずずれた形状であ

10

20

30

40

50



るため、ソース電極及びドレイン電極 7 1 a ~ 7 1 c 及びソース領域及びドレイン領域 7 2 の端部に電界が集中せず、ゲート電極 5 1 と、ソース電極及びドレイン電極 7 1 a ~ 7 1 c との間でのリーク電流を防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。さらに、チャネルドープが行われ、しきい値制御された薄膜トランジスタを作製することができる。

【 0 0 9 8 】

以上の工程により、チャネルエッチ型の薄膜トランジスタ 7 4 を形成することができる。

【 0 0 9 9 】

本実施の形態で示す薄膜トランジスタは、ゲート電極上にゲート絶縁膜、L P S A S 膜、バッファ層、ソース領域及びドレイン領域、ソース電極及びドレイン電極が積層され、チャネル形成領域として機能する L P S A S 膜の表面をバッファ層が覆う。また、バッファ層の一部には窪み（溝）が形成されており、当該窪み以外の領域がソース領域及びドレイン領域で覆われる。即ち、バッファ層に形成される窪みにより、ソース領域及びドレイン領域の距離が離れているため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。また、バッファ層の一部をエッチングすることにより窪みを形成するため、ソース領域及びドレイン領域の形成工程において発生するエッチング残渣を除去することができるため、残渣を介してソース領域及びドレイン領域にリーク電流（寄生チャネル）が発生することを回避することができる。

【 0 1 0 0 】

また、チャネル形成領域として機能する L P S A S 膜とソース領域及びドレイン領域との間に、バッファ層が形成されている。また、L P S A S 膜の表面がバッファ層で覆われている。高抵抗のバッファ層は、L P S A S 膜と、ソース領域及びドレイン領域との間にまで延在しているため、薄膜トランジスタにリーク電流が発生することを低減することができると共に、高い電圧の印加による劣化を低減することができる。また、バッファ層と、L P S A S 膜と、ソース領域及びドレイン領域は、全てゲート電極と重なる領域上に形成される。従って、ゲート電極の端部形状に影響されない構造と言える。ゲート電極を積層構造とした場合、下層としてアルミニウムを用いると、ゲート電極側面にアルミニウムが露出し、ヒロックが発生する恐れがあるが、さらにソース領域及びドレイン領域をゲート電極端部とも重ならない構成とすることで、ゲート電極側面と重なる領域でショートが発生することを防ぐことができる。また、L P S A S 膜の表面に水素で表面が終端された非晶質半導体膜がバッファ層として形成されているため、L P S A S 膜の酸化を防止することが可能であると共に、ソース領域及びドレイン領域の形成工程に発生するエッチング残渣が L P S A S 膜に混入することを防ぐことができる。従って、電気特性が優れ、且つ耐圧に優れた薄膜トランジスタを形成することができる。

【 0 1 0 1 】

また、薄膜トランジスタのチャネル長を短くすることができ、薄膜トランジスタの平面積を縮小することができる。

【 0 1 0 2 】

次に、絶縁膜 7 6 に第 4 のフォトリソマスクを用いて形成したレジストマスクを用いて絶縁膜 7 6 の一部をエッチングしてコンタクトホールを形成し、当該コンタクトホールにおいてソース電極またはドレイン電極 7 1 c に接する画素電極 7 7 を形成する。なお、図 3（C）は、図 4 の鎖線 A - B の断面図に相当する。

【 0 1 0 3 】

図 4 に示すように、ソース領域及びドレイン領域 7 2 の端部は、ソース電極及びドレイン電極 7 1 c の端部の外側に位置することが分かる。また、バッファ層 7 3 の端部はソース電極及びドレイン電極 7 1 c 及びソース領域及びドレイン領域 7 2 の端部の外側に位置する。また、ソース電極及びドレイン電極の一方はソース電極及びドレイン電極の他方を囲む形状（具体的には、U 字型、C 字型）である。このため、キャリアが移動する領域の面積を増加させることが可能であるため、電流量を増やすことが可能であり、薄膜トランジ

10

20

30

40

50

スタの面積を縮小することができる。また、ゲート電極上において、L P S A S 膜、ソース電極及びドレイン電極が重畳されているため、ゲート電極の凹凸の影響が少なく、被覆率の低減及びリーク電流の発生を抑制することができる。なお、ソース電極またはドレイン電極の一方は、ソース配線またはドレイン配線としても機能する。

【0104】

また、画素電極77は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0105】

また、画素電極77として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

【0106】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0107】

ここでは、画素電極77としては、スパッタリング法によりインジウム錫酸化物膜を成膜した後、インジウム錫酸化物膜上にレジストを塗布する。次に、第5のフォトマスクを用いてレジストを露光及び現像し、レジストマスクを形成する。次に、レジストマスクを用いてインジウム錫酸化物膜をエッチングして画素電極77を形成する。

【0108】

以上により表示装置に用いることが可能な素子基板を形成することができる。

【0109】

（実施の形態2）

本実施の形態は、実施の形態1と一部異なる工程を以下に説明する。実施の形態1とは一部異なるだけであるため、図5において図1と同じ箇所には同じ符号を用い、同じ工程の詳細な説明は省略する。

【0110】

まず、実施の形態1と同様にして図5（A）の状態を得る。図5（A）は図1（A）と同一である。基板50上にゲート電極51を形成した後、そのゲート電極51上に、ゲート絶縁膜52a、52b、52c、微結晶半導体膜23aを順に形成する。

【0111】

図5（B）に示すように、微結晶半導体膜に対して1回目のLP処理を行って、L P S A S 膜33aを形成する。予め、LP処理を行って微結晶半導体膜の結晶性を向上させておけば、イオン注入により完全に非晶質半導体膜になることを防ぐことができる。

【0112】

次いで、図5（C）に示すようにイオン注入法によりL P S A S 膜33aに対してボロンを微量に添加する。イオン注入することにより、L P S A S 膜33aに比べて、ボロンを含む微結晶半導体膜33bは結晶性が低下する。なお、1回目のLP処理でのレーザービームの照射によりL P S A S 膜33a表面に酸化膜が形成された場合、そのままイオン注入を行い、イオン注入後に除去することが好ましい。この酸化膜は表面保護膜として機能することができる。

【0113】

次いで、図5（D）に示すように2回目のLP処理を行う。2回目のLP処理により、結晶性が改善され、膜中のボロンを活性化させることができる。また、1回目のLP処理と2回目のLP処理は同じ条件でなくともよい。2回目のLP処理の前に微結晶半導体膜3

10

20

30

40

50

3 b 表面を洗浄することが好ましい。

【0114】

また、2 回目の LP 処理に代えて熱処理を行ってもよい。この熱処理の温度は、微結晶半導体膜を溶融させる温度未満であり、且つ、膜中のボロンを活性化させる温度以上であればよい。

【0115】

次いで、図 5 ( E ) に示すように L P S A S 膜 5 3 上にバッファ層 5 4 及び一導電型を付与する不純物が添加された半導体膜 5 5 を形成する。図 5 ( E ) は図 1 ( D ) と同一である。また、2 回目の LP 処理の際に形成される酸化膜はバッファ層 5 4 を形成する前に除去することが好ましい。

10

【0116】

実施の形態 1 に比べて工程数は増加するが、実施の形態 1 に比べて結晶性がより改善された L P S A S 膜を得ることができる。

【0117】

以降の工程は、実施の形態 1 と同一であるため、ここでは省略する。

【0118】

また、本実施の形態は、実施の形態 1 と自由に組み合わせることができる。

【0119】

( 実施の形態 3 )

本実施の形態は、実施の形態 1 と一部異なる工程を以下に説明する。実施の形態 1 とは一部異なるだけであるため、図 6 において図 1 と同じ箇所には同じ符号を用い、同じ工程の詳細な説明は省略する。

20

【0120】

本実施の形態では、p 型を付与する不純物元素を成膜と同時に添加し、p 型を付与する不純物元素を微量に含む微結晶半導体膜を成膜した後、LP 処理を行う工程を説明する。

【0121】

まず、実施の形態 1 と同様にして基板 5 0 上にゲート電極 5 1 を形成した後、そのゲート電極 5 1 上に、ゲート絶縁膜 5 2 a、5 2 b、5 2 c を形成する。そして、図 6 ( A ) に示すように、しきい値制御を目的とした不純物元素を意図的に含ませた微結晶半導体膜 4 3 を成膜する。

30

【0122】

p 型を付与する不純物元素としては、代表的には硼素であり、 $B_2H_6$ 、 $BF_3$  などの不純物気体を  $1\text{ ppm} \sim 1000\text{ ppm}$ 、好ましくは  $1 \sim 100\text{ ppm}$  の割合で水素化珪素に混入させると良い。そして微結晶半導体膜 4 3 に含まれるボロンの濃度 ( SIMS 測定濃度 ) を、例えば  $1 \times 10^{14} \sim 6 \times 10^{16}\text{ atoms/cm}^3$  とすると良い。

【0123】

次いで、成膜直後の微結晶半導体膜 4 3 よりも結晶性を改善するため、微結晶半導体膜の表面側からレーザービームを照射する。レーザービームのエネルギーは微結晶半導体膜が溶融しないエネルギーで照射する。レーザービームの照射により、図 6 ( B ) に示すように、結晶性が改善された L P S A S 膜 5 3 を形成することができる。

40

【0124】

成膜時に微量のボロンを含ませて微結晶半導体膜を形成し、成膜後に LP 処理を行う場合には、ボロンを活性化させなくともよい。ここでの LP 処理は、結晶性の改善がなされるレーザービーム照射条件とすればよい。

【0125】

成膜時に微量のボロンを含ませて微結晶半導体膜を形成し、成膜後に LP 処理を行う本実施の形態とすることで、工程数が低減されるため、量産に適した工程と言える。

【0126】

また、イオン注入装置やイオンドーピング装置を用いた場合、ドーピング条件によっては、イオン添加時に微結晶半導体膜にダメージを与えてしまう、さらにはゲート絶縁膜にダ

50

メージを与えてしまう恐れがある。成膜時に微量のボロンを含ませて微結晶半導体膜を形成する場合には、これらのダメージを与えることなく薄膜トランジスタを作製することができる。

【 0 1 2 7 】

次いで、図 6 ( C ) に示すように、 L P S A S 膜 5 3 上にパッファ層 5 4 及び一導電型を付与する不純物が添加された半導体膜 5 5 を形成する。図 6 ( C ) は図 1 ( D ) と同一である。また、 L P 処理の際に形成される酸化膜はパッファ層 5 4 を形成する前に除去することが好ましい。

【 0 1 2 8 】

以降の工程は、実施の形態 1 と同一であるため、ここでは省略する。

10

【 0 1 2 9 】

また、本実施の形態は、実施の形態 1 と自由に組み合わせることができる。

【 0 1 3 0 】

( 実施の形態 4 )

本実施の形態は、実施の形態 1 と一部異なる工程を以下に説明する。実施の形態 1 とは一部異なるだけであるため、図 7 において図 1 と同じ箇所には同じ符号を用い、同じ工程の詳細な説明は省略する。

【 0 1 3 1 】

まず、実施の形態 1 と同様にして図 7 ( A ) の状態を得る。図 7 ( A ) は図 1 ( C ) と同一である。基板 5 0 上にゲート電極 5 1 を形成した後、そのゲート電極 5 1 上に、ゲート絶縁膜 5 2 a、5 2 b、5 2 c、微結晶半導体膜を順に形成する。そして、しきい値制御のために、微結晶半導体膜に一導電性を付与する不純物元素をイオン注入法により意図的に添加する。次いで、成膜直後の微結晶半導体膜よりも結晶性を改善するため、微結晶半導体膜の表面側からレーザービームを照射する。この L P 処理により、 L P S A S 膜 5 3 を形成する。

20

【 0 1 3 2 】

次いで、図 7 ( B ) に示すように、 L P S A S 膜 5 3 表面を水素プラズマ、窒素プラズマ、またはハロゲンプラズマで処理する。レーザービームの照射により L P S A S 膜 5 3 表面に酸化膜が形成された場合には、後に形成されるパッファ層を形成する前に除去することが好ましい。ここでは、 L P S A S 膜 5 3 表面の酸化膜を除去した後に、 L P S A S 膜 5 3 表面に対して水素プラズマ処理を行う。後に形成するパッファ層との界面を清浄なものとするために、水素プラズマ、窒素プラズマ、またはハロゲンプラズマで処理する。また、水素プラズマ、窒素プラズマ、またはハロゲンプラズマで処理することによって、 L P S A S 膜 5 3 表面に酸化膜が形成されにくい表面とすることができる。

30

【 0 1 3 3 】

L P S A S 膜 5 3 表面に酸化膜が形成されることを防止することで、しきい値電圧の上昇を抑えることができる。

【 0 1 3 4 】

次いで、図 7 ( C ) に示すように、 L P S A S 膜 5 3 上にパッファ層 5 4 及び一導電型を付与する不純物が添加された半導体膜 5 5 を形成する。図 7 ( C ) は図 1 ( D ) と同一である。

40

【 0 1 3 5 】

以降の工程は、実施の形態 1 と同一であるため、ここでは省略する。

【 0 1 3 6 】

また、本実施の形態は、実施の形態 1 乃至 3 のいずれかと自由に組み合わせることができる。

【 0 1 3 7 】

( 実施の形態 5 )

実施の形態 1 とは異なる薄膜トランジスタの作製方法について、図 8 乃至図 1 2 を用いて説明する。ここでは、上記実施の形態 1 よりフォトリソマスク数を削減することが可能なプロ

50

セスを用いて薄膜トランジスタを作製する工程について示す。

【0138】

実施の形態1に示した図1(A)と同様に、基板50上に導電膜を形成し、導電膜上にレジストを塗布し、第1のフォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて導電膜の一部をエッチングして、ゲート電極51を形成する。次に、ゲート電極51上に、ゲート絶縁膜52a、52b、52c、微結晶半導体膜23aを順に形成する。

【0139】

次に、実施の形態1に示した図1(B)と同様に、しきい値制御の目的で微量のボロンをイオン注入して微結晶半導体膜23bを形成する。

10

【0140】

次に、実施の形態1に示した図1(C)と同様に、レーザビームを照射して、LPSS膜53を形成する。次に、実施の形態1に示した図1(D)と同様に、LPSS膜53上に、バッファ層54、一導電型を付与する不純物が添加された半導体膜55を順に形成する。

【0141】

次に、一導電型を付与する不純物が添加された半導体膜55上に導電膜65a~65cを形成する。次に、図9(A)に示すように、導電膜65a上にレジスト80を塗布する。

【0142】

レジスト80は、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。

20

【0143】

次に、第2のフォトマスクとして多階調マスク59を用いて、レジスト80に光を照射して、レジスト80を露光する。

【0144】

ここで、多階調マスク59を用いた露光について、図8を用いて説明する。

【0145】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に3つの露光レベルを行うことが可能なマスクであり、一度の露光及び現像工程により、複数(代表的には二種類)の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、フォトマスクの枚数を削減することが可能である。

30

【0146】

多階調マスクの代表例としては、図8(A)に示すようなグレートーンマスク59a、図8(C)に示すようなハーフトーンマスク59bがある。

【0147】

図8(A)に示すように、グレートーンマスク59aは、透光性を有する基板163及びその上に形成される遮光部164並びに回折格子165で構成される。遮光部164においては、光の透過率が0%である。一方、回折格子165はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過率を制御することができる。なお、回折格子165は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

40

【0148】

透光性を有する基板163は、石英等の透光性を有する基板を用いることができる。遮光部164及び回折格子165は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0149】

グレートーンマスク59aに露光光を照射した場合、図8(B)に示すように、遮光部164においては、光透過率166は0%であり、遮光部164及び回折格子165が設けられていない領域では光透過率166は100%である。また、回折格子165においては、10~70%の範囲で調整可能である。回折格子165における光の透過率の調整は

50

、回折格子のスリット、ドット、またはメッシュの間隔及びピッチの調整により可能である。

【0150】

図8(C)に示すように、ハーフトーンマスク59bは、透光性を有する基板163及びその上に形成される半透過部167並びに遮光部168で構成される。半透過部167は、MoSiN、MoSi、MoSiO、MoSiON、CrSiなどを用いることができる。遮光部168は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0151】

ハーフトーンマスク59bに露光光を照射した場合、図8(D)に示すように、遮光部168においては、光透過率169は0%であり、遮光部168及び半透過部167が設けられていない領域では光透過率169は100%である。また、半透過部167においては、10~70%の範囲で調整可能である。半透過部167に於ける光の透過率の調整は、半透過部167の材料により調整により可能である。

【0152】

多階調マスクを用いて露光した後、現像することで、図9(B)に示すように、膜厚の異なる領域を有するレジストマスク81を形成することができる。

【0153】

次に、レジストマスク81により、LPAS膜53、バッファ層54、一導電型を付与する不純物が添加された半導体膜55、及び導電膜65a~65cをエッチングし分離する。この結果、図10(A)に示すような、LPAS膜61、バッファ層62、一導電型を付与する不純物が添加された半導体膜63、及び導電膜85a~85cを形成することができる。なお、図10(A)は図12(A)のA-Bにおける断面図に相当する(但しレジストマスク86を除く)。

【0154】

次に、レジストマスク81をアッシングする。この結果、レジストの面積が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のレジスト(ゲート電極51の一部と重畳する領域)は除去され、図10(A)に示すように、分離されたレジストマスク86を形成することができる。

【0155】

次に、レジストマスク86を用いて、導電膜85a~85cをエッチングし分離する。この結果、図10(B)に示すような、一对のソース電極及びドレイン電極92a~92cを形成することができる。レジストマスク86を用いて導電膜85a~85cをウエットエッチングすると、導電膜85a~85cが選択的にエッチングされる。この結果、導電膜を等方的にエッチングするため、レジストマスク86より面積の小さいソース電極及びドレイン電極92a~92cを形成することができる。

【0156】

次に、レジストマスク86を用いて、一導電型を付与する不純物が添加された半導体膜63をエッチングして、一对のソース領域及びドレイン領域88を形成する。なお、当該エッチング工程において、バッファ層62の一部もエッチングする。一部エッチングされたバッファ層をバッファ層87と示す。なお、バッファ層87には凹部が形成される。ソース領域及びドレイン領域の形成工程と、バッファ層の窪み(溝)とを同一工程で形成することができる。ここでは、バッファ層87の一部が、レジストマスク81と比較して面積が縮小したレジストマスク86で一部エッチングされたため、ソース領域及びドレイン領域88の外側にバッファ層87が突出した形状となる。この後、レジストマスク86を除去する。また、ソース電極及びドレイン電極92a~92cの端部と、ソース領域及びドレイン領域88の端部は一致せずずれており、ソース電極及びドレイン電極92a~92cの端部の外側に、ソース領域及びドレイン領域88の端部が形成される。

【0157】

なお、図10(C)は、図12(B)のA-Bの断面図に相当する。図12(B)に示す

10

20

30

40

50

ように、ソース領域及びドレイン領域 8 8 の端部は、ソース電極及びドレイン電極 9 2 c の端部の外側に位置することが分かる。また、バッファ層 8 7 の端部はソース電極及びドレイン電極 9 2 c 及びソース領域及びドレイン領域 8 8 の端部の外側に位置する。また、ソース電極及びドレイン電極の一方はソース領域及びドレイン領域の他方を囲む形状（具体的には、U字型、C字型）である。このため、キャリアが移動する領域の面積を増加させることが可能であるため、電流量を増やすことが可能であり、薄膜トランジスタの面積を縮小することができる。また、ゲート電極上において、微結晶半導体膜、ソース電極及びドレイン電極が重畳されているため、ゲート電極の凹凸の影響が少なく、被覆率の低減及びリーク電流の発生を抑制することができる。なお、ソース電極またはドレイン電極の一方は、ソース配線またはドレイン配線としても機能する。

10

#### 【0158】

図 10 (C) に示すように、ソース電極及びドレイン電極 9 2 a ~ 9 2 c の端部と、ソース領域及びドレイン領域 8 8 の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極 9 2 a ~ 9 2 c の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。また、ソース電極及びドレイン電極 9 2 a ~ 9 2 c の端部と、ソース領域及びドレイン領域 8 8 の端部は一致せずずれた形状であるため、ソース電極及びドレイン電極 9 2 a ~ 9 2 c 及びソース領域及びドレイン領域 8 8 の端部に電界が集中せず、ゲート電極 5 1 と、ソース電極及びドレイン電極 9 2 a ~ 9 2 c との間でのリーク電流を防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

20

#### 【0159】

以上の工程により、チャネルエッチ型の薄膜トランジスタ 8 3 を形成することができる。また、2枚のフォトマスクを用いて薄膜トランジスタを形成することができる。

#### 【0160】

次に、図 11 (A) に示すように、ソース電極及びドレイン電極 9 2 a ~ 9 2 c、ソース領域及びドレイン領域 8 8、バッファ層 8 7、L P S A S 膜 9 0、及びゲート絶縁膜 5 2 c 上に絶縁膜 7 6 を形成する。絶縁膜 7 6 は、ゲート絶縁膜 5 2 a、5 2 b、5 2 c と同じ作製方法で形成することができる。

#### 【0161】

次に、第 3 のフォトマスクを用いて形成したレジストマスクを用いて絶縁膜 7 6 の一部をエッチングしてコンタクトホールを形成する。次に、当該コンタクトホールにおいてソース電極またはドレイン電極 9 2 c に接する画素電極 7 7 を形成する。ここでは、画素電極 7 7 としては、スパッタリング法によりインジウム錫酸化物膜を成膜した後、インジウム錫酸化物膜上にレジストを塗布する。次に、第 4 のフォトマスクを用いてレジストを露光及び現像し、レジストマスクを形成する。次に、レジストマスクを用いてインジウム錫酸化物膜をエッチングして画素電極 7 7 を形成する。なお、図 11 (B) は、図 12 (C) の A - B の断面図に相当する。

30

#### 【0162】

以上により、多階調マスクを用いてマスク数を減らし、表示装置に用いることが可能な素子基板を形成することができる。

40

#### 【0163】

また、本実施の形態は、実施の形態 1 乃至 4 のいずれか一と自由に組み合わせることができる。

#### 【0164】

(実施の形態 6)

本実施の形態では、表示装置の一形態として、実施の形態 1 で示す薄膜トランジスタを有する液晶表示装置について、以下に示す。

#### 【0165】

はじめに V A ( V e r t i c a l A l i g n m e n t ) 型の液晶表示装置について示す。V A 型の液晶表示装置とは、液晶パネルの液晶分子の配列を制御する方式の一種である

50

。V A型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素（ピクセル）をいくつかの領域（サブピクセル）に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

【0166】

図14及び図15は、それぞれ画素電極及び対向電極を示している。なお、図14は画素電極が形成される基板側の平面図であり、図中に示す切断線A - Bに対応する断面構造を図13に表している。また、図15は対向電極が形成される基板側の平面図である。以下の説明ではこれらの図を参照して説明する。

10

【0167】

図13は、T F T 6 2 8とそれに接続する画素電極624、及び保持容量部630が形成された基板600と、対向電極640等が形成される対向基板601とが重ね合わせられ、液晶が注入された状態を示している。

【0168】

対向基板601においてスペーサ642が形成される位置には、遮光膜632、第1の着色膜634、第2の着色膜636、第3着色膜638、対向電極640が形成されている。この構造により、液晶の配向を制御するための突起644とスペーサ642の高さを異ならせている。画素電極624上には配向膜648が形成され、同様に対向電極640上にも配向膜646が形成されている。この間に液晶層650が形成されている。

20

【0169】

スペーサ642はここでは柱状スペーサを用いて示したがビーズスペーサを散布してもよい。さらには、スペーサ642を基板600上に形成される画素電極624上に形成してもよい。

【0170】

基板600上には、T F T 6 2 8とそれに接続する画素電極624、及び保持容量部630が形成される。画素電極624は、T F T 6 2 8、配線、及び保持容量部630を覆う絶縁膜620、絶縁膜を覆う第3絶縁膜622をそれぞれ貫通するコンタクトホール623で、配線618と接続する。T F T 6 2 8は実施の形態1で示す薄膜トランジスタを適宜用いることができる。また、保持容量部630は、T F T 6 2 8のゲート配線602と同様に形成した第1の容量配線604と、ゲート絶縁膜606と、配線616、618と同様に形成した第2の容量配線617で構成される。

30

【0171】

画素電極624と液晶層650と対向電極640が重なり合うことで、液晶素子が形成されている。

【0172】

図14に基板600上の構造を示す。画素電極624は実施の形態1で示した材料を用いて形成する。画素電極624にはスリット625を設ける。スリット625は液晶の配向を制御するためのものである。

【0173】

40

図14に示すT F T 6 2 9とそれに接続する画素電極626及び保持容量部631は、それぞれT F T 6 2 8と画素電極624及び保持容量部630と同様に形成することができる。T F T 6 2 8とT F T 6 2 9は共に配線616と接続している。この液晶パネルの画素（ピクセル）は、画素電極624と画素電極626により構成されている。画素電極624と画素電極626はサブピクセルである。

【0174】

図15に対向基板側の構造を示す。遮光膜632上に対向電極640が形成されている。対向電極640は、画素電極624と同様の材料を用いて形成することが好ましい。対向電極640上には液晶の配向を制御する突起644が形成されている。また、遮光膜632の位置に合わせてスペーサ642が形成されている。

50



## 【 0 1 7 5 】

この画素構造の等価回路を図 1 6 に示す。T F T 6 2 8 と T F T 6 2 9 は、共にゲート配線 6 0 2、配線 6 1 6 と接続している。この場合、容量配線 6 0 4 と容量配線 6 0 5 の電位を異ならせることで、液層素子 6 5 1 と液晶素子 6 5 2 の動作を異ならせることができる。すなわち、容量配線 6 0 4 と容量配線 6 0 5 の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

## 【 0 1 7 6 】

スリット 6 2 5 を設けた画素電極 6 2 4 に電圧を印加すると、スリット 6 2 5 の近傍には電界の歪み（斜め電界）が発生する。このスリット 6 2 5 と、対向基板 6 0 1 側の突起 6 4 4 とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶パネルの視野角を広げている。

## 【 0 1 7 7 】

次に、上記とは異なる V A 型の液晶表示装置について、図 1 7 乃至図 2 0 を用いて説明する。

## 【 0 1 7 8 】

図 1 7 と図 1 8 は、V A 型液晶パネルの画素構造を示している。図 1 8 は基板 6 0 0 の平面図であり、図中に示す切断線 Y - Z に対応する断面構造を図 1 7 に表している。以下の説明ではこの両図を参照して説明する。

## 【 0 1 7 9 】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極に T F T が接続されている。各 T F T は、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

## 【 0 1 8 0 】

画素電極 6 2 4 はコンタクトホール 6 2 3 において、配線 6 1 8 で T F T 6 2 8 と接続している。また、画素電極 6 2 6 はコンタクトホール 6 2 7 において、配線 6 1 9 で T F T 6 2 9 と接続している。T F T 6 2 8 のゲート配線 6 0 2 と、T F T 6 2 9 のゲート配線 6 0 3 には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線 6 1 6 は、T F T 6 2 8 と T F T 6 2 9 で共通に用いられている。T F T 6 2 8 と T F T 6 2 9 は実施の形態 1 で示す薄膜トランジスタを適宜用いることができる。

## 【 0 1 8 1 】

画素電極 6 2 4 と画素電極 6 2 6 の形状は異なっており、スリット 6 2 5 によって分離されている。V 字型に広がる画素電極 6 2 4 の外側を囲むように画素電極 6 2 6 が形成されている。画素電極 6 2 4 と画素電極 6 2 6 に印加する電圧のタイミングを、T F T 6 2 8 及び T F T 6 2 9 により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図 2 0 に示す。T F T 6 2 8 はゲート配線 6 0 2 と接続し、T F T 6 2 9 はゲート配線 6 0 3 と接続している。ゲート配線 6 0 2 とゲート配線 6 0 3 は異なるゲート信号を与えることで、T F T 6 2 8 と T F T 6 2 9 の動作タイミングを異ならせることができる。

## 【 0 1 8 2 】

対向基板 6 0 1 には、遮光膜 6 3 2、第 2 の着色膜 6 3 6、対向電極 6 4 0 が形成されている。また、第 2 の着色膜 6 3 6 と対向電極 6 4 0 の間には平坦化膜 6 3 7 が形成され、液晶の配向乱れを防いでいる。図 1 9 に対向基板側の構造を示す。対向電極 6 4 0 は異なる画素間で共通化されている電極であるが、スリット 6 4 1 が形成されている。このスリット 6 4 1 と、画素電極 6 2 4 及び画素電極 6 2 6 側のスリット 6 2 5 とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。

10

20

30

40

50

## 【0183】

画素電極624と液晶層650と対向電極640が重なり合うことで、第1の液晶素子が形成されている。また、画素電極626と液晶層650と対向電極640が重なり合うことで、第2の液晶素子が形成されている。また、一画素に第1の液晶素子と第2の液晶素子が設けられたマルチドメイン構造である。

## 【0184】

次に、横電界方式の液晶表示装置について示す。横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約180度にまで広げることができる。以下の説明では、横電界方式を採用する液晶表示装置について説明する。

10

## 【0185】

図21は、TF T 628とそれに接続する画素電極624が形成された基板600と、対向基板601を重ね合わせ、液晶を注入した状態を示している。対向基板601には遮光膜632、第2の着色膜636、平坦化膜637などが形成されている。画素電極は基板600側に有るので、対向基板601側には設けられていない。基板600と対向基板601の間に液晶層650が形成されている。

## 【0186】

基板600上には、第1の画素電極607及び第1の画素電極607に接続する容量配線604、並びに及び実施の形態1で示すTF T 628が形成される。第1の画素電極607は、実施の形態1で示す画素電極77と同様の材料を用いることができる。また、第1の画素電極607は略画素の形状に区画化した形状で形成する。なお、第1の画素電極607及び容量配線604上にはゲート絶縁膜606が形成される。

20

## 【0187】

TF T 628の配線616、配線618がゲート絶縁膜606上に形成される。配線616は液晶パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、ソース領域610と接続し、ソース及びドレインの一方の電極となる。配線618はソース及びドレインの他方の電極となり、第2の画素電極624と接続する配線である。

## 【0188】

配線616、配線618上に第2の絶縁膜620が形成される。また、絶縁膜620上には、絶縁膜620に形成されるコンタクトホールにおいて、配線618に接続する第2の画素電極624が形成される。画素電極624は実施の形態1で示した画素電極77と同様の材料を用いて形成する。

30

## 【0189】

このようにして、基板600上にTF T 628とそれに接続する第1の画素電極624が形成される。なお、保持容量は第1の画素電極607と第2の画素電極624の間に形成している。

## 【0190】

図22は、画素電極の構成を示す平面図である。画素電極624にはスリット625が設けられる。スリット625は液晶の配向を制御するためのものである。この場合、電界は第1の画素電極607と第2の画素電極624の間で発生する。第1の画素電極607と第2の画素電極624の間にはゲート絶縁膜606が形成されているが、ゲート絶縁膜606の厚さは50~200nmであり、2~10μmである液晶層の厚さと比較して十分薄いので、基板600と平行な方向(水平方向)に電界が発生する。この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。また、第1の画素電極607と第2の画素電極624は共に透光性の電極であるので、開口率を向上させることができる。

40

## 【0191】

次に、横電界方式の液晶表示装置の他の一例について示す。

50

## 【 0 1 9 2 】

図 2 3 と図 2 4 は、I P S 型の液晶表示装置の画素構造を示している。図 2 4 は平面図であり、図中に示す切断線 A - B に対応する断面構造を図 2 3 に表している。以下の説明ではこの両図を参照して説明する。

## 【 0 1 9 3 】

図 2 3 は、T F T 6 2 8 とそれに接続する画素電極 6 2 4 が形成された基板 6 0 0 と、対向基板 6 0 1 を重ね合わせ、液晶を注入した状態を示している。対向基板 6 0 1 には遮光膜 6 3 2、第 2 の着色膜 6 3 6、平坦化膜 6 3 7 などが形成されている。画素電極は基板 6 0 0 側にあるので、対向基板 6 0 1 側には設けられていない。基板 6 0 0 と対向基板 6 0 1 の間に液晶層 6 5 0 が形成されている。

10

## 【 0 1 9 4 】

基板 6 0 0 上には、共通電位線 6 0 9、及び実施の形態 1 で示す T F T 6 2 8 が形成される。共通電位線 6 0 9 は薄膜トランジスタ 6 2 8 のゲート配線 6 0 2 と同時に形成することができる。また、画素電極 6 2 4 は略画素の形状に区画化した形状で形成する。

## 【 0 1 9 5 】

T F T 6 2 8 の配線 6 1 6、配線 6 1 8 がゲート絶縁膜 6 0 6 上に形成される。配線 6 1 6 は液晶パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、ソース領域 6 1 0 と接続し、ソース及びドレインの一方の電極となる。配線 6 1 8 はソース及びドレインの他方の電極となり、画素電極 6 2 4 と接続する配線である。

## 【 0 1 9 6 】

配線 6 1 6、配線 6 1 8 上に第 2 の絶縁膜 6 2 0 が形成される。また、絶縁膜 6 2 0 上には、絶縁膜 6 2 0 に形成されるコンタクトホール 6 2 3 において、配線 6 1 8 に接続する画素電極 6 2 4 が形成される。画素電極 6 2 4 は実施の形態 1 で示した画素電極 7 7 と同様の材料を用いて形成する。なお、図 2 4 に示すように、画素電極 6 2 4 は、共通電位線 6 0 9 と同時に形成した 形の電極と横電界が発生するように形成される。また、画素電極 6 2 4 の 歯の部分と共通電位線 6 0 9 と同時に形成した 形の電極と交互に咬み合うように形成される。

20

## 【 0 1 9 7 】

画素電極 6 2 4 に印加される電位と共通電位線 6 0 9 の電位との間に電界が生じると、この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。

30

## 【 0 1 9 8 】

このようにして、基板 6 0 0 上に T F T 6 2 8 とそれに接続する画素電極 6 2 4 が形成される。保持容量は共通電位線 6 0 9 と容量電極 6 1 5 の間にゲート絶縁膜 6 0 6 を設け、それにより形成している。容量電極 6 1 5 と画素電極 6 2 4 はコンタクトホール 6 3 3 を介して接続されている。

## 【 0 1 9 9 】

次に、T N 型の液晶表示装置の形態について示す。

## 【 0 2 0 0 】

図 2 5 と図 2 6 は、T N 型の液晶表示装置の画素構造を示している。図 2 6 は平面図であり、図中に示す切断線 A - B に対応する断面構造を図 2 5 に表している。以下の説明ではこの両図を参照して説明する。

40

## 【 0 2 0 1 】

画素電極 6 2 4 はコンタクトホール 6 2 3 により、配線 6 1 8 で T F T 6 2 8 と接続している。データ線として機能する配線 6 1 6 は、T F T 6 2 8 と接続している。T F T 6 2 8 は実施の形態 1 に示す T F T のいずれかを適用することができる。

## 【 0 2 0 2 】

画素電極 6 2 4 は、実施の形態 1 で示す画素電極 7 7 を用いて形成されている。

## 【 0 2 0 3 】

50

対向基板 6 0 1 には、遮光膜 6 3 2、第 2 の着色膜 6 3 6、対向電極 6 4 0 が形成されている。また、第 2 の着色膜 6 3 6 と対向電極 6 4 0 の間には平坦化膜 6 3 7 が形成され、液晶の配向乱れを防いでいる。液晶層 6 5 0 は画素電極 6 2 4 と対向電極 6 4 0 の間に形成されている。

【 0 2 0 4 】

画素電極 6 2 4 と液晶層 6 5 0 と対向電極 6 4 0 が重なり合うことで、液晶素子が形成されている。

【 0 2 0 5 】

また、基板 6 0 0 または対向基板 6 0 1 にカラーフィルタや、ディスクリネーションを防ぐための遮蔽膜（ブラックマトリクス）などが形成されていても良い。また、基板 6 0 0 の薄膜トランジスタが形成されている面とは逆の面に偏光板を貼り合わせ、また対向基板 6 0 1 の対向電極 6 4 0 が形成されている面とは逆の面に、偏光板を貼り合わせておく。

10

【 0 2 0 6 】

対向電極 6 4 0 は、画素電極 7 7 と同様の材料を適宜用いることができる。画素電極 6 2 4 と液晶 6 5 0 と対向電極 6 4 0 が重なり合うことで、液晶素子が形成されている。

【 0 2 0 7 】

以上の工程により、液晶表示装置を作製することができる。本実施の形態の液晶表示装置は、オフ電流が少なく、電気特性が優れ、信頼性の高い薄膜トランジスタを用いているため、コントラストが高く、視認性の高い液晶表示装置である。また、一導電型の不純物元素を微量に含む微結晶半導体膜を用いてしきい値制御された薄膜トランジスタを用いているため、視認性の高い液晶表示装置を生産性よく作製することができる。

20

【 0 2 0 8 】

（実施の形態 7）

本実施の形態では、表示装置の一形態である発光装置について、図 9 乃至図 1 1、図 2 7、及び図 2 8 を用いて説明する。発光装置としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 E L 素子、後者は無機 E L 素子と呼ばれている。

【 0 2 0 9 】

30

有機 E L 素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【 0 2 1 0 】

無機 E L 素子は、その素子構成により、分散型無機 E L 素子と薄膜型無機 E L 素子とに分類される。分散型無機 E L 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 E L 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 E L 素子を用いて説明する。また、発光素子の駆動を制御する薄膜トランジスタとして、チャネルエッチ型の薄膜トランジスタを用いて示す。

40

【 0 2 1 1 】

図 9 乃至図 1 1 の工程を経て、図 2 7（A）に示すように基板 5 0 上に薄膜トランジスタ 8 5、8 6 を形成し、薄膜トランジスタ 8 5、8 6 上に保護膜として機能する絶縁膜 8 7 を形成する。次に、絶縁膜 8 7 上に平坦化膜 1 1 1 を形成し、平坦化膜 1 1 1 上に薄膜トランジスタ 8 6 のソース電極またはドレイン電極に接続する画素電極 1 1 2 を形成する。

【 0 2 1 2 】

50

平坦化膜 1 1 1 は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサンを用いて形成することが好ましい。

【 0 2 1 3 】

図 2 7 ( A ) では画素の薄膜トランジスタが n 型であるので、画素電極 1 1 2 として、陰極を用いるのが望ましいが、逆に p 型の場合は陽極を用いるのが望ましい。具体的には、陰極としては、仕事関数が小さい公知の材料、例えば、カルシウム、アルミニウム、フッ化カルシウム、マグネシウム銀合金、リチウムアルミニウム合金等を用いることができる。

【 0 2 1 4 】

次に図 2 7 ( B ) に示すように、平坦化膜 1 1 1 及び画素電極 1 1 2 の端部上に、隔壁 1 1 3 を形成する。隔壁 1 1 3 は開口部を有しており、該開口部において画素電極 1 1 2 が露出している。隔壁 1 1 3 は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、画素電極上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【 0 2 1 5 】

次に、隔壁 1 1 3 の開口部において画素電極 1 1 2 と接するように、発光層 1 1 4 を形成する。発光層 1 1 4 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【 0 2 1 6 】

そして発光層 1 1 4 を覆うように、陽極を用いた共通電極 1 1 5 を形成する。共通電極 1 1 5 は、実施の形態 1 に画素電極 7 7 として列挙した透光性を有する導電性材料を用いた透光性導電膜で形成することができる。共通電極 1 1 5 として上記透光性導電膜の他に、窒化チタン膜またはチタン膜を用いても良い。図 2 7 ( B ) では、共通電極 1 1 5 としてインジウム錫酸化物を用いている。隔壁 1 1 3 の開口部において、画素電極 1 1 2 と発光層 1 1 4 と共通電極 1 1 5 が重なり合うことで、発光素子 1 1 7 が形成されている。この後、発光素子 1 1 7 に酸素、水素、水分、二酸化炭素等が侵入しないように、共通電極 1 1 5 及び隔壁 1 1 3 上に保護膜 1 1 6 を形成することが好ましい。保護膜 1 1 6 としては、窒化珪素膜、窒化酸化珪素膜、DLC 膜等を形成することができる。

【 0 2 1 7 】

さらに、実際には、図 2 7 ( B ) まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【 0 2 1 8 】

次に、発光素子の構成について、図 2 8 を用いて説明する。ここでは、駆動用 TFT が n 型の場合を例に挙げて、画素の断面構造について説明する。

【 0 2 1 9 】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。

【 0 2 2 0 】

上面射出構造の発光素子について図 2 8 ( A ) を用いて説明する。

【 0 2 2 1 】

図 2 8 ( A ) に、駆動用 TFT 7 0 0 1 が n 型で、発光素子 7 0 0 2 から発せられる光が陽極 7 0 0 5 側に抜ける場合の、画素の断面図を示す。図 2 8 ( A ) では、発光素子 7 0 0 2 の陰極 7 0 0 3 と駆動用 TFT 7 0 0 1 が電氣的に接続されており、陰極 7 0 0 3 上に発光層 7 0 0 4、陽極 7 0 0 5 が順に積層されている。陰極 7 0 0 3 は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、カルシウム、アルミニウム、フッ化カルシウム、マグネシウム銀合金、リチウムアルミニ

10

20

30

40

50

ウム合金等が望ましい。そして発光層 7004 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 7003 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 7005 は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

#### 【0222】

10

陰極 7003 及び陽極 7005 で発光層 7004 を挟んでいる領域が発光素子 7002 に相当する。図 28 (A) に示した画素の場合、発光素子 7002 から発せられる光は、白抜きの矢印で示すように陽極 7005 側に射出する。

#### 【0223】

次に、下面射出構造の発光素子について図 28 (B) を用いて説明する。駆動用 TFT 7011 が n 型で、発光素子 7012 から発せられる光が陰極 7013 側に射出する場合の、画素の断面図を示す。図 28 (B) では、駆動用 TFT 7011 と電気的に接続された透光性を有する導電性材料 7017 上に、発光素子 7012 の陰極 7013 が成膜されており、陰極 7013 上に発光層 7014、陽極 7015 が順に積層されている。なお、陽極 7015 が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜 7016 が成膜されていてもよい。陰極 7013 は、図 28 (A) の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、5 nm ~ 30 nm 程度）とする。例えば 20 nm の膜厚を有する Al を、陰極 7013 として用いることができる。そして発光層 7014 は、図 28 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7015 は光を透過する必要はないが、図 28 (A) と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜 7016 は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

20

#### 【0224】

30

陰極 7013 及び陽極 7015 で、発光層 7014 を挟んでいる領域が発光素子 7012 に相当する。図 28 (B) に示した画素の場合、発光素子 7012 から発せられる光は、白抜きの矢印で示すように陰極 7013 側に射出する。

#### 【0225】

次に、両面射出構造の発光素子について、図 28 (C) を用いて説明する。図 28 (C) では、駆動用 TFT 7021 と電気的に接続された透光性を有する導電性材料 7027 上に、発光素子 7022 の陰極 7023 が成膜されており、陰極 7023 上に発光層 7024、陽極 7025 が順に積層されている。陰極 7023 は、図 28 (A) の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する Al を、陰極 7023 として用いることができる。そして発光層 7024 は、図 28 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 28 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

40

#### 【0226】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 28 (C) に示した画素の場合、発光素子 7022 から発せられる光は、白抜きの矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

#### 【0227】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 E

50

L素子を設けることも可能である。

【0228】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用TFT）と発光素子が電氣的に接続されている例を示したが、駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

【0229】

なお本実施の形態で示す発光装置は、図28に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0230】

以上の工程により、発光装置を作製することができる。本実施の形態の発光装置は、オフ電流が少なく、電気特性が優れ、信頼性の高い薄膜トランジスタを用いているため、コントラストが高く、視認性の高い発光装置である。また、一導電型の不純物元素を微量に含む微結晶半導体膜を用いてしきい値制御された薄膜トランジスタを用いているため、視認性の高い発光装置を生産性よく作製することができる。

【0231】

（実施の形態8）

本発明の表示装置の一形態である表示パネルの構成について、以下に示す。

【0232】

図29（A）に、信号線駆動回路6013のみを別途形成し、基板6011上に形成された画素部6012と接続している表示パネルの形態を示す。画素部6012及び走査線駆動回路6014は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。微結晶半導体膜を用いた薄膜トランジスタよりも高い移動度が得られるトランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させることができる。なお、信号線駆動回路6013は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いた薄膜トランジスタ、またはSOIを用いたトランジスタであっても良い。画素部6012と、信号線駆動回路6013と、走査線駆動回路6014とに、それぞれ電源の電位、各種信号等が、FPC6015を介して供給される。

【0233】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。

【0234】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えばFPC上に貼り合わせるようにしても良い。図29（B）に、信号線駆動回路6023のみを別途形成し、基板6021上に形成された画素部6022及び走査線駆動回路6024と接続している液晶表示装置パネルの形態を示す。画素部6022及び走査線駆動回路6024は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。信号線駆動回路6023は、FPC6025を介して画素部6022と接続されている。画素部6022と、信号線駆動回路6023と、走査線駆動回路6024とに、それぞれ電源の電位、各種信号等が、FPC6025を介して供給される。

【0235】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、微結晶半導体膜を用いた薄膜トランジスタを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電氣的に接続するようにしても良い。図29（C）に、信号線駆動回路が有するアナログスイッチ6033aを、画素部6032、走査線駆動回路6034と同じ基板6031上に形成し、信号線駆動回路が有するシフトレジスタ6033bを別途異なる基板に形成して貼り合わせる液晶表示装置パネルの形態を示す。画素部6032及び走査線駆動回路6034は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。信号線駆動回路が有するシフトレジスタ6033bは、FPC6035を介して画素部6032と接続

10

20

30

40

50

されている。画素部 6 0 3 2 と、信号線駆動回路と、走査線駆動回路 6 0 3 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 3 5 を介して供給される。

【 0 2 3 6 】

図 2 9 に示すように、本発明の液晶表示装置は、駆動回路の一部または全部を、画素部と同じ基板上に、L P S A S 膜を用いた薄膜トランジスタを用いて形成することができる。

【 0 2 3 7 】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知の C O G 方法、ワイヤボンディング方法、或いは T A B 方法などを用いることができる。また接続する位置は、電気的な接続が可能であるならば、図 2 9 に示した位置に限定されない。また、コントローラ、C P U、メモリ等を別途形成し、接続するようにしても良い。

10

【 0 2 3 8 】

なお本発明で用いる信号線駆動回路は、シフトレジスタとアナログスイッチのみを有する形態に限定されない。シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコード回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

【 0 2 3 9 】

図 3 2 に本発明の液晶表示装置のブロック図を示す。図 3 2 に示す表示装置は、表示素子を備えた画素を複数有する画素部 7 0 1 と、各画素を選択する走査線駆動回路 7 0 2 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 7 0 3 とを有する。

20

【 0 2 4 0 】

図 3 2 において信号線駆動回路 7 0 3 は、シフトレジスタ 7 0 4、アナログスイッチ 7 0 5 を有している。シフトレジスタ 7 0 4 には、クロック信号 ( C L K )、スタートパルス信号 ( S P ) が入力されている。クロック信号 ( C L K ) とスタートパルス信号 ( S P ) が入力されると、シフトレジスタ 7 0 4 においてタイミング信号が生成され、アナログスイッチ 7 0 5 に入力される。

【 0 2 4 1 】

またアナログスイッチ 7 0 5 には、ビデオ信号 ( v i d e o   s i g n a l ) が与えられている。アナログスイッチ 7 0 5 は入力されるタイミング信号に従ってビデオ信号をサンプリングし、後段の信号線に供給する。

30

【 0 2 4 2 】

次に、走査線駆動回路 7 0 2 の構成について説明する。走査線駆動回路 7 0 2 は、シフトレジスタ 7 0 6、バッファ 7 0 7 を有している。また場合によってはレベルシフタを有していても良い。走査線駆動回路 7 0 2 において、シフトレジスタ 7 0 6 にクロック信号 ( C L K ) 及びスタートパルス信号 ( S P ) が入力されることによって、選択信号が生成される。生成された選択信号はバッファ 7 0 7 において緩衝増幅され、対応する走査線に供給される。走査線には、1 ライン分の画素のトランジスタのゲートが接続されている。そして、1 ライン分の画素のトランジスタを一齐に O N にしなくてはならないので、バッファ 7 0 7 は大きな電流を流すことが可能なものが用いられる。

40

【 0 2 4 3 】

フルカラーの液晶表示装置で、R ( 赤 )、G ( 緑 )、B ( 青 ) に対応するビデオ信号を、順にサンプリングして対応する信号線に供給している場合、シフトレジスタ 7 0 4 とアナログスイッチ 7 0 5 とを接続するための端子数が、アナログスイッチ 7 0 5 と画素部 7 0 0 の信号線を接続するための端子数の 1 / 3 程度に相当する。よって、アナログスイッチ 7 0 5 を画素部 7 0 1 と同じ基板上に形成することで、アナログスイッチ 7 0 5 を画素部 7 0 1 と異なる基板上に形成した場合に比べて、別途形成した基板の接続に用いる端子の数を抑えることができ、接続不良の発生確率を抑え、歩留まりを高めることができる。

【 0 2 4 4 】

50



なお、図 3 2 の走査線駆動回路 7 0 2 は、シフトレジスタ 7 0 6、及びバッファ 7 0 7 を有するが、シフトレジスタ 7 0 6 で走査線駆動回路 7 0 2 を構成してもよい。

【 0 2 4 5 】

なお、図 3 2 に示す構成は、本発明の表示装置の一形態を示したに過ぎず、信号線駆動回路と走査線駆動回路の構成はこれに限定されない。

【 0 2 4 6 】

次に、極性が全て同一の L P S A S 膜を用いた薄膜トランジスタを含むシフトレジスタの一形態について図 3 3 及び図 3 4 を用いて説明する。図 3 3 に、本実施の形態のシフトレジスタの構成を示す。図 3 3 に示すシフトレジスタは、複数のフリップフロップ 7 0 1 \_\_ i ( フリップフロップ 7 0 1 \_\_ 1 ~ 7 0 1 \_\_ n のうちいずれか ) で構成される。また、第 1 のクロック信号、第 2 のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

10

【 0 2 4 7 】

図 3 3 のシフトレジスタの接続関係について説明する。図 3 3 のシフトレジスタは、i 段目のフリップフロップ 7 0 1 \_\_ i ( フリップフロップ 7 0 1 \_\_ 1 ~ 7 0 1 \_\_ n のうちいずれか ) は、図 3 4 に示した第 1 の配線 5 0 1 が第 7 の配線 7 1 7 \_\_ i - 1 に接続され、図 3 4 に示した第 2 の配線 5 0 2 が第 7 の配線 7 1 7 \_\_ i + 1 に接続され、図 3 4 に示した第 3 の配線 5 0 3 が第 7 の配線 7 1 7 \_\_ i に接続され、図 3 4 に示した第 6 の配線 5 0 6 が第 5 の配線 7 1 5 に接続される。

【 0 2 4 8 】

20

また、図 3 4 に示した第 4 の配線 5 0 4 が奇数段目のフリップフロップでは第 2 の配線 7 1 2 に接続され、偶数段目のフリップフロップでは第 3 の配線 7 1 3 に接続され、図 3 4 に示した第 5 の配線 5 0 5 が第 4 の配線 7 1 4 に接続される。

【 0 2 4 9 】

ただし、1 段目のフリップフロップ 7 0 1 \_\_ 1 の図 3 4 に示す第 1 の配線 5 0 1 は第 1 の配線 7 1 1 に接続され、n 段目のフリップフロップ 7 0 1 \_\_ n の図 3 4 に示す第 2 の配線 5 0 2 は第 6 の配線 7 1 6 に接続される。

【 0 2 5 0 】

なお、第 1 の配線 7 1 1、第 2 の配線 7 1 2、第 3 の配線 7 1 3、第 6 の配線 7 1 6 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 4 の配線 7 1 4、第 5 の配線 7 1 5 を、それぞれ第 1 の電源線、第 2 の電源線と呼んでもよい。

30

【 0 2 5 1 】

次に、図 3 3 に示すフリップフロップの詳細について、図 3 4 に示す。図 3 4 に示すフリップフロップは、第 1 の薄膜トランジスタ 1 7 1、第 2 の薄膜トランジスタ 1 7 2、第 3 の薄膜トランジスタ 1 7 3、第 4 の薄膜トランジスタ 1 7 4、第 5 の薄膜トランジスタ 1 7 5、第 6 の薄膜トランジスタ 1 7 6、第 7 の薄膜トランジスタ 1 7 7 及び第 8 の薄膜トランジスタ 1 7 8 を有する。本実施の形態において、第 1 の薄膜トランジスタ 1 7 1、第 2 の薄膜トランジスタ 1 7 2、第 3 の薄膜トランジスタ 1 7 3、第 4 の薄膜トランジスタ 1 7 4、第 5 の薄膜トランジスタ 1 7 5、第 6 の薄膜トランジスタ 1 7 6、第 7 の薄膜トランジスタ 1 7 7 及び第 8 の薄膜トランジスタ 1 7 8 は、n チャネル型トランジスタとし、ゲート・ソース間電圧 (  $V_{gs}$  ) がしきい値電圧 (  $V_{th}$  ) を上回ったとき導通状態になるものとする。

40

【 0 2 5 2 】

次に、図 3 3 に示すフリップフロップの接続構成について、以下に示す。

【 0 2 5 3 】

第 1 の薄膜トランジスタ 1 7 1 の第 1 の電極 ( ソース電極またはドレイン電極の一方 ) が第 5 の配線 5 0 4 に接続され、第 1 の薄膜トランジスタ 1 7 1 の第 2 の電極 ( ソース電極またはドレイン電極の他方 ) が第 3 の配線 5 0 3 に接続される。

【 0 2 5 4 】

50

第2の薄膜トランジスタ172の第1の電極が第6の配線506に接続され、第2の薄膜トランジスタ172の第2の電極が第3の配線503に接続される。

【0255】

第3の薄膜トランジスタ173の第1の電極が第5の配線505に接続され、第3の薄膜トランジスタ173の第2の電極が第2の薄膜トランジスタ172のゲート電極に接続され、第3の薄膜トランジスタ173のゲート電極が第5の配線505に接続される。

【0256】

第4の薄膜トランジスタ174の第1の電極が第6の配線506に接続され、第4の薄膜トランジスタ174の第2の電極が第2の薄膜トランジスタ172のゲート電極に接続され、第4の薄膜トランジスタ174のゲート電極が第1の薄膜トランジスタ171のゲート電極に接続される。

10

【0257】

第5の薄膜トランジスタ175の第1の電極が第5の配線505に接続され、第5の薄膜トランジスタ175の第2の電極が第1の薄膜トランジスタ171のゲート電極に接続され、第5の薄膜トランジスタ175のゲート電極が第1の配線501に接続される。

【0258】

第6の薄膜トランジスタ176の第1の電極が第6の配線506に接続され、第6の薄膜トランジスタ176の第2の電極が第1の薄膜トランジスタ171のゲート電極に接続され、第6の薄膜トランジスタ176のゲート電極が第2の薄膜トランジスタ172のゲート電極に接続される。

20

【0259】

第7の薄膜トランジスタ177の第1の電極が第6の配線506に接続され、第7の薄膜トランジスタ177の第2の電極が第1の薄膜トランジスタ171のゲート電極に接続され、第7の薄膜トランジスタ177のゲート電極が第2の配線502に接続される。第8の薄膜トランジスタ178の第1の電極が第6の配線506に接続され、第8の薄膜トランジスタ178の第2の電極が第2の薄膜トランジスタ172のゲート電極に接続され、第8の薄膜トランジスタ178のゲート電極が第1の配線501に接続される。

【0260】

なお、第1の薄膜トランジスタ171のゲート電極、第4の薄膜トランジスタ174のゲート電極、第5の薄膜トランジスタ175の第2の電極、第6の薄膜トランジスタ176の第2の電極及び第7の薄膜トランジスタ177の第2の電極の接続箇所をノード143とする。さらに、第2の薄膜トランジスタ172のゲート電極、第3の薄膜トランジスタ173の第2の電極、第4の薄膜トランジスタ174の第2の電極、第6の薄膜トランジスタ176のゲート電極及び第8の薄膜トランジスタ178の第2の電極の接続箇所をノード144とする。

30

【0261】

なお、第1の配線501、第2の配線502、第3の配線503及び第4の配線504を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第5の配線505を第1の電源線、第6の配線506を第2の電源線と呼んでもよい。

40

【0262】

図34に示したフリップフロップの上面図の一例を図35に示す。

【0263】

導電膜901は、第1の薄膜トランジスタ171の第1の電極として機能する部分を含み、画素電極と同時に形成される配線951を介して第4の配線504と接続される。

【0264】

導電膜902は第1の薄膜トランジスタ171の第2の電極として機能する部分を含み、画素電極と同時に形成される配線952を介して第3の配線503と接続される。

【0265】

導電膜903は、第1のトランジスタのゲート電極、及び第4の薄膜トランジスタ174

50

のゲート電極として機能する部分を含む。

【 0 2 6 6 】

導電膜 9 0 4 は、第 2 の薄膜トランジスタ 1 7 2 の第 1 の電極、第 6 の薄膜トランジスタ 1 7 6 の第 1 の電極、第 4 の薄膜トランジスタ 1 7 4 の第 1 の電極、及び第 8 の薄膜トランジスタ 1 7 8 の第 1 の電極として機能する部分を含み、第 6 の配線 5 0 6 と接続される。

【 0 2 6 7 】

導電膜 9 0 5 は、第 2 の薄膜トランジスタ 1 7 2 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 9 5 4 を介して第 3 の配線 5 0 3 と接続される。

【 0 2 6 8 】

導電膜 9 0 6 は第 2 の薄膜トランジスタ 1 7 2 のゲート電極、及び第 6 のトランジスタのゲート電極として機能する部分を含む。

【 0 2 6 9 】

導電膜 9 0 7 は、第 3 の薄膜トランジスタ 1 7 3 の第 1 の電極として機能する部分を含み、配線 9 5 5 を介して第 5 の配線 5 0 5 と接続される。

【 0 2 7 0 】

導電膜 9 0 8 は、第 3 の薄膜トランジスタ 1 7 3 の第 2 の電極、及び第 4 の薄膜トランジスタ 1 7 4 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 9 5 6 を介して導電膜 9 0 6 と接続される。

【 0 2 7 1 】

導電膜 9 0 9 は、第 3 の薄膜トランジスタ 1 7 3 のゲート電極として機能する部分を含み、配線 9 5 5 を介して第 5 の配線 5 0 5 と接続される。

【 0 2 7 2 】

導電膜 9 1 0 は、第 5 の薄膜トランジスタ 1 7 5 の第 1 の電極として機能する部分を含み、画素電極と同時に形成される配線 9 5 9 を介して第 5 の配線 5 0 5 と接続される。

【 0 2 7 3 】

導電膜 9 1 1 は、第 5 の薄膜トランジスタ 1 7 5 の第 2 の電極、及び第 7 の薄膜トランジスタ 1 7 7 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 9 5 8 を介して導電膜 9 0 3 と接続される。

【 0 2 7 4 】

導電膜 9 1 2 は、第 5 の薄膜トランジスタ 1 7 5 のゲート電極として機能する部分を含み、画素電極と同時に形成される配線 9 6 0 を介して第 1 の配線 5 0 1 と接続される。

【 0 2 7 5 】

導電膜 9 1 3 は、第 6 の薄膜トランジスタ 1 7 6 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 9 5 7 を介して導電膜 9 0 3 と接続される。

【 0 2 7 6 】

導電膜 9 1 4 は、第 7 の薄膜トランジスタ 1 7 7 のゲート電極として機能する部分を含み、画素電極と同時に形成される配線 9 6 2 を介して第 2 の配線 5 0 2 と接続される。

【 0 2 7 7 】

導電膜 9 1 5 は、第 8 の薄膜トランジスタ 1 7 8 のゲート電極として機能する部分を含み、画素電極と同時に形成される配線 9 6 1 を介して導電膜 9 1 2 と接続される。

【 0 2 7 8 】

導電膜 9 1 6 は、第 8 の薄膜トランジスタ 1 7 8 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 9 5 3 を介して導電膜 9 0 6 と接続される。

【 0 2 7 9 】

図 3 2 乃至図 3 4 に示したような回路を、微結晶半導体を用いたトランジスタで構成した液晶表示装置は、回路を高速に動作させることが出来る。例えば、非晶質半導体膜を用いた場合と L P S A S 膜を用いた場合とを比較すると、L P S A S 膜を用いた場合の方が、トランジスタの移動度が大きいため、駆動回路（例えば走査線駆動回路 7 0 2 のシフトレジスタ 7 0 6 ）の駆動周波数を高くすることが可能となる。走査線駆動回路 7 0 2 を高速

10

20

30

40

50

に動作させることが出来るため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することが出来る。

#### 【 0 2 8 0 】

フレーム周波数を上げる場合は、画像の動きの方向に応じて、画面のデータを生成することが望ましい。つまり、動き補償を行って、データを補間することが望ましい。このように、フレーム周波数を上げ、画像データを補間することにより、動画の表示特性が改善され、滑らかな表示を行うことが出来る。例えば、2倍（例えば120ヘルツ、100ヘルツ）以上、より好ましくは4倍（例えば480ヘルツ、400ヘルツ）以上により、動画における画像のぼけや残像を低減することが出来る。その場合、走査線駆動回路702も、駆動周波数を高くして、動作させることにより、フレーム周波数を上げるこ

10

#### 【 0 2 8 1 】

黒画面挿入を行う場合は、画像データもしくは黒表示となるデータを画素部701に供給できるようにする。その結果、インパルス駆動に近い形となり、残像を低減することが出来る。その場合、走査線駆動回路702も、駆動周波数を高くして、動作させることにより、黒画面挿入を行うことが出来る。

#### 【 0 2 8 2 】

さらに、走査線駆動回路702のトランジスタのチャネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することが出来る。例えば8倍（例えば960ヘルツ、800ヘルツ）以上のフレーム周波数とすることが出来る。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することが出来る。一例としては、第2の薄膜トランジスタ172のチャネル幅は、300 $\mu$ m以上、より望ましくは、1000 $\mu$ m以上であることが望ましい。

20

#### 【 0 2 8 3 】

なお、図32乃至図34に示したような回路を、微結晶半導体を用いたトランジスタで構成することにより、レイアウト面積を小さくすることが出来る。そのため、表示装置の一例である液晶表示装置の額縁を小さくすることが出来る。例えば、非晶質半導体膜を用いた場合とLPSS膜を用いた場合とを比較すると、LPSS膜を用いた場合の方が、トランジスタの移動度が大きいため、トランジスタのチャネル幅を小さくすることが出来る。その結果、液晶表示装置を狭額縁化させることが可能となる。一例としては、第2の薄膜トランジスタ172のチャネル幅は、3000 $\mu$ m以下、より望ましくは、2000 $\mu$ m以下であることが望ましい。

30

#### 【 0 2 8 4 】

なお、図34における第2の薄膜トランジスタ172は、第3の配線503にローレベルの信号を出力する期間が長い。その間、第2の薄膜トランジスタ172は、ずっとオン状態になっている。したがって、第2の薄膜トランジスタ172には、強いストレスが加わり、トランジスタ特性が劣化しやすくなっている。トランジスタ特性が劣化すると、しきい値電圧が徐々に大きくなっていく。その結果、電流値が小さくなっていく。そこで、トランジスタが劣化しても、十分な電流を供給できるようにするため、第2の薄膜トランジスタ172のチャネル幅は大きいことが望ましい。あるいは、トランジスタが劣化しても、回路動作に支障がないように、補償されていることが望ましい。例えば、第2の薄膜トランジスタ172と並列に、トランジスタを配置し、第2の薄膜トランジスタ172と交互にオン状態となるようにすることによって、劣化の影響を受けにくくすることが望ましい。

40

#### 【 0 2 8 5 】

しかしながら、非晶質半導体膜を用いた場合とLPSS膜を用いた場合とを比較すると、LPSS膜を用いた場合の方が、劣化しにくい。したがって、LPSS膜を用いた場合は、トランジスタのチャネル幅を小さくすることが出来る。または、劣化に対する補

50

償用の回路を配置しなくても正常に動作させることが出来る。これらにより、画素１つ当たりのトランジスタの平面面積を小さくすることが出来る。

【０２８６】

（実施の形態９）

本発明の表示装置の一形態に相当する液晶表示パネルの外観及び断面について、図３６を用いて説明する。図３６（Ａ）は、第１の基板４００１上に形成されたＬＰＳＡＳ膜を有する薄膜トランジスタ４０１０及び液晶素子４０１３を、第２の基板４００６との間にシール材４００５によって封止した、パネルの上面図であり、図３６（Ｂ）は、図３６（Ａ）のＡ－Ａ'における断面図相当する。

【０２８７】

第１の基板４００１上に設けられた画素部４００２と、走査線駆動回路４００４とを囲むようにして、シール材４００５が設けられている。また画素部４００２と、走査線駆動回路４００４の上に第２の基板４００６が設けられている。よって画素部４００２と、走査線駆動回路４００４とは、第１の基板４００１とシール材４００５と第２の基板４００６とによって、液晶４００８と共に封止されている。また第１の基板４００１上のシール材４００５によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路４００３が実装されている。なお本実施の形態では、多結晶半導体膜を用いた薄膜トランジスタを有する信号線駆動回路を、第１の基板４００１に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図３６では、信号線駆動回路４００３に含まれる、多結晶半導体膜で形成された薄膜トランジスタ４００９を例示する。

【０２８８】

また第１の基板４００１上に設けられた画素部４００２と、走査線駆動回路４００４は、薄膜トランジスタを複数有しており、図３６（Ｂ）では、画素部４００２に含まれる薄膜トランジスタ４０１０とを例示している。薄膜トランジスタ４０１０はＬＰＳＡＳ膜を用いた薄膜トランジスタに相当する。

【０２８９】

また４０１３は液晶素子に相当し、液晶素子４０１３が有する画素電極４０３０は、薄膜トランジスタ４０１０と電氣的に接続されている。そして液晶素子４０１３の対向電極４０３１は第２の基板４００６上に形成されている。画素電極４０３０と対向電極４０３１と液晶４００８とが重なっている部分が、液晶素子４０１３に相当する。

【０２９０】

なお、第１の基板４００１、第２の基板４００６としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、ＦＲＰ（Ｆｉｂｅｒ ｇｌａｓｓ－Ｒｅｉｎｆｏｒｃｅｄ ｐｌａｓｔｉｃｓ）板、ＰＶＦ（ポリビニルフルオライド）フィルム、ポリエステルフィルム、またはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをＰＶＦフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【０２９１】

また４０３５は球状のスペーサであり、画素電極４０３０と対向電極４０３１との間の距離（セルギャップ）を制御するために設けられている。なお絶縁膜を選択的にエッチングすることで得られるスペーサを用いていても良い。

【０２９２】

また別途形成された信号線駆動回路４００３と、走査線駆動回路４００４または画素部４００２に与えられる各種信号及び電位は、引き回し配線４０１４、４０１５を介して、ＦＰＣ４０１８から供給されている。

【０２９３】

本実施の形態では、接続端子４０１６が、液晶素子４０１３が有する画素電極４０３０と同じ導電膜から形成されている。また、引き回し配線４０１４、４０１５は、薄膜トランジスタ４０１０のソース電極またはドレイン電極と同じ導電膜で形成されている。

## 【 0 2 9 4 】

接続端子 4 0 1 6 は、F P C 4 0 1 8 が有する端子と、異方性導電膜 4 0 1 9 を介して電氣的に接続されている。

## 【 0 2 9 5 】

なお図示していないが、本実施の形態に示した液晶表示装置は配向膜、偏光板を有し、更にカラーフィルタや遮蔽膜を有していても良い。

## 【 0 2 9 6 】

また図 3 6 では、信号線駆動回路 4 0 0 3 を別途形成し、第 1 の基板 4 0 0 1 に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

10

## 【 0 2 9 7 】

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可能である。

## 【 0 2 9 8 】

## ( 実施の形態 1 0 )

次に、本発明の表示装置の一形態に相当する発光表示パネルの外観及び断面について、図 3 7 ( A ) を用いて説明する。図 3 7 は、第 1 の基板上に形成された L P S A S 膜を用いた薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの上面図であり、図 3 7 ( B ) は、図 3 7 ( A ) の A - A ' における断面図に相当する。

20

## 【 0 2 9 9 】

第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 とを囲むようにして、シール材 4 0 0 5 が設けられている。また画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 の上に第 2 の基板 4 0 0 6 が設けられている。よって画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 とは、第 1 の基板 4 0 0 1 とシール材 4 0 0 5 と第 2 の基板 4 0 0 6 とによって、充填材 4 0 0 7 と共に密封されている。また第 1 の基板 4 0 0 1 上のシール材 4 0 0 5 によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路 4 0 0 3 が実装されている。なお本実施の形態では、多結晶半導体膜を用いた薄膜トランジスタを有する信号線駆動回路を、第 1 の基板 4 0 0 1 に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図 3 7 では、信号線駆動回路 4 0 0 3 に含まれる、多結晶半導体膜で形成された薄膜トランジスタ 4 0 0 9 を例示する。

30

## 【 0 3 0 0 】

また第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 は、薄膜トランジスタを複数有しており、図 3 7 ( B ) では、画素部 4 0 0 2 に含まれる薄膜トランジスタ 4 0 1 0 とを例示している。なお本実施の形態では、薄膜トランジスタ 4 0 1 0 が駆動用 T F T であると仮定するが、薄膜トランジスタ 4 0 1 0 は電流制御用 T F T であっても良いし、消去用 T F T であっても良い。薄膜トランジスタ 4 0 1 0 は L P S A S 膜を用いた薄膜トランジスタに相当する。

40

## 【 0 3 0 1 】

また 4 0 1 1 は発光素子に相当し、発光素子 4 0 1 1 が有する画素電極は、薄膜トランジスタ 4 0 1 0 のソース電極またはドレイン電極と、配線 4 0 1 7 を介して電氣的に接続されている。そして本実施の形態では、発光素子 4 0 1 1 の透光性を有する導電性材料 4 0 1 2 が電氣的に接続されている。なお発光素子 4 0 1 1 の構成は、本実施の形態に示した構成に限定されない。発光素子 4 0 1 1 から取り出す光の方向や、薄膜トランジスタ 4 0 1 0 の極性などに合わせて、発光素子 4 0 1 1 の構成は適宜変えることができる。

## 【 0 3 0 2 】

また、別途形成された信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 または画素部 4 0 0 2 に与えられる各種信号及び電位は、引き回し配線 4 0 1 4 及び 4 0 1 5 を介し

50

て、F P C 4 0 1 8 から供給されている。

【 0 3 0 3 】

本実施の形態では、接続端子 4 0 1 6 が、配線 4 0 1 7 が有する画素電極と同じ導電膜から形成されている。また、引き回し配線 4 0 1 4、4 0 1 5 は、薄膜トランジスタ 4 0 1 0 のソース電極またはドレイン電極と同じ導電膜から形成されている。

【 0 3 0 4 】

接続端子 4 0 1 6 は、F P C 4 0 1 8 が有する端子と、異方性導電膜 4 0 1 9 を介して電氣的に接続されている。

【 0 3 0 5 】

発光素子 4 0 1 1 からの光の取り出し方向に位置する基板は、透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

10

【 0 3 0 6 】

また、充填材 4 0 0 7 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、P V C (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、P V B (ポリビニルブチラル)またはE V A (エチレンビニルアセテート)を用いることができる。本実施の形態では充填材として窒素を用いた。

【 0 3 0 7 】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板(楕円偏光板を含む)、位相差板( / 4 板、 / 2 板)、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

20

【 0 3 0 8 】

なお、図 3 7 では、信号線駆動回路 4 0 0 3 を別途形成し、第 1 の基板 4 0 0 1 に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【 0 3 0 9 】

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可能である。

30

【 0 3 1 0 】

(実施の形態 1 1 )

本発明により得られる表示装置等によって、アクティブマトリクス型表示装置モジュールに用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【 0 3 1 1 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図 3 0 に示す。

40

【 0 3 1 2 】

図 3 0 ( A ) はテレビジョン装置である。表示モジュールを、図 3 0 ( A ) に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。F P C まで取り付けられた表示パネルのことを表示モジュールとも呼ぶ。表示モジュールにより主画面 2 0 0 3 が形成され、その他付属設備としてスピーカ部 2 0 0 9、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

【 0 3 1 3 】

図 3 0 ( A ) に示すように、筐体 2 0 0 1 に表示素子を利用した表示用パネル 2 0 0 2 が組みこまれ、受信機 2 0 0 5 により一般のテレビ放送の受信をはじめ、モデム 2 0 0 4

50

を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双方向（送信者と受信者間、又は受信者間同士）の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機 2006 により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部 2007 が設けられていても良い。

#### 【0314】

また、テレビジョン装置にも、主画面 2003 の他にサブ画面 2008 を第 2 の表示用パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面 2003 を視野角の優れた液晶表示パネルで形成し、サブ画面を低消費電力で表示可能な発光表示パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面 2003 を発光表示パネルで形成し、サブ画面を発光表示パネルで形成し、サブ画面は点滅可能とする構成としても良い。

10

#### 【0315】

図 31 はテレビ装置の主要な構成を示すブロック図を示している。表示パネル 900 には、画素部 921 が形成されている。信号線駆動回路 922 と走査線駆動回路 923 は、表示パネル 900 に COG 方式により実装されていても良い。

#### 【0316】

その他の外部回路の構成として、映像信号の入力側では、チューナ 924 で受信した信号のうち、映像信号を増幅する映像信号増幅回路 925 と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 926 と、その映像信号をドライバ IC の入力仕様に変換するためのコントロール回路 927 などを有している。コントロール回路 927 は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路 928 を設け、入力デジタル信号を m 個に分割して供給する構成としても良い。

20

#### 【0317】

チューナ 924 で受信した信号のうち、音声信号は、音声信号増幅回路 929 に送られ、その出力は音声信号処理回路 930 を経てスピーカ 933 に供給される。制御回路 931 は受信局（受信周波数）や音量の制御情報を入力部 932 から受け、チューナ 924 や音声信号処理回路 930 に信号を送出する。

#### 【0318】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

30

#### 【0319】

図 30（B）は携帯電話機 2301 の一例を示している。この携帯電話機 2301 は、表示部 2302、操作部 2303 などを含んで構成されている。表示部 2302 においては、上記実施の形態で説明した表示装置を適用することで、量産性を高めることができる。

#### 【0320】

また、図 30（C）に示す携帯型のコンピュータは、本体 2401、表示部 2402 等を含んでいる。表示部 2402 に、上記実施の形態に示す表示装置を適用することにより、量産性を高めることができる。

40

#### 【0321】

図 30（D）は卓上照明器具であり、照明部 2501、傘 2502、可変アーム 2503、支柱 2504、台 2505、電源 2506 を含む。本発明の発光装置を照明部 2501 に用いることにより作製される。なお、照明器具には天井固定型の照明器具または壁掛け型の照明器具なども含まれる。上記実施の形態に示す表示装置を適用することにより、量産性を高めることができ、安価な卓上照明器具を提供することができる。

#### 【符号の説明】

#### 【0322】

23a：微結晶半導体膜

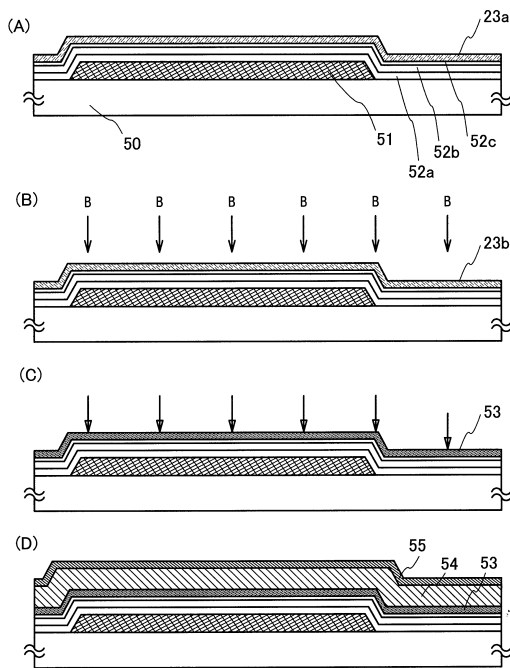
50



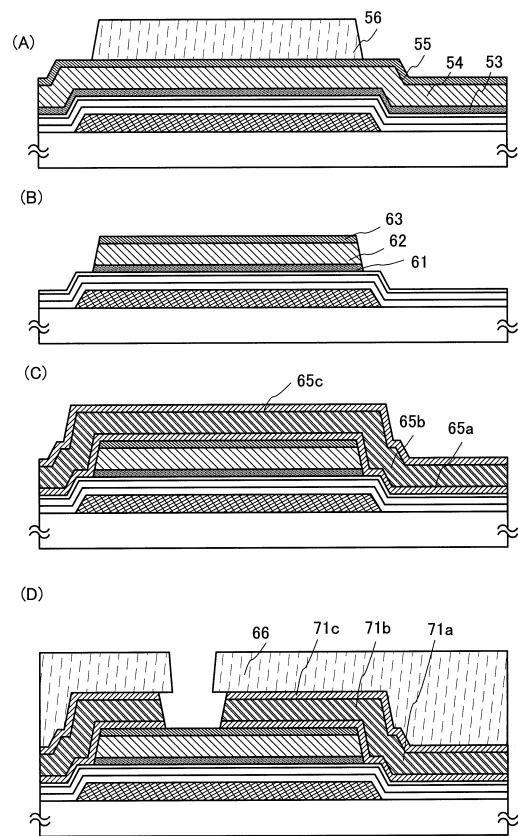
2 3 b : ボロンを含む微結晶半導体膜	
3 3 a : L P S A S 膜	
3 3 b : ボロンを含む微結晶半導体膜	
4 3 : 微結晶半導体膜	
5 0 : 基板	
5 1 : ゲート電極	
5 2 a、5 2 b、5 2 c : ゲート絶縁膜	
5 3 : L P S A S 膜	
5 4 : バッファ層	
5 5 : 一導電型を付与する不純物が添加された半導体膜	10
5 6 : レジストマスク	
5 9 : 多階調マスク	
6 1 : L P S A S 膜	
6 2 : バッファ層	
6 3 : 一導電型を付与する不純物が添加された半導体膜	
6 5 a、6 5 b、6 5 c : 導電膜	
6 6 : レジストマスク	
7 1 a、7 1 b、7 1 c : ソース電極及びドレイン電極	
7 2 : ソース領域及びドレイン領域	
7 3 : バッファ層	20
7 4 : 薄膜トランジスタ	
7 6 : 絶縁膜	
7 7 : 画素電極	
8 0 : レジスト	
8 1 : レジストマスク	
8 3 : 薄膜トランジスタ	
8 5 a ~ 8 5 c : 導電膜	
8 7 : バッファ層	
8 6 : レジストマスク	
8 8 : ソース領域及びドレイン領域	30
9 0 : L P S A S 膜	
9 2 a、9 2 b、9 2 c : ソース電極及びドレイン電極	
1 1 1 : 平坦化膜	

【 図面 】

【 図 1 】



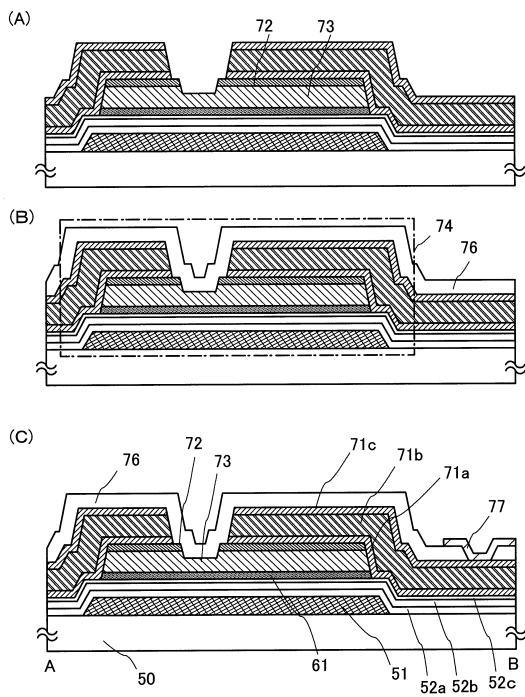
【圖 2】



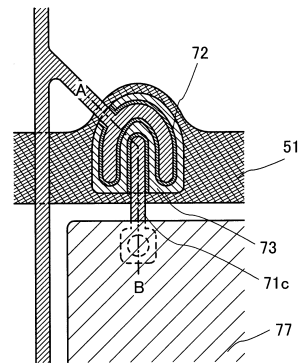
10

20

【 図 3 】



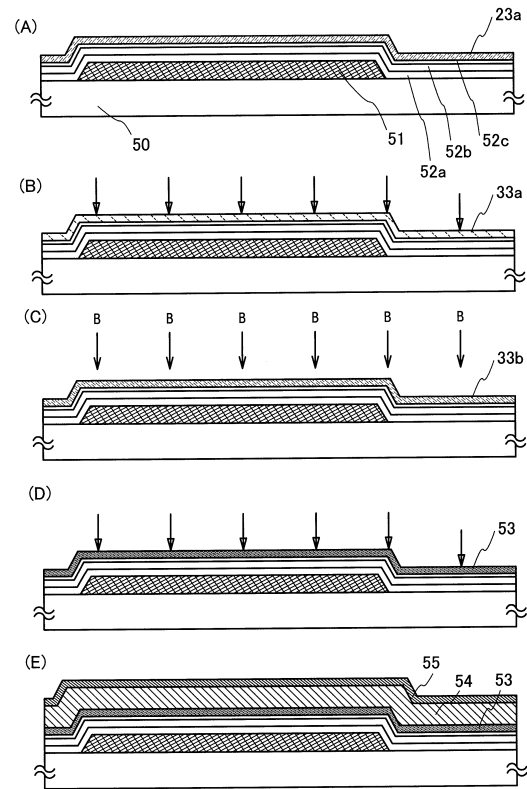
【 図 4 】



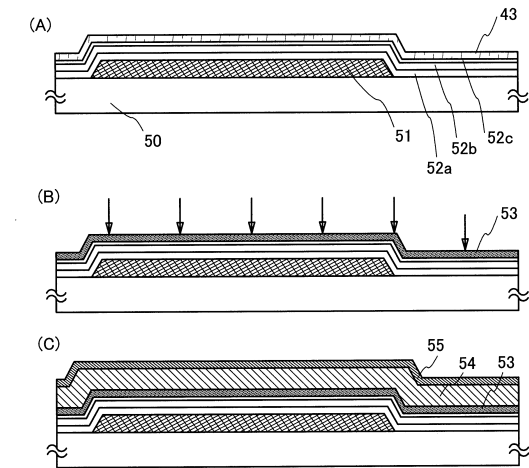
30

40

【図 5】



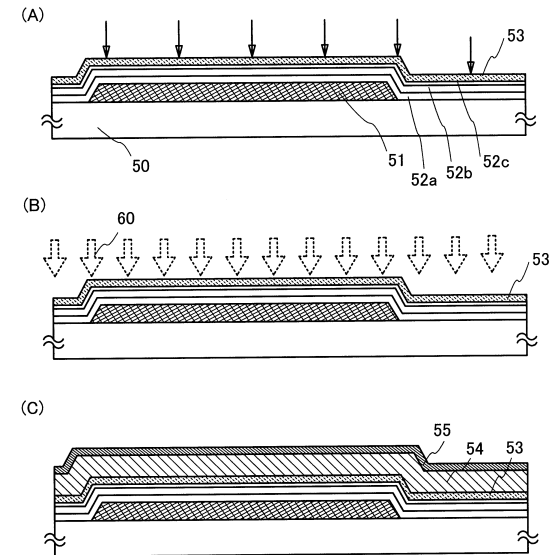
【図 6】



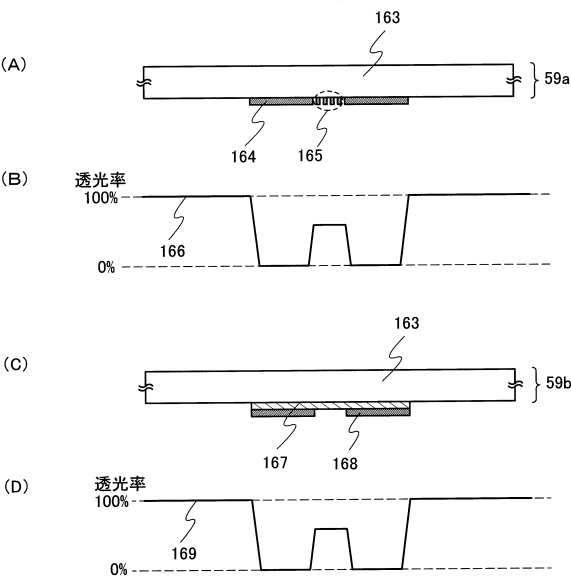
10

20

【図 7】



【図 8】

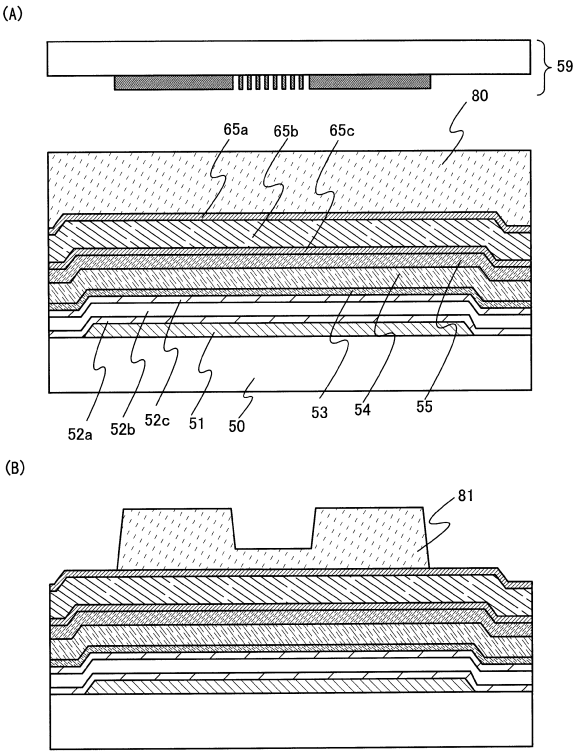


30

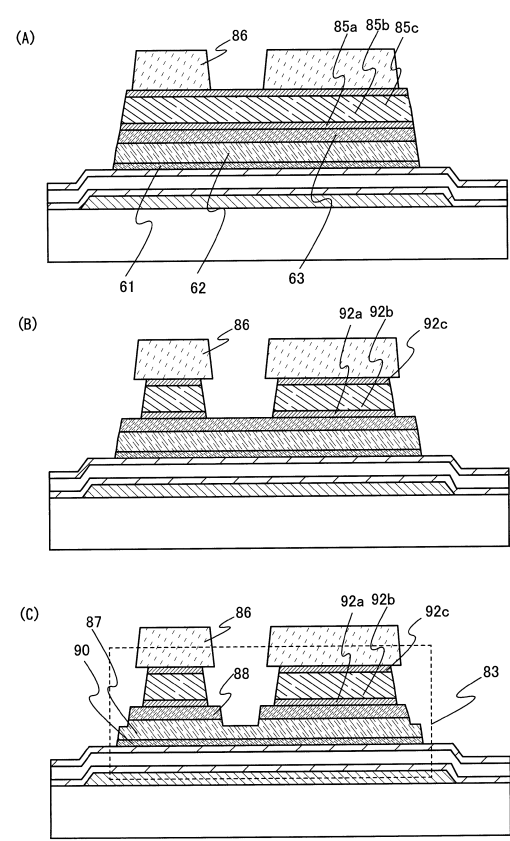
40

50

【図 9】



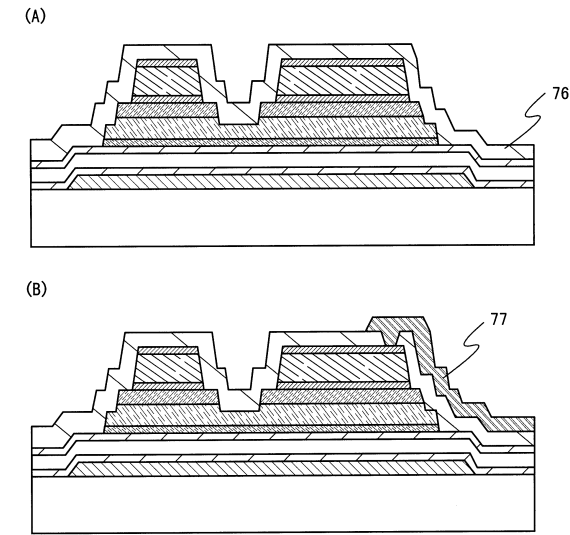
【図 10】



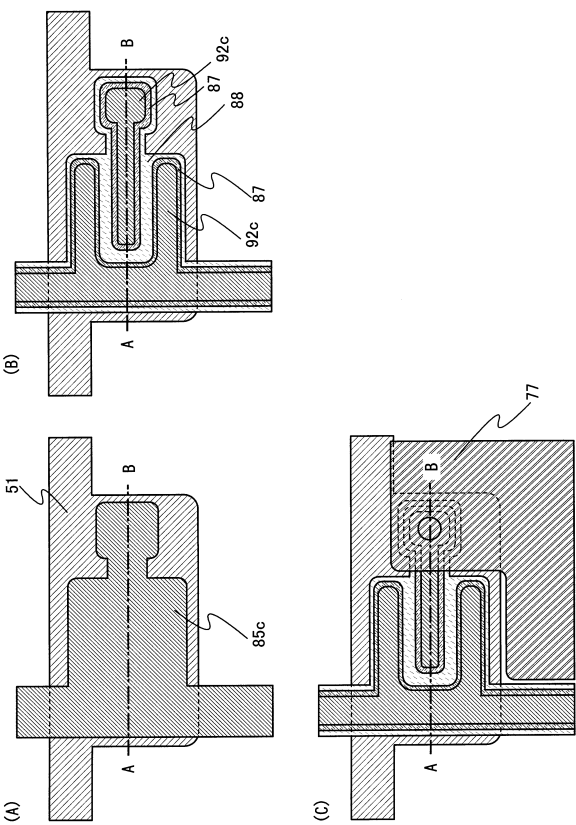
10

20

【図 11】



【図 12】

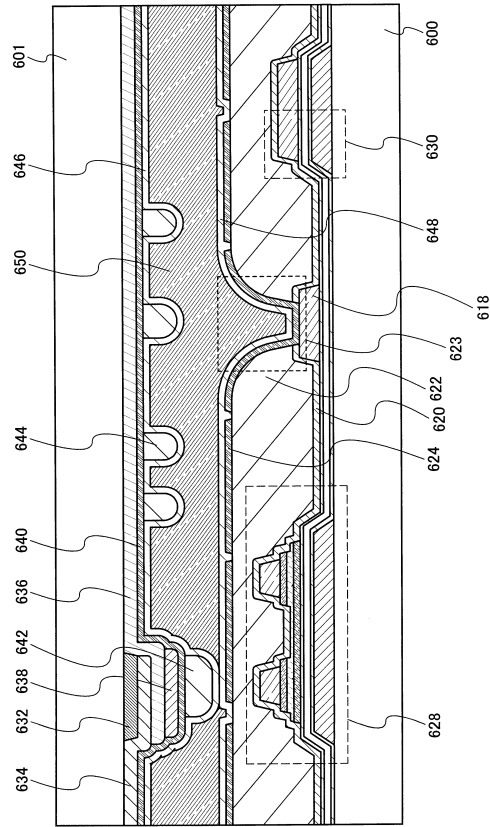


30

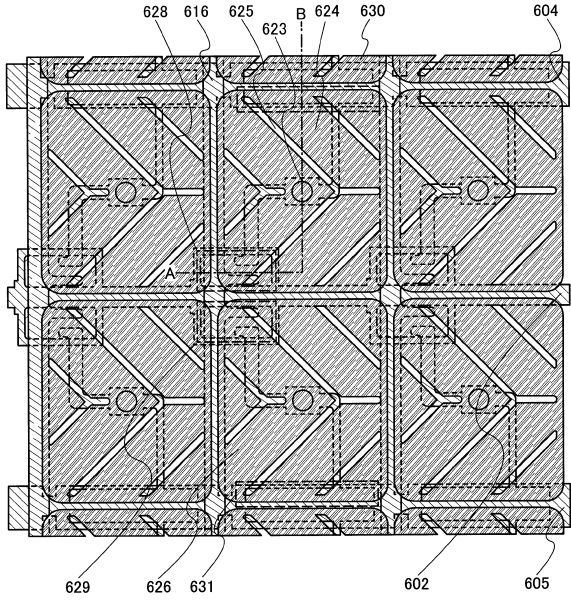
40

50

【図 1 3】



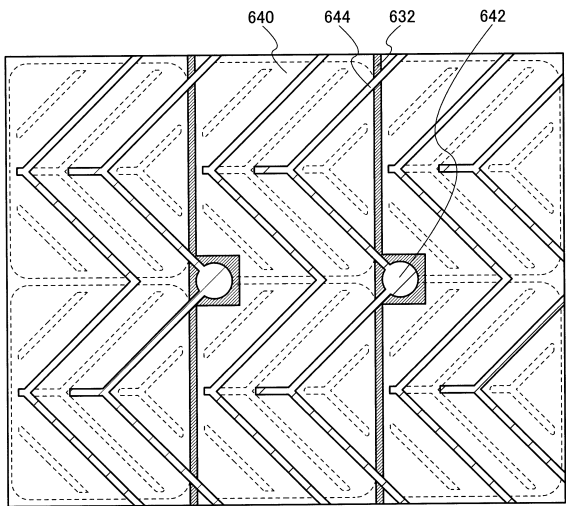
【図 1 4】



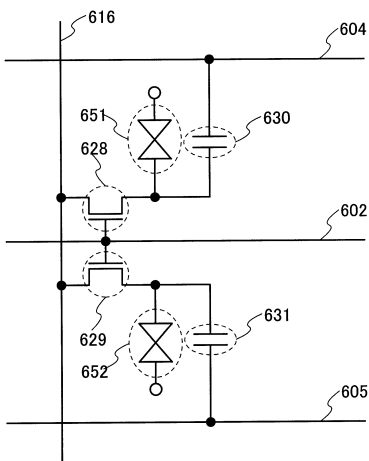
10

20

【図 1 5】



【図 1 6】

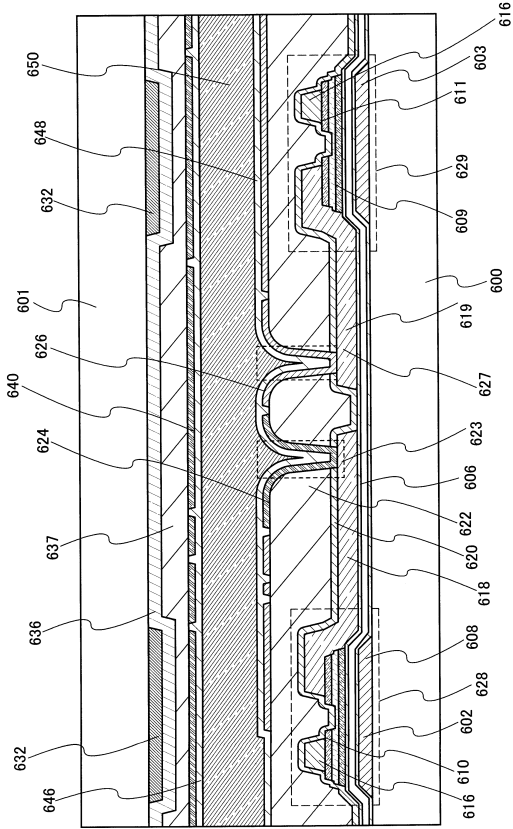


30

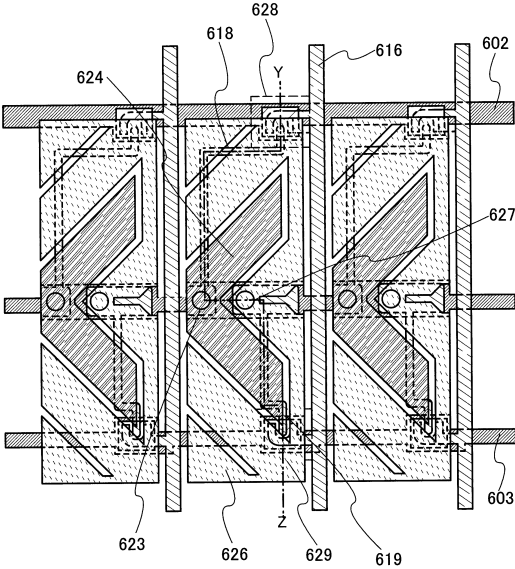
40

50

【図 17】



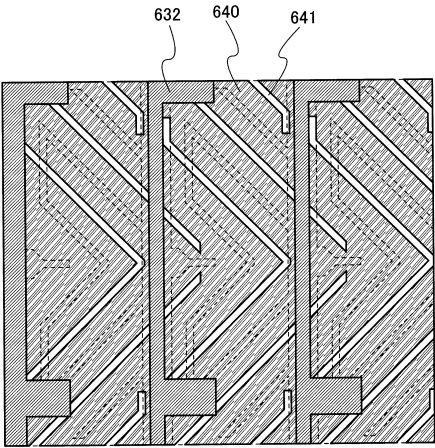
【図 18】



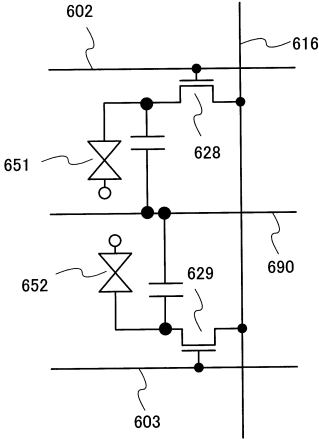
10

20

【図 19】



【図 20】

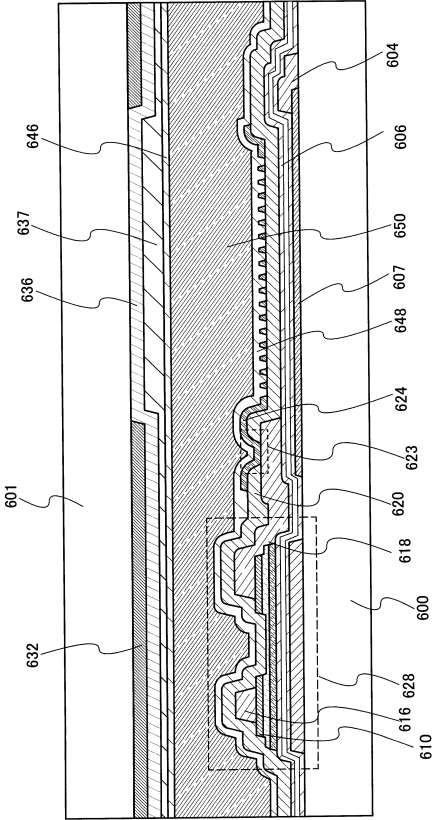


30

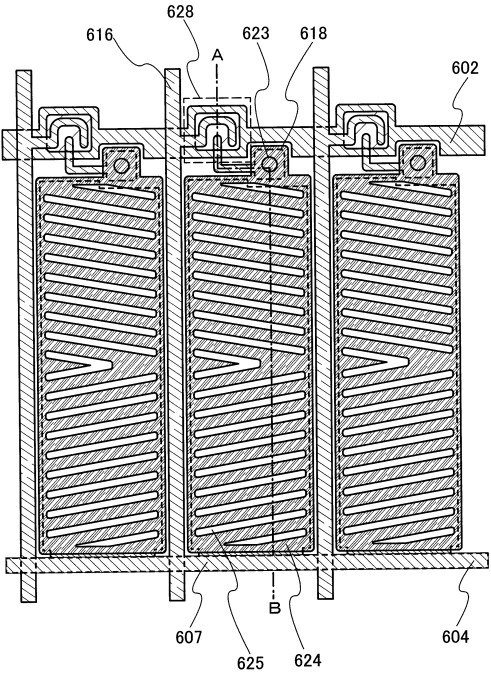
40

50

【図 2 1】



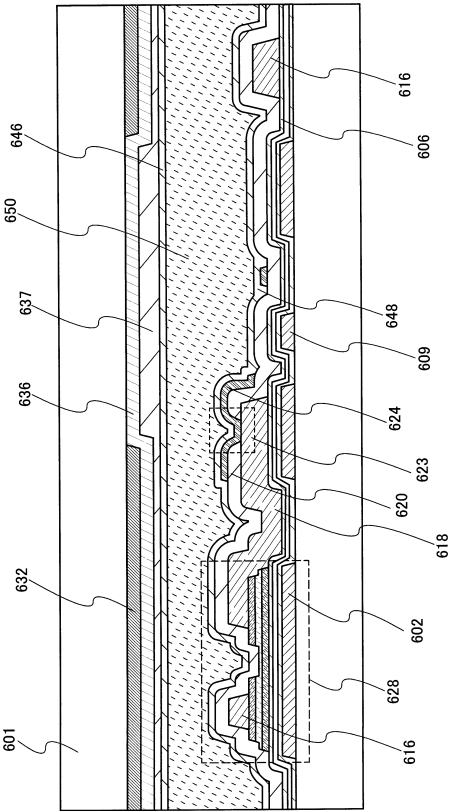
【図 2 2】



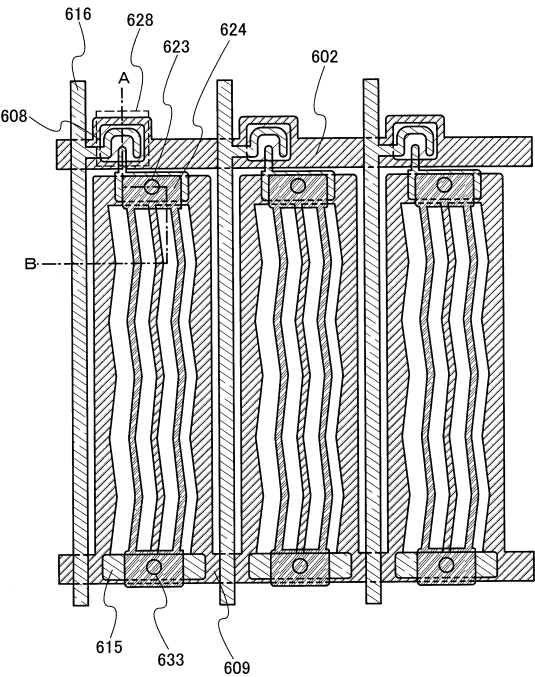
10

20

【図 2 3】



【図 2 4】

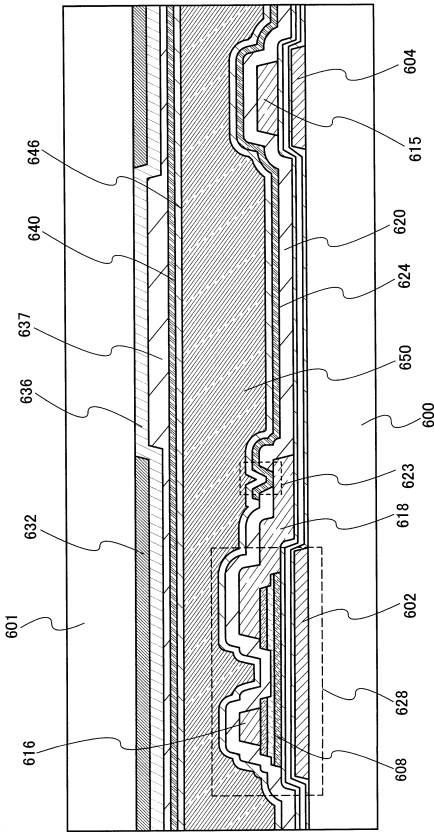


30

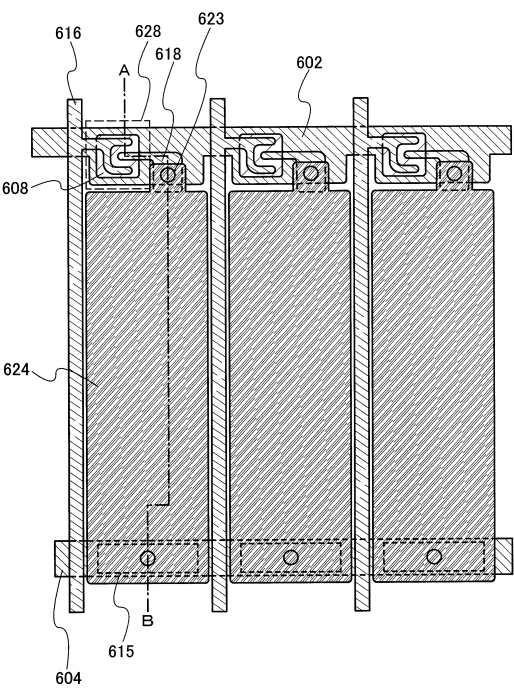
40

50

【図 2 5】



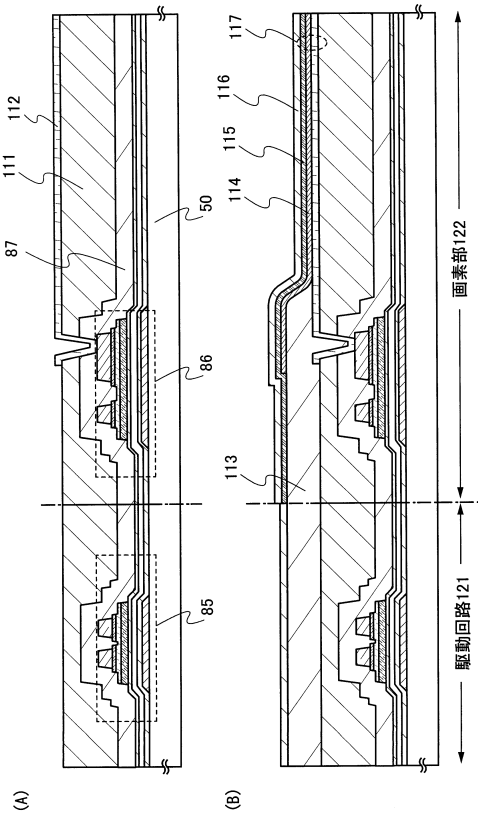
【図 2 6】



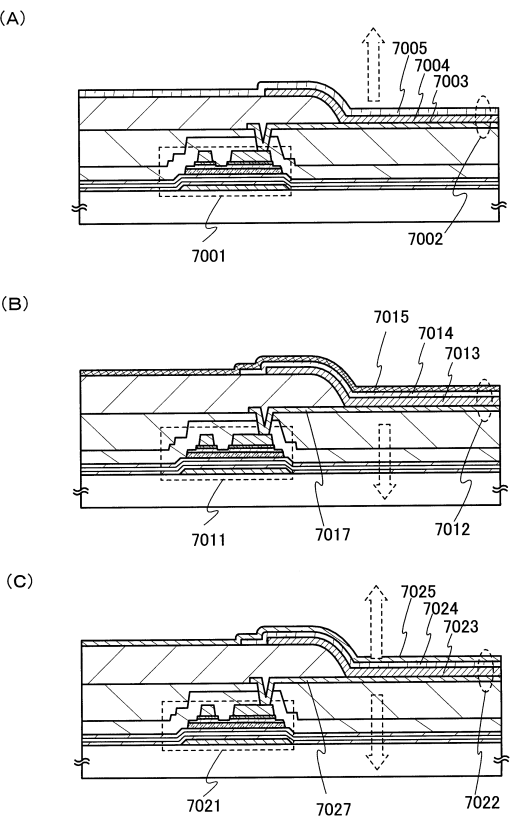
10

20

【図 2 7】



【図 2 8】



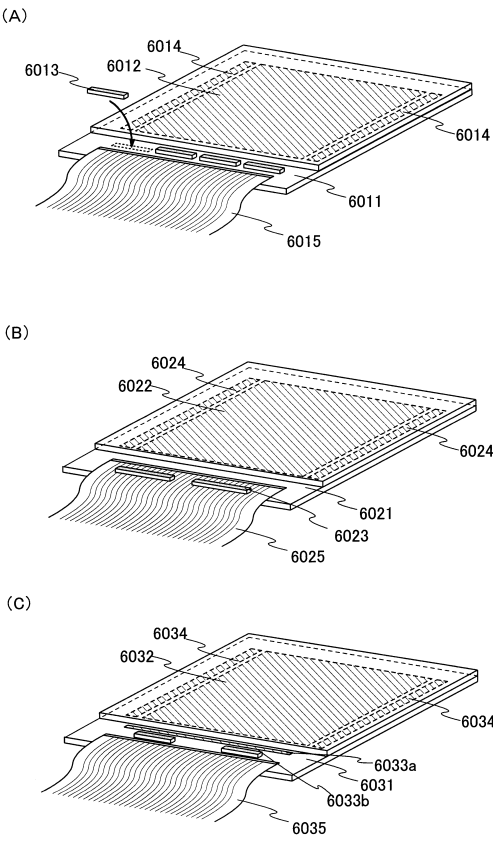
30

40

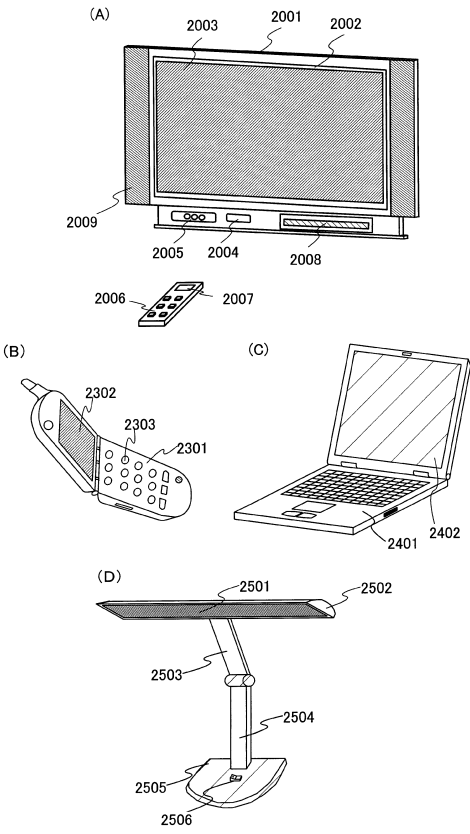
50



【図 29】



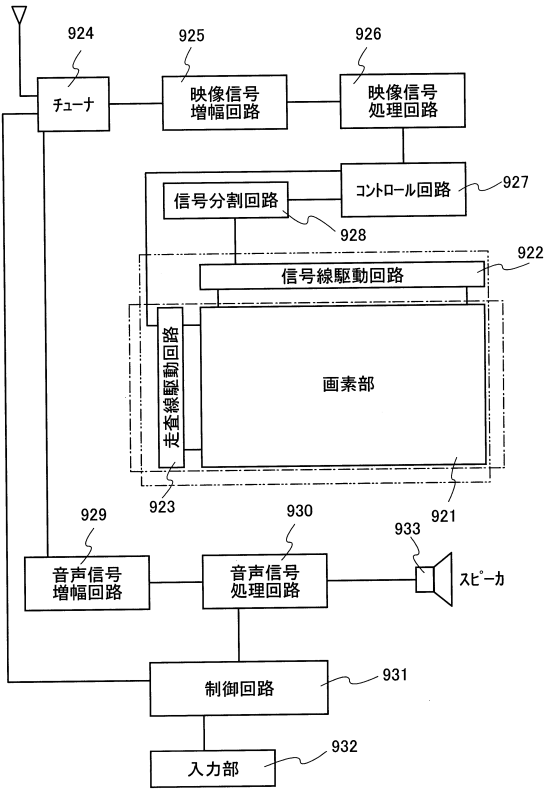
【図 30】



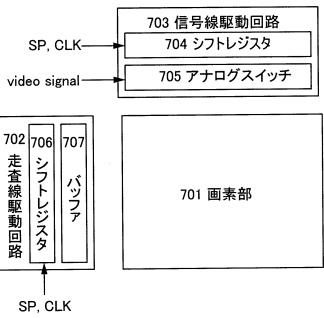
10

20

【図 31】



【図 32】

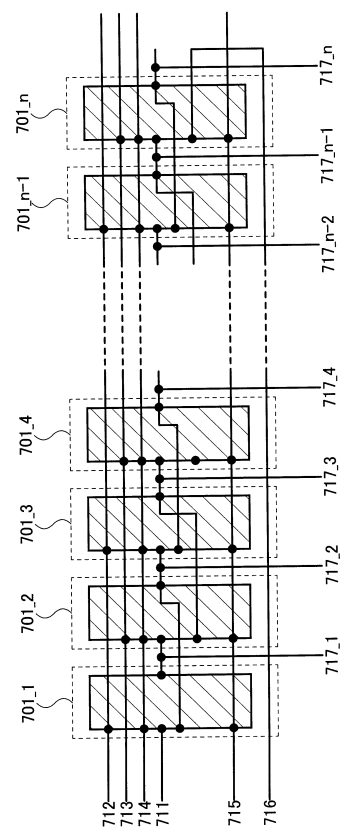


30

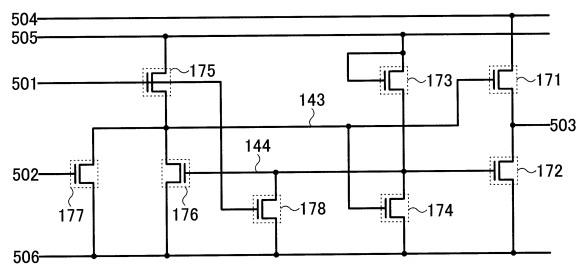
40

50

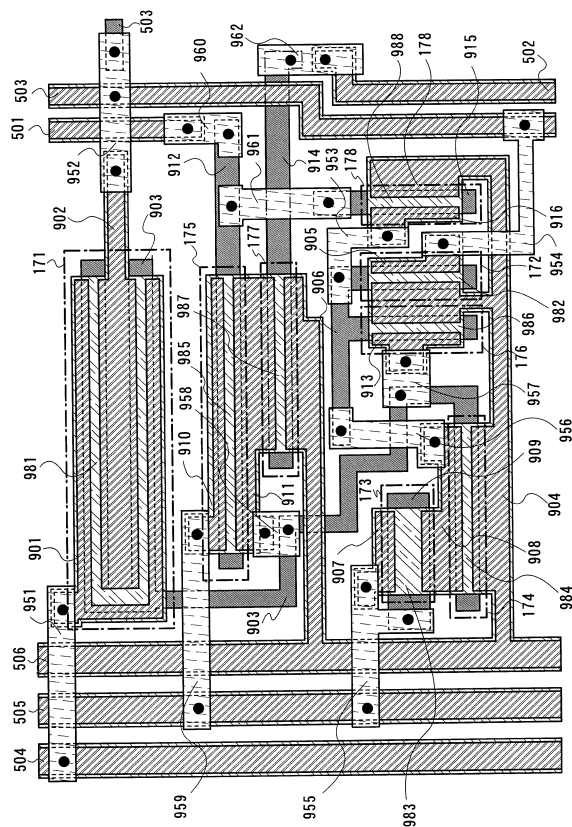
【 図 3 3 】



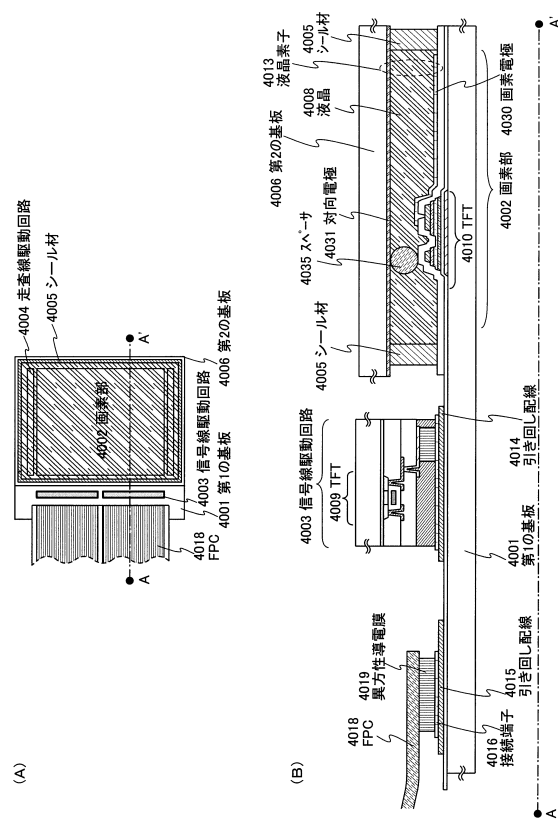
【 図 3 4 】



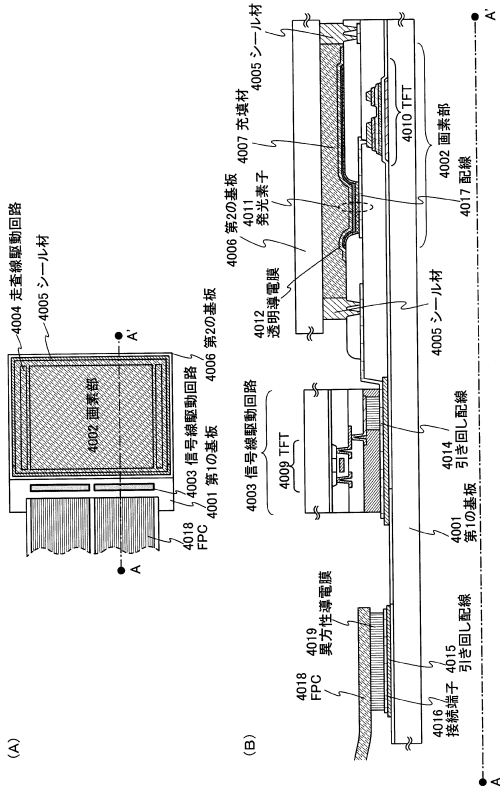
【 図 3 5 】



【圖 3 6】



【図 37】



10

20

30

40

50

---

フロントページの続き

- (56)参考文献 特開 2 0 0 4 - 0 7 8 1 7 2 ( J P , A )  
特開 2 0 0 6 - 2 9 3 2 9 9 ( J P , A )  
特開 2 0 0 6 - 1 0 8 6 1 2 ( J P , A )  
特開 2 0 0 8 - 1 0 7 8 0 7 ( J P , A )  
特表 2 0 0 5 - 5 2 7 8 5 6 ( J P , A )  
特開 2 0 0 5 - 1 5 9 3 3 1 ( J P , A )
- (58)調査した分野 (Int.Cl. , D B 名)  
H 1 0 D 8 6 / 6 0  
H 1 0 D 8 6 / 4 0  
G 0 9 G 3 / 3 6  
G 0 9 G 3 / 2 0  
G 1 1 C 1 9 / 2 8