



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년11월10일
(11) 등록번호 10-0867926
(24) 등록일자 2008년11월04일

(51) Int. Cl.

H05B 33/02 (2006.01) H05B 33/26 (2006.01)

(21) 출원번호 10-2007-0061256
(22) 출원일자 2007년06월21일
심사청구일자 2007년06월21일

(56) 선행기술조사문헌
KR1020070012979 A
KR1020060050204 A
KR1020040021845 A
KR1020080048831 A

전체 청구항 수 : 총 20 항

(73) 특허권자

삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자

이재용
경기 용인시 기흥구 공세동 삼성SDI중앙연구소
김양완
경기 용인시 기흥구 공세동 삼성SDI중앙연구소

(74) 대리인

박상수

심사관 : 하정균

(54) 유기전계발광표시장치 및 그의 제조 방법

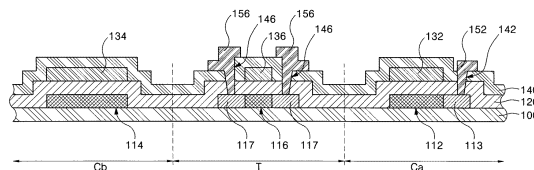
(57) 요약

본 발명은 유기전계발광표시장치 및 그의 제조 방법에 관한 것으로, 구동 트랜지스터의 문턱 전압을 보상할 수 있는 보상 회로를 포함하며, 제조 공정 및 개구율 저하를 최소화할 수 있는 유기전계발광표시장치 및 그의 제조 방법에 관한 것이다.

본 발명은 제 1 커패시터 영역, 제 2 커패시터 영역 및 박막 트랜지스터 영역을 포함하는 기관; 상기 기관의 제 1 커패시터 영역 상에 위치하며, 불순물 도핑된 제 1 영역을 포함하는 제 1 반도체층, 제 1 전극 및 상기 제 1 반도체층과 제 1 전극 사이에 위치하는 제 1 절연막을 포함하는 제 1 커패시터; 상기 기관의 제 2 커패시터 영역 상에 위치하며, 제 2 반도체층, 제 2 전극 및 상기 제 2 반도체층과 제 2 전극 사이에 위치하는 제 2 절연막을 포함하는 제 2 커패시터; 상기 기관의 박막 트랜지스터 영역 상에 위치하며, 소오스/드레인 영역 및 채널 영역을 포함하는 제 3 반도체층, 게이트 절연막, 게이트 전극 및 소오스/드레인 전극을 포함하는 다수의 박막 트랜지스터; 상기 제 1 커패시터 상에 위치하며, 상기 제 1 영역과 전기적으로 연결되는 제 1 전원전압 공급라인; 및 상기 다수의 박막 트랜지스터 상에 위치하며, 하나 또는 다수의 유기발광층을 포함하는 유기전계발광다이오드를 포함하는 유기전계발광표시장치에 관한 것이다.

또한, 본 발명은 제 1 커패시터 영역, 제 2 커패시터 영역 및 박막 트랜지스터 영역을 포함하는 기관을 제공하고, 상기 제 1 커패시터 영역, 제 2 커패시터 영역 및 박막 트랜지스터 영역에 제 1 반도체층, 제 2 반도체층 및 제 3 반도체층을 형성하고, 상기 제 1 반도체층 상에 제 1 절연막을 형성하고, 상기 제 2 반도체층 상에 제 2 절연막을 형성하고, 상기 제 3 반도체층 상에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 상기 제 1 반도체층의 일부 영역에 대응되는 제 1 전극을 형성하고, 상기 게이트 절연막 상에 상기 제 2 반도체층에 대응되는 제 2 전극을 형성하고, 상기 게이트 절연막 상에 상기 제 3 반도체층의 일부 영역에 대응되는 게이트 전극을 형성하고, 상기 제 1 전극, 제 2 전극 및 게이트 전극을 마스크로 불순물 도핑하여, 상기 제 1 반도체층의 제 1 영역 및 제 3 반도체층의 소오스/드레인 영역을 형성하고, 상기 제 1 전극, 제 2 전극 및 게이트 전극 상에 층간 절연막을 형성하고, 상기 층간 절연막에 상기 제 1 영역의 일부 및 상기 소오스/드레인 영역의 일부를 노출시키는 제 1 콘택홀 및 제 2 콘택홀을 형성하고, 상기 제 1 콘택홀을 통해 상기 제 1 영역과 연결되는 제 1 전원전압 공급라인을 형성하고, 상기 제 2 콘택홀을 통해 상기 제 3 반도체층의 소오스/드레인 영역과 접촉하는 소오스/드레인 전극을 형성하고, 상기 소오스/드레인 전극 및 제 1 전원전압 공급라인 상에 하나 또는 다수의 유기발광층을 포함하는 유기전계발광다이오드를 형성하는 것을 포함하는 유기전계발광표시장치의 제조 방법에 관한 것이다.

대표도



특허청구의 범위

청구항 1

제 1 커패시터 영역, 제 2 커패시터 영역 및 박막 트랜지스터 영역을 포함하는 기판;

상기 기판의 제 1 커패시터 영역 상에 위치하며, 불순물 도핑된 제 1 영역을 포함하는 제 1 반도체층, 제 1 전극 및 상기 제 1 반도체층과 제 1 전극 사이에 위치하는 제 1 절연막을 포함하는 제 1 커패시터;

상기 기판의 제 2 커패시터 영역 상에 위치하며, 제 2 반도체층, 제 2 전극 및 상기 제 2 반도체층과 제 2 전극 사이에 위치하는 제 2 절연막을 포함하는 제 2 커패시터;

상기 기판의 박막 트랜지스터 영역 상에 위치하며, 소오스/드레인 영역 및 채널 영역을 포함하는 제 3 반도체층, 게이트 절연막, 게이트 전극 및 소오스/드레인 전극을 포함하는 다수의 박막 트랜지스터;

상기 제 1 커패시터 상에 위치하며, 상기 제 1 영역과 전기적으로 연결되는 제 1 전원전압 공급라인; 및

상기 다수의 박막 트랜지스터 상에 위치하며, 하나 또는 다수의 유기발광층을 포함하는 유기전계발광다이오드를 포함하는 유기전계발광표시장치.

청구항 2

제 1 항에 있어서,

상기 다수의 박막 트랜지스터는

데이터 라인과 제 1 노드 사이에 전기적으로 연결되는 제 1 스위칭 트랜지스터;

상기 제 1 전원전압 공급라인과 제 2 노드 사이에 전기적으로 연결되는 제 2 스위칭 트랜지스터; 및

상기 제 2 노드와 유기전계발광다이오드 사이에 위치하며, 상기 제 1 노드의 전압에 따른 구동 전류를 상기 유기전계발광다이오드에 인가하기 위한 구동 트랜지스터를 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제 2 항에 있어서,

상기 제 1 커패시터는 상기 제 1 노드와 제 1 전원전압 공급라인 사이에 전기적으로 연결되며, 상기 제 2 커패시터는 상기 제 1 노드와 제 2 노드 사이에 전기적으로 연결되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제 1 항에 있어서,

상기 제 1 반도체층, 제 2 반도체층 및 제 3 반도체층은 동일 결정 구조를 가지는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제 1 항에 있어서,

상기 제 1 절연막 및 제 2 절연막은 동일 물질인 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제 5 항에 있어서,

상기 제 1 절연막, 제 2 절연막 및 게이트 절연막은 동일 물질인 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

제 1 항에 있어서,

상기 제 1 전극은 상기 제 1 반도체층의 면적보다 상기 제 1 영역의 면적만큼 작은 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제 1 항에 있어서,

상기 제 1 전극 및 제 2 전극은 동일 물질인 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제 8 항에 있어서,

상기 제 1 전극, 제 2 전극 및 게이트 전극은 동일 물질인 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

제 1 항에 있어서,

상기 제 1 전극과 제 2 전극은 접촉된 것을 특징으로 하는 유기전계발광표시장치.

청구항 11

제 1 항에 있어서,

상기 제 1 반도체층의 제 1 영역과 제 3 반도체층의 소오스/드레인 영역은 동일 불순물로 도핑되어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 12

제 11 항에 있어서,

상기 제 1 영역 및 제 3 반도체층의 소오스/드레인 영역인 P형 불순물로 도핑되어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 13

제 1 커패시터 영역, 제 2 커패시터 영역 및 박막 트랜지스터 영역을 포함하는 기판을 제공하고,

상기 제 1 커패시터 영역, 제 2 커패시터 영역 및 박막 트랜지스터 영역에 제 1 반도체층, 제 2 반도체층 및 제 3 반도체층을 형성하고,

상기 제 1 반도체층 상에 제 1 절연막을 형성하고,

상기 제 2 반도체층 상에 제 2 절연막을 형성하고,

상기 제 3 반도체층 상에 게이트 절연막을 형성하고,

상기 게이트 절연막 상에 상기 제 1 반도체층의 일부 영역에 대응되는 제 1 전극을 형성하고,

상기 게이트 절연막 상에 상기 제 2 반도체층에 대응되는 제 2 전극을 형성하고,

상기 게이트 절연막 상에 상기 제 3 반도체층의 일부 영역에 대응되는 게이트 전극을 형성하고,

상기 제 1 전극, 제 2 전극 및 게이트 전극을 마스크로 불순물 도핑하여, 상기 제 1 반도체층의 제 1 영역 및 제 3 반도체층의 소오스/드레인 영역을 형성하고,

상기 제 1 전극, 제 2 전극 및 게이트 전극 상에 층간 절연막을 형성하고,

상기 층간 절연막에 상기 제 1 영역의 일부 및 상기 소오스/드레인 영역의 일부를 노출시키는 제 1 콘택홀 및 제 2 콘택홀을 형성하고,

상기 제 1 콘택홀을 통해 상기 제 1 영역과 연결되는 제 1 전원전압 공급라인을 형성하고,

상기 제 2 콘택홀을 통해 상기 제 3 반도체층의 소오스/드레인 영역과 접촉하는 소오스/드레인 전극을

형성하고,

상기 소오스/드레인 전극 및 제 1 전원전압 공급라인 상에 하나 또는 다수의 유기막층을 포함하는 유기전계발광 다이오드를 형성하는 것을 포함하는 유기전계발광표시장치의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 제 1 반도체층, 제 2 반도체층 및 제 3 반도체층을 동일한 결정화 방법으로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 결정화 방법은 고상 결정화법(Solid Phase Crystallization : SPC), 급속열처리방법(Rapid Thermal Annealing : RTA), 금속 유도 결정화(Metal Induced Crystallization : MIC), 금속 유도 측면 결정화(Metal Induced Lateral Crystallization : MILC), 엑시머 레이저 어닐링(Excimer Laser Annealing : ELA) 결정화법 및 순차측면고상(Sequential Lateral Solidification : SLS) 결정화법 중 선택된 어느 하나인 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 16

제 13 항에 있어서,

상기 제 1 절연막 및 제 2 절연막 상에 게이트 절연막을 형성하는 것을 더 포함하는 유기전계발광표시장치의 제조 방법.

청구항 17

제 13 항에 있어서,

상기 제 1 절연막, 제 2 절연막 및 게이트 절연막을 동일 물질로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 18

제 17 항에 있어서,

상기 제 1 절연막, 제 2 절연막 및 게이트 절연막을 동시에 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 19

제 13 항에 있어서,

상기 제 1 전극, 제 2 전극 및 게이트 전극을 동시에 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 20

제 13 항에 있어서,

상기 제 1 반도체층의 제 1 영역 및 제 3 반도체층의 소오스/드레인 영역을 P형 불순물로 도핑하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <12> 본 발명은 유기전계발광표시장치 및 그의 제조 방법에 관한 것으로, 구동 트랜지스터의 문턱 전압을 보상할 수 있는 보상 회로를 포함하며, 제조 공정 및 개구율 저하를 최소화할 수 있는 유기전계발광표시장치 및 그의 제조 방법에 관한 것이다.
- <13> 평판표시장치(Flat Panel Display Device)는 경량 및 박형 등의 특성으로 인해, 음극선과 표시장치(Cathode-ray Tube Display Device)를 대체하는 표시장치로 사용되고 있다. 이러한 평판표시장치의 대표적인 예로서 액정 표시장치(Liquid Crystal Display Device; LCD)와 유기전계발광표시장치(Organic Light Emitting Diode Display Device; OLED Display Device)가 있다. 이 중, 유기전계발광표시장치는 액정표시장치에 비하여 휘도 특성 및 시야각 특성이 우수하고 백라이트(Back Light)를 필요로 하지 않아 초박형으로 구현할 수 있는 장점이 있다.
- <14> 이와 같은 유기전계발광표시장치는 유기박막에 음극(Cathode)과 양극(Anode)을 통해 주입된 전자(Electron)와 정공(Hole)이 재결합하여 여기자를 형성하고, 형성된 여기자로부터의 에너지에 의해 특정한 파장의 빛이 발생하는 현상을 이용한 표시장치이다.
- <15> 상기 유기전계발광표시장치는 구동 방법에 따라 수동 구동(Passive matrix) 방식과 능동 구동(Active matrix) 방식으로 나뉘는데, 능동 구동 방식은 박막 트랜지스터(Thin Film Transistor; TFT)를 사용하는 회로를 가진다. 상기 수동 구동 방식은 그 표시 영역이 양극과 음극에 의하여 단순히 매트릭스 형태의 소자로 구성되어 있어 제조가 용이하다는 장점이 있으나, 해상도, 구동 전압의 상승, 재료 수명의 저하 등의 문제로 인하여 저해상도 및 소형 디스플레이의 응용 분야로 제한된다. 상기 능동 구동 방식은 표시영역이 각 화소마다 박막 트랜지스터를 장착함으로써, 각 화소마다 일정한 전류를 공급함에 따라 안정적인 휘도를 나타낼 수 있다. 또한, 전력 소모가 적어 고해상도 및 대형 디스플레이를 구현할 수 있는 중요한 역할을 한다.
- <16> 상기 능동 구동 방식의 유기전계발광표시장치는 상기 박막 트랜지스터의 제조 공정 상의 문제로 인하여 각 화소의 구동 트랜지스터의 문턱 전압이 불규칙한 편차를 가지게 되며, 이러한 문턱 전압의 불규칙한 편차는 상기 유기전계발광표시장치의 휘도 불균일을 유발하므로, 상기 문턱 전압의 편차를 보상하기 위하여 상기 유기전계발광표시장치는 다양한 형태의 보상 회로를 포함하는 화소 회로를 가지게 된다.
- <17> 그러나, 상기와 같은 유기전계발광표시장치의 화소 회로는 구동 트랜지스터의 문턱 전압 편차를 보상하기 위하여 다수의 박막 트랜지스터 및 하나 또는 다수의 커패시터가 형성되어, 화소 회로가 복잡해져 신뢰성이 저하될 수 있으며, 공정이 복잡해지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <18> 따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 구동 트랜지스터의 문턱 전압을 보상하기 위한 박막 트랜지스터 및 커패시터의 수를 최소화하며, 상기 문턱 전압 보상에 이용되는 박막 트랜지스터 및 커패시터를 간단히 공정에 의해 형성할 수 있는 유기전계발광표시장치 및 그의 제조 방법을 제공함에 본 발명의 목적이 있다.

발명의 구성 및 작용

- <19> 본 발명의 상기 목적은 제 1 커패시터 영역, 제 2 커패시터 영역 및 박막 트랜지스터 영역을 포함하는 기관; 상기 기관의 제 1 커패시터 영역 상에 위치하며, 불순물 도핑된 제 1 영역을 포함하는 제 1 반도체층, 제 1 전극 및 상기 제 1 반도체층과 제 1 전극 사이에 위치하는 제 1 절연막을 포함하는 제 1 커패시터; 상기 기관의 제 2 커패시터 영역 상에 위치하며, 제 2 반도체층, 제 2 전극 및 상기 제 2 반도체층과 제 2 전극 사이에 위치하는 제 2 절연막을 포함하는 제 2 커패시터; 상기 기관의 박막 트랜지스터 영역 상에 위치하며, 소오스/드레인 영역 및 채널 영역을 포함하는 제 3 반도체층, 게이트 절연막, 게이트 전극 및 소오스/드레인 전극을 포함하는 다수의 박막 트랜지스터; 상기 제 1 커패시터 상에 위치하며, 상기 제 1 영역과 전기적으로 연결되는 제 1 전원전압 공급라인; 및 상기 다수의 박막 트랜지스터 상에 위치하며, 하나 또는 다수의 유기발광층을 포함하는 유기전계발광다이오드를 포함하는 유기전계발광표시장치에 의해 달성된다.
- <20> 또한, 본 발명의 상기 목적은 제 1 커패시터 영역, 제 2 커패시터 영역 및 박막 트랜지스터 영역을 포함하는 기관을 제공하고, 상기 제 1 커패시터 영역, 제 2 커패시터 영역 및 박막 트랜지스터 영역에 제 1 반도체층, 제 2 반도체층 및 제 3 반도체층을 형성하고, 상기 제 1 반도체층 상에 제 1 절연막을 형성하고, 상기 제 2 반도체층

상에 제 2 절연막을 형성하고, 상기 제 3 반도체층 상에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 상기 제 1 반도체층의 일부 영역에 대응되는 제 1 전극을 형성하고, 상기 게이트 절연막 상에 상기 제 2 반도체층에 대응되는 제 2 전극을 형성하고, 상기 게이트 절연막 상에 상기 제 3 반도체층의 일부 영역에 대응되는 게이트 전극을 형성하고, 상기 제 1 전극, 제 2 전극 및 게이트 전극을 마스크로 불순물 도핑하여, 상기 제 1 반도체층의 제 1 영역 및 제 3 반도체층의 소오스/드레인 영역을 형성하고, 상기 제 1 전극, 제 2 전극 및 게이트 전극 상에 층간 절연막을 형성하고, 상기 층간 절연막에 상기 제 1 영역의 일부 및 상기 소오스/드레인 영역의 일부를 노출시키는 제 1 콘택홀 및 제 2 콘택홀을 형성하고, 상기 제 1 콘택홀을 통해 상기 제 1 영역과 연결되는 제 1 전원전압 공급라인을 형성하고, 상기 제 2 콘택홀을 통해 상기 제 3 반도체층의 소오스/드레인 영역과 접촉하는 소오스/드레인 전극을 형성하고, 상기 소오스/드레인 전극 및 제 1 전원전압 공급라인 상에 하나 또는 다수의 유기막층을 포함하는 유기전계발광다이오드를 형성하는 것을 포함하는 유기전계발광표시장치의 제조 방법에 의해 달성된다.

- <21> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용 효과에 관한 자세한 사항은 본 발명의 바람직한 실시 예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 더욱 명확하게 이해될 것이다. 덧붙여, 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수 있다. 또한, 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성 요소들을 나타내는 것이며, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다.
- <22> 도 1a는 본 발명의 실시 예에 따른 유기전계발광표시장치의 화소 회로를 나타낸 회로도이며, 도 2는 본 발명의 실시 예에 따른 유기전계발광표시장치의 화소 구조를 나타낸 평면도이다.
- <23> 도 1a 및 도 2를 참조하면, 본 발명의 실시 예에 따른 유기전계발광표시장치의 화소는 유기전계발광다이오드(OLED), 구동 트랜지스터(Tr1), 제 1 스위칭 트랜지스터(Tr2), 제 2 스위칭 트랜지스터(Tr3), 제 1 커패시터(C1) 및 제 2 커패시터(C2)를 포함한다.
- <24> 상기 구동 트랜지스터(Tr1)는 상기 유기전계발광다이오드(OLED)와 제 2 노드(N2) 사이에 전기적으로 연결되며, 제 1 노드(N1)의 전압에 따라 상기 유기전계발광다이오드(OLED)에 구동 전류를 인가한다.
- <25> 상기 제 1 스위칭 트랜지스터(Tr1)는 상기 데이터 라인(Dm)과 제 1 노드(N1) 사이에 전기적으로 연결되며, 상기 스캔 신호에 따라 상기 데이터 신호를 상기 제 1 노드(N1)에 전달한다.
- <26> 상기 제 2 스위칭 트랜지스터(Tr3)는 상기 제 2 노드(N2)와 제 1 전원전압 공급라인(VDD) 사이에 전기적으로 연결되며, 상기 제어 신호에 따라 제 1 전원전압을 상기 제 2 노드(N2)에 전달한다.
- <27> 상기 제 1 커패시터(C1)는 상기 제 1 전원전압 공급라인(VDD)과 제 1 노드(N1) 사이에 전기적으로 연결되어, 상기 제 1 노드(N1)의 전압과 제 1 전원전압의 차이만큼의 전압을 저장한다.
- <28> 상기 제 2 커패시터(C2)는 상기 제 1 노드(N1)와 제 2 노드(N2) 사이에 전기적으로 연결되어, 상기 제 1 노드(N1)의 전압과 제 2 노드(N2)의 전압의 차이만큼의 전압을 저장한다.
- <29> 도 1b는 본 발명의 실시 예에 따른 유기전계발광표시장치의 화소 회로의 구동을 설명하기 위한 파형도이다.
- <30> 도 1a, 도 1b 및 도 2를 참조하여, 본 발명의 제 1 실시 예에 따른 유기전계발광표시장치의 화소 회로의 구동을 설명하면, 제 1 구간(T1)에서 스캔 라인(Sn) 및 제어 라인(En)을 통해 로우 레벨의 스캔 신호 및 제어 신호가 인가된다.
- <31> 상기 로우 레벨의 스캔 신호에 의해 제 1 스위칭 트랜지스터(Tr2)는 턴-온되어, 제 1 노드(N1)에 데이터 라인(Dm)을 통해 인가되는 데이터 신호를 전달하게 되므로, 상기 제 1 노드(N1)은 상기 데이터 신호의 전압과 동일한 전압을 가지게 되며, 상기 제 1 노드(N1)와 제 1 전원전압 공급라인(VDD) 사이에 전기적으로 연결된 제 1 커패시터(C1)은 상기 데이터 신호의 전압과 제 1 전원전압의 차이만큼의 전압을 저장하게 된다.
- <32> 또한, 상기 로우 레벨의 제어 신호에 의해 제 2 스위칭 트랜지스터(Tr3)는 턴-온되어, 제 2 노드(N2)에 상기 제 1 전원전압 공급라인(VDD)을 통해 인가되는 제 1 전원전압을 전달하게 되므로, 상기 제 2 노드(N2)는 상기 제 1 전원전압과 동일한 전압을 가지게 되며, 상기 제 2 노드(N2)와 제 1 노드(N1) 사이에 전기적으로 연결되는 제 2 커패시터(C2)는 상기 제 1 커패시터(C1)과 동일하게 상기 데이터 신호의 전압과 제 1 전원전압의 차이만큼의 전압을 저장하게 된다.

- <33> 상기 제 1 구간(T1)에서 상기 제 2 노드(N2)에 제 1 전원전압이 전달되며, 상기 제 1 노드(N1)에 데이터 신호가 전달되므로, 상기 구동 트랜지스터(Tr1)는 턴-온되어, 상기 제 1 노드(N1)에 전달된 상기 데이터 신호의 전압에 따른 구동 전류를 상기 유기전계발광다이오드(OLED) 인가하게 되지만, 상기 제 1 구간(T1)은 후속되는 제 3 구간(T3)에 비하여 매우 짧은 구간이므로, 전체적인 휘도에는 크게 영향을 주지 않는다.
- <34> 계속해서, 제 2 구간(T2)에서 스캔 라인(Sn)으로 로우 레벨의 스캔 신호가 인가되고, 제어 라인(En)으로 하이 레벨의 제어 신호가 인가된다.
- <35> 상기 로우 레벨의 스캔 신호(Sn)에 의해 상기 제 1 스위칭 트랜지스터(Tr2)는 상기 제 1 구간(T1)에서와 동일하게 턴-온 상태를 유지하므로, 상기 제 1 노드(N1)는 상기 데이터 신호의 전압을 유지하며, 상기 제 1 커패시터(C1)은 상기 데이터 신호의 전압과 제 1 전원전압의 차이만큼의 전압을 저장한다.
- <36> 상기 하이 레벨의 제어 신호에 의해 상기 제 2 스위칭 트랜지스터(Tr3)는 턴-오프되어, 상기 제 2 노드(N2)에 상기 제 1 전원전압을 전달하지 못하며, 상기 제 1 노드(N1)과 제 2 노드(N2)는 구동 트랜지스터(Tr1)의 게이트 단자와 소오스 단자에 연결되어 있으므로, 상기 제 2 커패시터(C2)는 상기 구동 트랜지스터(Tr1)의 문턱전압을 저장하게 되고, 상기 제 2 노드(N2)는 상기 데이터 신호의 전압에 상기 문턱전압을 더한 값만큼의 전압을 유지한다.
- <37> 따라서, 상기 제 2 구간(T2)에서 상기 구동 트랜지스터(Tr1)은 상기 제 1 노드(N1)에 인가된 데이터 신호의 전압에 의해 턴-온되어, 상기 제 1 구간(T1)과 동일하게 상기 제 1 노드(N1)에 전달된 상기 데이터 신호의 전압에 따른 구동 전류를 상기 유기전계발광다이오드(OLED) 인가하게 되지만, 상기 제 2 구간(T2)은 후속되는 제 3 구간(T3)에 비하여 매우 짧은 구간이므로, 전체적인 휘도에는 크게 영향을 주지 않는다. 또한, 상기 제 2 구간(T2)에서 상기 제 2 노드(N2)의 전압은 상기 제 1 노드(N1)의 전압과 비교하여 문턱 전압만큼 차이가 나므로, 상기 구동 트랜지스터(Tr1)은 상기 유기전계발광다이오드(OLED)가 충분한 휘도를 나타낼 만큼의 구동 전류를 인가하지 못한다.
- <38> 다음으로, 제 3 구간(T3)에서 상기 스캔 라인(Sn)으로 하이 레벨의 스캔 신호를 인가되고, 상기 제어 라인(En)으로 로우 레벨의 제어 신호가 인가된다.
- <39> 상기 로우 레벨의 제어 신호에 의해 제 2 스위칭 트랜지스터(Tr3)는 턴-온되어, 상기 제 2 노드(N2)는 상기 제 1 전원전압과 동일한 전압을 가지게 되며, 상기 하이 레벨의 스캔 신호에 의해 상기 제 1 스위칭 트랜지스터(Tr2)는 턴-오프되며, 상기 제 1 노드(N1)는 상기 제 1 커패시터(C1) 및 제 2 커패시터(C2)의 커플링 효과에 의해 하기와 같은 전압을 유지하게 된다.

$$V_{N1} = V_{data} + \frac{C_2}{(C_1 + C_2)} (ELVDD - V_{data} - V_{th})$$

- <40>
- <41> (여기서, V_{N1} 은 제 1 노드의 전압, C_1 은 제 1 커패시터의 커패시턴스, C_2 는 제 2 커패시터의 커패시턴스, V_{data} 는 데이터 신호의 전압, ELVDD는 제 1 전원전압, V_{th} 는 구동 트랜지스터의 문턱전압)
- <42> 상기 제 3 구간(T3)에서 상기 구동 트랜지스터(Tr1)은 상기 제 1 노드(N1)의 전압(V_{N1})에 따라 상기 유기전계발광다이오드(OLED)에 구동 전류를 인가하게 되므로, 상기 제 1 커패시터(C1)와 제 2 커패시터(C2)의 커패시턴스 비율을 제어하면 상기 구동 트랜지스터의 문턱 전압에 의한 휘도 불균일을 최소화할 수 있다.
- <43> 본 발명의 실시 예에 따른 유기전계발광표시장치는 세 개의 박막 트랜지스터와 두 개의 커패시터를 이용하여 구동 트랜지스터의 문턱 전압을 보상하고 있으므로, 보상 회로에 의한 개구율 저하를 최소화할 수 있다.
- <44> 이어서, 도 1a 및 도 2에 도시된 본 발명의 실시 예에 따른 유기전계발광표시장치의 제조 방법을 설명한다.
- <45> 도 3a 내지 도 3d는 상기 도 2의 A-A'선으로 자른 단면도들로, 본 발명의 실시 예에 따른 유기전계발광표시장치의 제조 방법을 순차적으로 설명하기 위한 단면도들이다.
- <46> 도 3a를 참조하면, 제 1 커패시터 영역(Ca), 제 2 커패시터 영역(Cb) 및 박막 트랜지스터 영역(T)를 포함하며, 유리나 합성 수지, 스테인레스 스틸 등의 재질로 형성되는 기판(100) 상에 상기 제 1 커패시터 영역(Ca), 제 2 커패시터 영역(Cb) 및 박막 트랜지스터 영역(T)에 각각 위치하는 제 1 반도체층(112), 제 2 반도체층(114) 및 제 3 반도체층(116)을 형성한다. 여기서, 상기 제 1 반도체층(112), 제 2 반도체층(114) 및 제 3 반도체층(116)

6)은 비정질 실리콘 또는 다결정 실리콘일 수 있으며, 상기 제 1 반도체층(112), 제 2 반도체층(114) 및 제 3 반도체층(116)은 다른 방법에 의해 각각 형성될 수도 있다.

<47> 상기 제 1 반도체층(112), 제 2 반도체층(114) 및 제 3 반도체층(116)은 공정 상 편의를 위하여 동시에 형성하는 것이 바람직하며, 동일한 결정 구조를 가지는 다결정 실리콘으로 형성하는 것이 더욱 바람직하다. 상기 제 1 반도체층(112), 제 2 반도체층(114) 및 제 3 반도체층(116)을 동시에 동일한 결정 구조로 형성하는 방법으로는 상기 기판(100) 상에 비정질 실리콘층(미도시)을 적층하고, 상기 비정질 실리콘층을 고상 결정화법(Solid Phase Crystallization : SPC), 급속열처리방법(Rapid Thermal Annealing : RTA), 금속 유도 결정화(Metal Induced Crystallization : MIC), 금속 유도 측면 결정화(Metal Induced Lateral Crystallization : MILC), 엑시머 레이저 어닐링(Excimer Laser Annealing : ELA) 결정화법 및 순차측면고상(Sequential Lateral Solidification : SLS) 결정화법 중 선택된 어느 하나를 이용하여 다결정 실리콘으로 결정화하고, 상기 다결정 실리콘을 패터닝하여 상기 제 1 반도체층(112), 제 2 반도체층(114) 및 제 3 반도체층(116)을 형성하는 방법이 있다.

<48> 또한, 상기 제 1 반도체층(112), 제 2 반도체층(114) 및 제 3 반도체층(116)을 다결정 실리콘으로 형성하는 경우, 비정질 실리콘층의 결정화 공정 시 상기 기판(100) 상의 불순물이 확산되는 것을 방지하기 위하여, 상기 기판(100) 상에 SiNx, SiO₂ 또는 이들의 적층으로 버퍼층(미도시)을 형성한 후, 상기 제 1 반도체층(112), 제 2 반도체층(114) 및 제 3 반도체층(116)을 형성할 수도 있다.

<49> 이어서, 도 3b에 도시된 바와 같이, 상기 제 1 반도체층(112), 제 2 반도체층(114) 및 제 3 반도체층(116)을 포함하는 기판(100) 상에 게이트 절연막(120)을 형성한다. 여기서, 도시된 바와는 달리 상기 제 1 반도체층(112) 및 제 2 반도체층(114) 상에 각각 제 1 절연막(미도시)과 제 2 절연막(미도시)를 형성하여, 상기 제 1 커패시터(C1) 및 제 2 커패시터(C2)의 커패시턴스 비율을 제어할 수 있으며, 상기 제 1 절연막 및 제 2 절연막 상에 상기 게이트 절연막(120)을 더 형성하거나, 형성하지 않을 수도 있다.

<50> 다음으로, 상기 게이트 절연막(120) 상에 상기 제 1 반도체층(112), 제 2 반도체층(114) 및 제 3 반도체층(116)에 대응되도록 제 1 전극(132), 제 2 전극(134) 및 게이트 전극(136)을 형성한다. 여기서, 상기 제 1 전극(132) 및 게이트 전극(136)은 각각 상기 제 1 반도체층(112) 및 제 3 반도체층(116)보다 작은 면적을 가지도록 하여, 상기 제 1 전극(132)에 대응되지 않는 제 1 반도체층(112)의 일부 영역 및 상기 게이트 전극(136)에 대응되지 않는 제 3 반도체층(116)의 일부 영역이 후속 공정인 불순물 도핑 공정에 의해 도핑될 수 있도록 한다.

<51> 여기서, 상기 제 1 전극(132), 제 2 전극(134) 및 게이트 전극(136)은 동일 물질로 동시에 형성될 수 있으나, 상기 제 1 전극(132) 및 제 2 전극(134)의 물질을 제어하여, 상기 제 1 커패시터(C1)와 제 2 커패시터(C2)의 커패시턴스 비를 제어할 수도 있으며, 본 발명의 실시 예에 따른 유기전계발광표시장치의 화소 회로의 평면도를 도시하고 있는 도 2에 도시된 바를 참조하면, 도 3c에 도시된 바와는 달리, 상기 제 1 커패시터(C1)와 제 2 커패시터(C2) 사이에 박막 트랜지스터(Tr1)의 게이트 전극(136)은 상기 제 1 커패시터(C1)의 제 1 전극(132) 및 상기 제 2 커패시터(C2)의 제 2 전극(134)과 물리적으로 접촉하도록 형성할 수 있다.

<52> 이어서, 도 3c에 도시된 바와 같이, 상기 제 1 전극(132), 제 2 전극(134) 및 게이트 전극(136)을 마스크로 불순물 도핑 공정을 수행하여, 상기 제 1 전극(132) 및 게이트 전극(136)에 대응되지 않는 상기 제 1 반도체층(112)의 일부 영역(113) 및 제 3 반도체층(116)의 일부 영역(117)이 불순물 도핑되도록 한다. 여기서, 상기 제 1 반도체층(112)의 도핑된 일부 영역(113)은 후속 공정을 통해 형성될 제 1 전원전압 공급라인(152)과 전기적으로 연결되는 영역(113)이 되며, 상기 제 3 반도체층(116)의 도핑된 일부 영역(117)은 상기 기판(100)의 박막 트랜지스터 영역(T) 상에 형성되는 박막 트랜지스터의 소오스/드레인 영역(117) 역할을 한다. 상기 제 1 반도체층(112)의 도핑되지 않은 영역은 제 1 커패시터(C1)의 하부 전극 역할을 하며, 상기 제 3 반도체층(116)의 도핑되지 않은 영역은 상기 박막 트랜지스터의 채널 영역 역할을 한다.

<53> 다음으로, 도 3d에 도시된 바와 같이, 상기 제 1 전극(132), 제 2 전극(134) 및 게이트 전극(136)을 포함하는 상기 기판(100) 상에 층간 절연막(140)을 형성한다. 여기서, 앞서 설명한 바와 달리, 상기 불순물 도핑 공정을 상기 제 1 전극(132), 제 2 전극(134) 및 게이트 전극(136)을 형성한 후 수행하지 않고, 상기 층간 절연막(140) 형성한 이후 수행할 수도 있다.

<54> 계속해서, 상기 게이트 절연막(120) 및 층간 절연막(140)을 식각하여, 상기 제 1 반도체층(112)의 도핑된 영역(113) 및 제 3 반도체층(116)의 도핑된 영역(117) 중 일부를 노출시키는 제 1 콘택홀(142) 및 제 2 콘택홀(146)을 형성하고, 상기 제 1 콘택홀(142)을 통해 상기 제 1 반도체층의 도핑된 영역(113)과 연결되는 제 1 전원전압 공급라인(152) 및 상기 제 2 콘택홀(146)을 통해 상기 제 3 반도체층의 도핑된 영역(117)과 연결되는 소오스

/드레인 전극(156)을 각각 형성한다. 여기서, 상기 제 1 전원전압 공급라인(152) 및 소오스/드레인 전극(156)은 동일 물질로 형성할 수 있으며, 동시에 형성할 수도 있다.

<55> 이어서, 도시되지는 않았지만, 통상적인 유기전계발광표시장치의 제조 방법에 의해 상기 소오스/드레인 전극(146) 상에 유기전계발광다이오드(미도시)를 형성한다. 여기서, 상기 유기전계발광다이오드는 상기 소오스/드레인 전극(146)과 전기적으로 연결되는 하부 전극, 상부 전극 및 상기 두 전극 사이에 위치하는 하나 또는 다수의 유기발광층을 포함하며, 상기 유기전계발광다이오드와 소오스/드레인 전극(146) 사이에는 보호막(미도시)을 형성한다. 또한, 상기 유기전계발광다이오드와 보호막 사이에는 아크릴 등의 유기절연막 또는 실리콘 산화물 등의 무기 절연막인 평탄화막을 더 형성할 수 있다.

<56> 결과적으로, 본 발명의 실시 예에 따른 유기전계발광표시장치는 세 개의 박막 트랜지스터와 두 개의 커패시터를 이용하여 구동 트랜지스터의 문턱 전압을 최소화하고 있으므로, 상기 구동 트랜지스터의 문턱 전압을 보상하기 위한 보상 회로에 의해 개구율이 저하되는 것을 최소화하고 있으며, 상기 커패시터를 MOS 형 커패시터로 형성함으로써, 상기 박막 트랜지스터와 동일하게 커패시터를 형성할 수 있도록 하여, 상기 유기전계발광표시장치의 화소 구조를 용이하게 제조할 수 있도록 한다.

<57> 또한, 상기 MOS형 커패시터의 반도체층을 제 1 전원전압 공급라인과 전기적으로 연결시켜, 상기 MOS형 커패시터가 항상 포화상태에서 작동되도록 함으로써, 상기 MOS형 커패시터를 포함하는 화소 회로가 안정적으로 구동될 수 있도록 한다.

발명의 효과

<58> 따라서, 본 발명에 따른 유기전계발광표시장치는 구동 트랜지스터의 문턱 전압을 보상하기 위한 커패시터를 MOS 형 커패시터로 형성하여, 상기 구동 트랜지스터의 문턱 전압 보상에 이용되는 박막 트랜지스터와 커패시터를 용이하게 제조할 수 있도록 하는 효과가 있다.

<59> 또한, 상기 MOS형 커패시터의 반도체층을 제 1 전원전압 공급라인과 연결시켜, 상기 MOS형 커패시터가 항상 포화상태에서 작동될 수 있도록 함으로써, 상기 MOS형 커패시터를 포함하는 유기전계발광표시장치의 화소 구조가 안정적으로 구동될 수 있도록 하는 효과가 있다.

도면의 간단한 설명

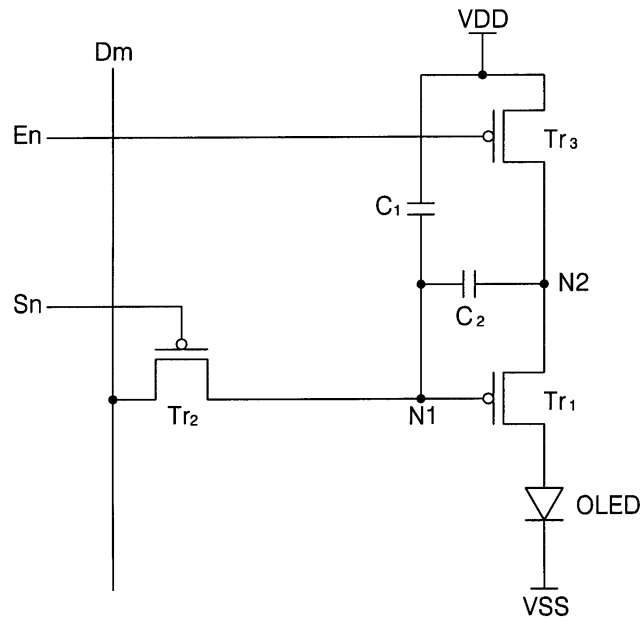
- <1> 도 1a는 본 발명의 실시 예에 따른 유기전계발광표시장치의 화소 구조를 나타낸 회로도이다.
- <2> 도 1b는 본 발명의 실시 예에 따른 유기전계발광표시장치의 화소 구조의 구동을 설명하기 위한 파형도이다.
- <3> 도 2는 본 발명의 실시 예에 따른 유기전계발광표시장치의 화소 구조를 나타낸 평면도이다.
- <4> 도 3a 내지 도 3d는 본 발명의 실시 예에 따른 유기전계발광표시장치의 제조 방법을 순차적으로 설명하기 위한 단면도들이다.

<5> <도면 주요 부호에 대한 부호의 설명>

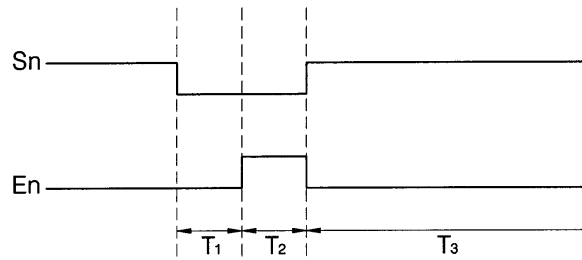
- <6> 100 : 기판
- <7> 114 : 제 2 반도체층
- <8> 120 : 게이트 절연막
- <9> 134 : 제 2 전극
- <10> 140 : 층간 절연막
- <11> 156 : 소오스/드레인 전극
- 112 : 제 1 반도체층
- 116 : 제 3 반도체층
- 132 : 제 1 전극
- 136 : 게이트 전극
- 152 : 제 1 전원전압 공급라인

도면

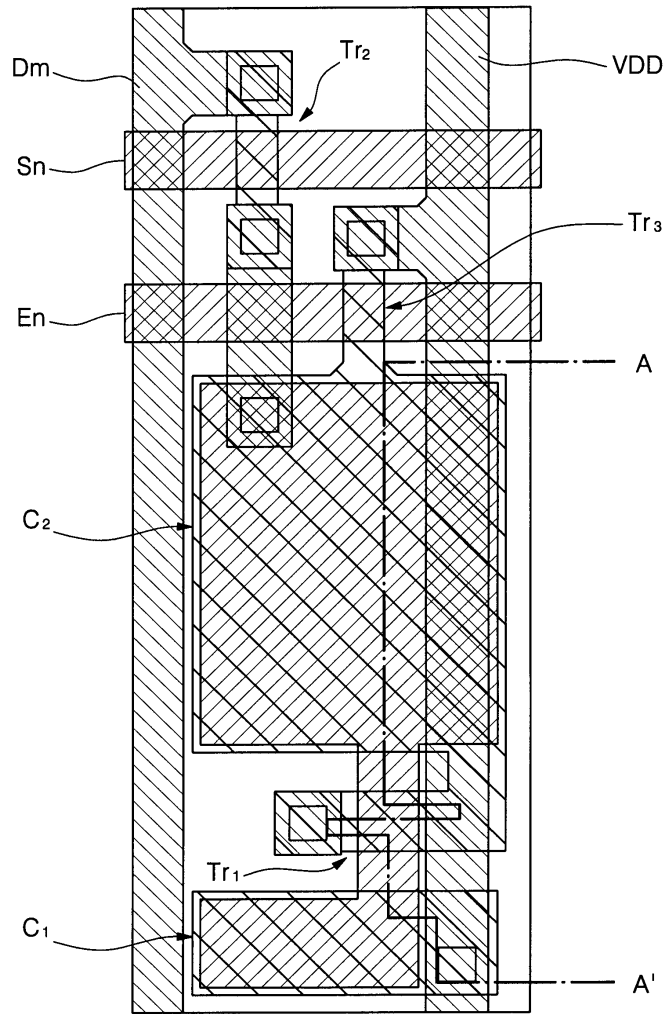
도면1a



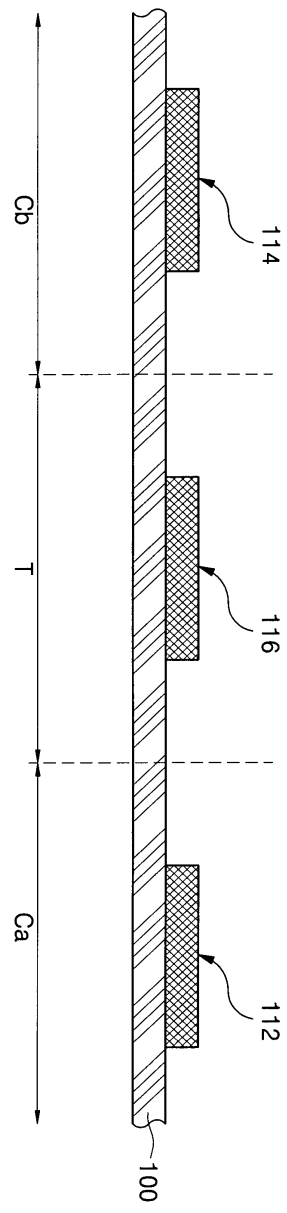
도면1b



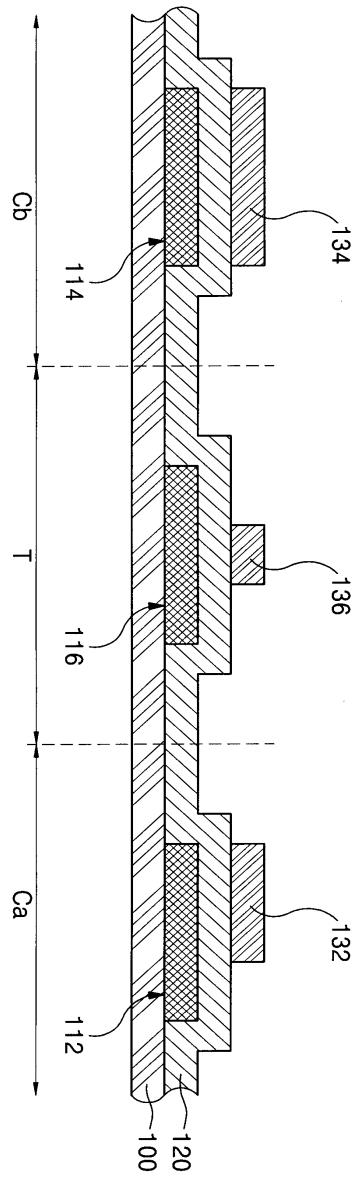
도면2



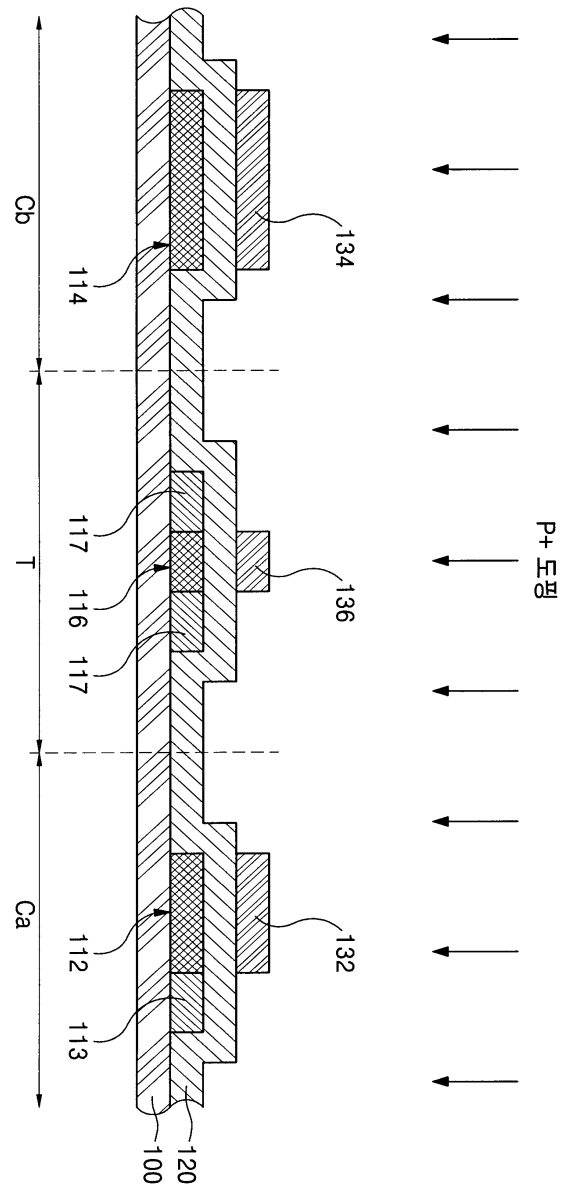
도면3a



도면3b



도면3c



도면3d

