(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0118765
(43) 공개일자 2023년08월14일

(51) 국제특허분류(Int. Cl.)
H10N 50/10 (2023.01) *H10N 50/01* (2023.01)
H10N 50/80 (2023.01) *H10N 52/01* (2023.01)
H10N 52/80 (2023.01)
(52) CPC특허분류
H10N 50/10 (2023.02)
H10N 50/01 (2023.02)
(21) 출원번호 10-2023-0096031(분할)
(22) 출원일자 2023년07월24일
심사청구일자 2023년07월24일
(62) 원출원 특허 10-2021-0104332
원출원일자 2021년08월09일
심사청구일자 2021년08월09일
(30) 우선권주장
1020200156790 2020년11월20일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김영근
서울특별시 강남구 압구정로61길 37, 72동 1109호(압구정동,한양아파트)
김태현
경기도 성남시 분당구 내정로 55, 308동 1205호(정자동, 상록마을)
(74) 대리인
김연권

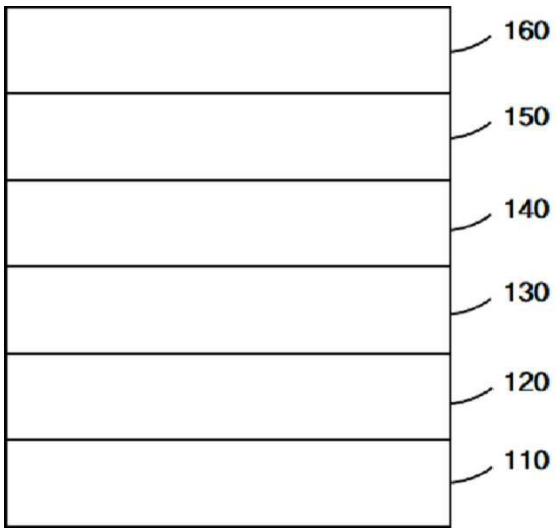
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **스핀궤도 토크(spin-orbit torque, SOT) 기반 자기터널 접합 및 이의 제조 방법**

(57) 요 약

본 발명은 스핀궤도 토크(spin-orbit torque, SOT) 기반 자기 터널 접합 및 이의 제조 방법을 개시한다. 본 발명은 기판 상에 형성되는 면내 방향으로 자화 용이 축을 갖는 자성층; 상기 자성층 상에 형성되는 스핀토크 활성층(spin-orbit active layer); 및 상기 스핀토크 활성층 상에 형성되는 자유층;을 포함하고, 상기 스핀토크 활성층은 W-X 합금을 포함(여기서, W는 텅스텐이고, 상기 X는 4족 반도체 및 3-5족 반도체 중 적어도 하나를 포함함)하는 것을 특징으로 한다.

대 표 도 - 도1



(52) CPC특허분류
H10N 50/80 (2023.02)
H10N 52/01 (2023.02)
H10N 52/80 (2023.02)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711104070
과제번호	2015M3D1A1070465
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	미래소재디스커버리사업
연구과제명	설계기반 Spin-Orbitronics 소재 개발
기 여 율	1/1
과제수행기관명	고려대학교
연구기간	2015.12.04 ~ 2021.12.03

명 세 서

청구범위

청구항 1

기판 상에 형성되는 면내 방향으로 자화 용이 축을 갖는 자성층;

상기 자성층 상에 형성되는 스핀토크 활성층(spin-orbit active layer); 및

상기 스핀토크 활성층 상에 형성되는 자유층;

을 포함하고,

상기 스핀토크 활성층은 W-X 합금을 포함(여기서, W는 텅스텐이고, 상기 X는 4족 반도체 및 3-5족 반도체 중 적어도 하나를 포함함)하는 것을 특징으로 하는 스핀궤도 토크(spin-orbit torque, SOT) 기반 자기 터널 접합.

청구항 2

제1항에 있어서,

상기 스핀토크 활성층은 상기 자유층과 접촉하여 면내 전류를 제공하는 전극인 것을 특징으로 하는 스핀궤도 토크 기반 자기 터널 접합.

청구항 3

제1항에 있어서,

상기 W-X 합금 내에 포함되는 X의 조성 함량이 증가함에 따라 스위칭 전류가 감소되는 것을 특징으로 하는 스핀궤도 토크 기반 자기 터널 접합.

청구항 4

제1항에 있어서,

상기 W-X 합금 내에 포함되는 X의 조성 함량은 0.1 at% 내지 10.6 at%인 것을 특징으로 하는 스핀궤도 토크 기반 자기 터널 접합.

청구항 5

제1항에 있어서,

상기 스핀궤도 토크 기반 자기 터널 접합은 상기 수직 자기 이방성이 발현되는 열처리 온도가 증가함에 따라 스위칭 전류가 감소되는 것을 특징으로 하는 스핀궤도 토크 기반 자기 터널 접합.

청구항 6

제5항에 있어서,

상기 수직 자기 이방성이 발현되는 열처리 온도는 300℃ 내지 500℃인 것을 특징으로 하는 스핀궤도 토크 기반 자기 터널 접합.

청구항 7

제6항에 있어서,

상기 수직 자기 이방성이 발현되는 열처리 온도에 따라 상기 W-X 합금 내에 포함되는 X의 조성 함량이 조절되는 것을 특징으로 하는 스핀궤도 토크 기반 자기 터널 접합.

청구항 8

기판 상에 면내 방향으로 자화 용이 축을 가지는 자성층을 형성하는 단계;

상기 자성층 상에 스핀토크 활성층을 형성하는 단계; 및

상기 스핀토크 활성층 상에 자유층을 형성하는 단계;

를 포함하고,

상기 기판 상에 스핀토크 활성층을 형성하는 단계는,

진공 챔버 내에서 W 타겟와 X 타겟을 동시에 스퍼터링하여 상기 진공 챔버 내에 배치된 상기 기판 상에 W-X 합금 박막(여기서, W는 텅스텐이고, 상기 X는 4족 반도체 및 3-5족 반도체 중 적어도 하나를 포함함)을 형성하는 것을 특징으로 하는 스핀궤도 토크 기반 자기 터널 접합의 제조방법.

청구항 9

제8항에 있어서,

상기 W 타겟 및 상기 X 타겟의 파워에 따라 상기 W-X 합금 박막의 조성이 조절되는 것을 특징으로 하는 스핀궤도 토크 기반 자기 터널 접합의 제조 방법.

청구항 10

제8항에 있어서,

상기 W-X 합금 박막 내에 포함되는 X의 조성 함량은 0.1 at% 내지 10.6 at%인 것을 특징으로 하는 스핀궤도 토크 기반 자기 터널 접합의 제조 방법.

청구항 11

제8항에 있어서,

상기 열처리 온도가 증가함에 따라 스위칭 전류가 감소되는 것을 특징으로 하는 스핀궤도 토크 기반 자기 터널 접합의 제조 방법.

청구항 12

제8항에 있어서,

상기 열처리 온도는 300℃ 내지 500℃인 것을 특징으로 하는 스핀궤도 토크 기반 자기 터널 접합의 제조 방법.

청구항 13

제8항에 있어서,

상기 열처리 온도에 따라 상기 W-X 합금 내에 포함되는 X의 조성 함량이 조절되는 것을 특징으로 하는 스핀궤도 토크 기반 자기 터널 접합의 제조 방법.

청구항 14

제8항에 있어서,

상기 기판 상에 스핀토크 활성층을 형성하는 단계는,

상기 W-X 합금 박막을 십자 형태로 패터닝하는 단계를 더 포함하는 것을 특징으로 하는 스핀궤도 토크 기반 자기 터널 접합의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 스핀궤도 토크(spin-orbit torque, SOT) 기반 자기 터널 접합 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 스핀 궤도 결합(spin-orbit coupling)이 큰 W-X 합금(여기서, W는 텅스텐이고, 상기 X는 4족 반도체 및 3-5족 반도체 중 적어도 하나를 포함함) 박막을 스핀토크 활성층으로 사용하여 스핀궤도 토크(spin-orbit torque) 스위칭이 가능하고 낮은 비저항에서 높은 스핀궤도 토크 효율을 갖는 스핀궤도 토크(spin-orbit torque, SOT) 기반 자기 터널 접합 및 이의 제조 방법에 관한 것이다.

배 경 기 술

[0003] 자기터널 접합은 기본적으로 강자성체/산화물/강자성체의 3중층 구조로 되어 있으며, 각각 자화 자유층(free layer, FL), 터널 베리어(tunnel barrier, TB) 및 자화 고정층(pinned layer, PL)을 포함하고, 자유층과 고정층의 위치는 서로 바뀔 수 있다. 터널 베리어를 사이에 두고 이웃한 자유층과 고정층의 스핀 방향이 평행(parallel) 또는 반평행(antiparallel)으로 배열된 상태에 따라서 터널베리어를 통과하는 터널링 전류의 값이 달라지는 성질을 이용하며, 이때의 저항차이를 터널자기저항비(TMR)이라고 한다. 고정층의 스핀 방향은 고정되어 있고, 자유층의 스핀방향을 자기장 또는 전류를 흘려주어 조작함으로써 정보를 입력할 수 있다.

[0004] 스핀궤도 토크(spin-orbit torque, SOT) 스위칭 기반 MRAM(magnetic random access memory)의 핵심 소자인 자기터널접합(magnetic tunnel junction, MTJ)은 비자성 스핀토크 활성층/제1 자성층(자화 자유층, 이하 자유층)/터널배리어층/제2 자성층(자화 고정층, 이하 고정층)으로 구성되어 있으며, 자유층과 고정층의 상대적인 자화방향에 따라 절연층을 통과하는 터널링 전류의 전기저항 값이 달라지는 터널자기저항(tunneling magnetoresistance, TMR) 현상을 이용하여 정보를 읽는다(reading).

[0005] 높은 터널 자기저항비, 높은 기록안정성, 낮은 기록 전류, 고집적화를 구현하기 위해서는 자기 터널 접합은 필수적으로 수직자기이방성(perpendicular magnetic anisotropy, PMA) 특성이 있어야 한다. 수직자기이방성이란 자성층의 자화 방향이 자성층 면에 수직인 것을 의미한다.

[0006] 최근에는 자유층에 인접한 스핀토크 활성층의 면내 평행한 방향으로 전류가 흐를 때 발생하는 스핀 홀 효과(spin Hall effect) 또는 라쉬바 효과(Rashba effect)를 이용하여 자유층의 스위칭을 유도하는 스핀궤도 토크(spin-orbit torque, SOT) 현상이 발견되어, 기존 스핀 전달 토크(spin-transfer torque, STT) 기록(writing) 방식보다 고속, 저전류 소모로 정보 기록이 가능한 기술로 관심을 받고 있다.

[0007] 따라서, 스핀토크 활성층으로 낮은 비저항과 높은 스핀궤도 토크의 효율을 나타내는 물리량인 스핀 홀 각도(spin Hall angle, SHA)가 큰 물질을 이용하고자 하는 연구가 요구되고 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 대한민국 공개특허 제10-2020-0030277호, "스핀-궤도 토크 라인을 갖는 반도체 소자 및 그 동

작 방법"

(특허문헌 0002) 대한민국 공개특허 제10-2020-0066848호, "스핀-궤도 토크 라인을 갖는 반도체 소자"

발명의 내용

해결하려는 과제

[0010] 본 발명의 실시예는 스핀궤도결합(spin-orbit coupling)이 큰 W-X 합금 (여기서, W는 텅스텐이고, 상기 X는 4족 반도체 및 3-5족 반도체 중 적어도 하나를 포함함) 박막을 스핀토크 활성층으로 사용하여 스핀궤도 토크(spin-orbit torque) 스위칭이 가능하고 낮은 비저항에서 높은 스핀궤도 토크(spin-orbit torque) 효율을 나타내는 스핀궤도 토크 기반 자기 터널 접합 및 이의 제조 방법을 제공하고자 한다.

[0011] 본 발명의 실시예는 W-X 합금의 X 조성을 조절하여 스위칭 전류를 제어할 수 있는 스핀궤도 토크 기반 자기 터널 접합 및 이의 제조 방법을 제공하고자 한다.

[0012] 본 발명의 실시예는 스핀토크 활성층으로 텅스텐-실리콘 합금을 사용하여 다양한 열처리 온도 범위에서 수직자기이방성(perpendicular magnetic anisotropy, PMA)이 유지될 수 있는 스핀궤도 토크 기반 자기 터널 접합 및 이의 제조 방법을 제공하고자 한다.

과제의 해결 수단

[0014] 본 발명의 실시예에 따른 스핀궤도 토크(spin-orbit torque, SOT) 기반 자기 터널 접합은 기판 상에 형성되는 면내 방향으로 자화 용이 축을 갖는 자성층; 상기 자성층 상에 형성되는 스핀토크 활성층(spin-orbit active layer); 및 상기 스핀토크 활성층 상에 형성되는 자유층;을 포함하고, 상기 스핀토크 활성층은 W-X 합금(여기서, W는 텅스텐이고, 상기 X는 4족 반도체 및 3-5족 반도체 중 적어도 하나를 포함함)을 포함한다.

[0015] 상기 스핀토크 활성층은 상기 자유층과 접촉하여 면내 전류를 제공하는 전극일 수 있다.

[0016] 상기 W-X 합금 내에 포함되는 X의 조성 함량이 증가함에 따라 스위칭 전류가 감소될 수 있다.

[0017] 상기 텅스텐-실리콘 합금 내에 포함되는 실리콘의 조성 함량은 0.1at% 내지 10.6at%일 수 있다.

[0018] 상기 스핀궤도 토크 기반 자기 터널 접합은 상기 수직 자기 이방성이 발현되는 열처리 온도가 증가함에 따라 스위칭 전류가 감소될 수 있다.

[0019] 상기 수직 자기 이방성이 발현되는 열처리 온도는 300℃ 내지 500℃일 수 있다.

[0020] 상기 수직 자기 이방성이 발현되는 열처리 온도에 따라 상기 W-X 합금 내에 포함되는 X의 조성 함량이 조절될 수 있다.

[0021] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 제조 방법은 기판 상에 면내 방향으로 자화 용이 축을 가지는 자성층을 형성하는 단계; 상기 자성층 상에 스핀토크 활성층을 형성하는 단계; 및 상기 스핀토크 활성층 상에 자유층을 형성하는 단계;를 포함하고, 상기 기판 상에 스핀토크 활성층을 형성하는 단계는, 진공 챔버 내에서 W 타겟와 X 타겟을 동시에 스퍼터링하여 상기 진공 챔버 내에 배치된 상기 기판 상에 W-X 합금 박막(여기서, W는 텅스텐이고, 상기 X는 4족 반도체 및 3-5족 반도체 중 적어도 하나를 포함함)을 형성한다.

[0022] 상기 텅스텐 타겟 및 상기 실리콘 타겟의 파워에 따라 상기 텅스텐-실리콘 합금 박막의 조성이 조절될 수 있다.

[0023] 상기 W-X 합금 내에 포함되는 X의 조성 함량은 0.1at% 내지 10.6at%일 수 있다.

[0024] 상기 열처리 온도가 증가함에 따라 스위칭 전류가 감소될 수 있다.

[0025] 상기 열처리 온도는 300℃ 내지 500℃일 수 있다.

[0026] 상기 열처리 온도에 따라 상기 W-X 합금 내에 포함되는 X의 조성 함량이 조절될 수 있다.

[0027] 상기 기판 상에 스핀토크 활성층을 형성하는 단계는, 상기 텅스텐-실리콘 합금 박막을 십자 형태로 패터닝하는 단계를 더 포함할 수 있다.

발명의 효과

[0029] 본 발명의 실시예에 따르면, 스핀궤도결합(spin-orbit coupling)이 큰 W-X 합금 박막을 스핀토크 활성층으로 사용하여 스핀궤도 토크(spin-orbit torque) 스위칭이 가능하고 낮은 비저항에서 높은 스핀궤도 토크(spin-orbit torque) 효율을 나타내는 스핀궤도 토크 기반 자기 터널 접합 및 이의 제조 방법을 제공할 수 있다.

[0030] 본 발명의 실시예에 따르면, W-X 합금의 X 조성을 조절하여 스위칭 전류를 제어할 수 있는 스핀궤도 토크 기반 자기 터널 접합 및 이의 제조 방법을 제공할 수 있다.

[0031] 본 발명의 실시예에 따르면, 스핀토크 활성층으로 텅스텐-실리콘 합금을 사용하여 다양한 열처리 온도 범위에서 수직자기이방성(perpendicular magnetic anisotropy, PMA)이 유지될 수 있는 스핀궤도 토크 기반 자기 터널 접합 및 이의 제조 방법을 제공할 수 있다.

도면의 간단한 설명

[0033] 도 1은 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합을 도시한 단면도이다.

도 2는 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합을 도시한 평면도이다.

도 3은 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 제조방법을 도시한 흐름도이다.

도 4는 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 스핀궤도 토크 효율을 측정하기 위한 구조를 도시한 단면도이다.

도 5는 300℃에서 1시간동안 열처리가 진행된 도 4에 도시된 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합(이하에서, 실시예 1에 따른 W-Si/CoFeB/MgO/Ta 구조체로 명명하기로 한다)에 박막 면 수직 방향(out-of-plane) 방향으로 자기장을 인가하였을 때, 스핀토크 활성층의 실리콘 함량(0at% 내지 10.6 at%)에 따른 자기이력곡선을 도시한 그래프이고, 도 6은 박막 면 내(in-plane) 방향으로 자기장을 인가하였을 때, 스핀토크 활성층의 실리콘 함량(0at% 내지 10.6 at%)에 따른 자기이력곡선을 도시한 그래프이다.

도 7은 400℃에서 1시간동안 열처리가 진행된 실시예 1-1에 따른 W-Si/CoFeB/MgO/Ta 구조체에 박막 면 수직 방향 방향으로 자기장을 인가하였을 때, 스핀토크 활성층의 실리콘 함량(0at% 내지 10.6 at%)에 따른 자기이력곡선을 도시한 그래프이고, 도 8은 박막 면 내 방향으로 자기장을 인가하였을 때, 스핀토크 활성층의 실리콘 함량(0at% 내지 10.6 at%)에 따른 자기이력곡선을 도시한 그래프이다.

도 9는 500℃에서 1시간동안 열처리가 진행된 실시예 1-1에 따른 W-Si/CoFeB/MgO/Ta 구조체에 박막 면 수직 방향 방향으로 자기장을 인가하였을 때, 스핀토크 활성층의 실리콘 함량(0at% 내지 10.6 at%)에 따른 자기이력곡선을 도시한 그래프이고, 도 10은 박막 면 내 방향으로 자기장을 인가하였을 때, 스핀토크 활성층의 실리콘 함량(0at% 내지 10.6 at%)에 따른 자기이력곡선을 도시한 그래프이다.

도 11a는 수직 자기 이방성을 갖는 실시예 1-2에 따른 W-Si/CoFeB/MgO/Ta 구조체를 도시한 개략도이고, 도 11b는 300℃ 및 500℃에서 1시간동안 진공 열처리를 진행하여, 도 11a에 도시된 수직 자기 이방성을 갖는 실시예 1-2에 따른 W-Si/CoFeB/MgO/Ta 구조체에 텅스텐-실리콘 합금층의 조성범위에서 하모닉스(harmonics) 측정법을 이용하여 측정한 소자의 스핀 궤도 토크의 효율을 도시한 그래프이다.

도 12는 300℃ 및 500℃에서 1시간동안 진공 열처리를 진행하여, 도 11a에 도시된 수직 자기 이방성을 갖는 실시예 1-2에 따른 W-Si/CoFeB/MgO/Ta 구조체에 텅스텐-실리콘 합금층의 조성범위에서 4침법(four-point probe)을 이용하여 측정한 합금의 전기 비저항 값을 도시한 그래프이다.

도 13은 300℃에서 1시간동안 진공 열처리를 진행하여, 수직 자기 이방성을 갖는 실시예 1-1에 따른 W-Si/CoFeB/MgO/Ta 구조체에 +100 Oe의 외부자기장이 가해질 때, 텅스텐-실리콘 합금층의 조성(단위: at%)에 따른 스위칭 특성을 도시한 그래프이고, 도 14는 -100 Oe의 외부자기장이 가해질 때, 텅스텐-실리콘 합금층의 조성(단위: at%)에 따른 스위칭 특성을 도시한 그래프이다.

도 15는 500℃에서 1시간동안 진공 열처리를 진행하여, 수직 자기 이방성을 갖는 실시예 1-1에 따른 W-Si/CoFeB/MgO/Ta 구조체에 +100 Oe의 외부자기장이 가해질 때, 텅스텐-실리콘 합금층의 조성(단위: at%)에 따른

스위칭 특성을 도시한 그래프이고, 도 16은 -100 Oe의 외부자기장이 가해질 때, 텅스텐-실리콘 합금층의 조성(단위: at%)에 따른 스위칭 특성을 도시한 그래프이다.

도 17a는 수직 자기 이방성을 갖는 실시예 1-1에 따른 W-Si/CoFeB/MgO/Ta 구조체를 도시한 개략도이고, 도 17b는 300℃ 및 500℃에서 1시간동안 진공 열처리를 진행하여, 수직 자기 이방성을 갖는 실시예 1-1에 따른 W-Si/CoFeB/MgO/Ta 구조체에 ±100 Oe의 외부자기장이 가해질 때, 스핀토크 활성층인 텅스텐-실리콘 합금층의 조성에 따른 스위칭 전류밀도 변화를 도시한 그래프이다.

도 18은 실리콘 함량이 0 at%인 스핀토크 활성층을 포함하는 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체를 300℃에서 1시간동안 열처리한 후, 외부 자기장의 변화에 따른 스위칭 전류(전류밀도)를 측정한 그래프이고, 도 19는 실리콘 함량이 7.4at% 인 스핀토크 활성층을 포함하는 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체를 300℃에서 1시간동안 열처리한 후, 외부 자기장의 변화에 따른 스위칭 전류(전류밀도)를 측정한 그래프이며, 도 20은 실리콘 함량이 9.1 at%인 스핀토크 활성층을 포함하는 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체를 300℃에서 1시간동안 열처리한 후, 외부 자기장의 변화에 따른 스위칭 전류(전류밀도)를 측정한 그래프이다.

도 21은 실리콘 함량이 0 at%인 스핀토크 활성층을 포함하는 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체를 500℃에서 1시간동안 열처리한 후, 외부 자기장의 변화에 따른 스위칭 전류(전류밀도)를 측정한 그래프이고, 도 22는 실리콘 함량이 7.4at% 인 스핀토크 활성층을 포함하는 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체를 500℃에서 1시간동안 열처리한 후, 외부 자기장의 변화에 따른 스위칭 전류(전류밀도)를 측정한 그래프이며, 도 23은 실리콘 함량이 9.1 at%인 스핀토크 활성층을 포함하는 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체를 500℃에서 1시간동안 열처리한 후, 외부 자기장의 변화에 따른 스위칭 전류(전류밀도)를 측정한 그래프이다.

도 24는 텅스텐-실리콘 합금층의 실리콘 조성이 3.0 at%인 실시예 2에 따른 W-Si/CoFeB/MgO/Ta 구조체를 500℃에서 1시간동안 진공 열처리를 진행한 뒤, 리더포드 후방산란(Rutherford Backscattering)을 이용한 W 내의 Si 함량을 도시한 그래프이고, 도 25는 텅스텐-실리콘 합금층의 실리콘 조성이 4.0 at%인 실시예 2에 따른 W-Si/CoFeB/MgO/Ta 구조체를 500℃에서 1시간동안 진공 열처리를 진행한 뒤, 리더포드 후방산란(Rutherford Backscattering)을 이용한 W 내의 Si 함량을 도시한 그래프이며, 도 26은 텅스텐-실리콘 합금층의 실리콘 조성이 7.4 at%인 실시예 2에 따른 W-Si/CoFeB/MgO/Ta 구조체를 500℃에서 1시간동안 진공 열처리를 진행한 뒤, 리더포드 후방산란(Rutherford Backscattering)을 이용한 W 내의 Si 함량을 도시한 그래프이고, 도 27은 텅스텐-실리콘 합금층의 실리콘 조성이 9.1 at%인 실시예 2에 따른 W-Si/CoFeB/MgO/Ta 구조체를 500℃에서 1시간동안 진공 열처리를 진행한 뒤, 리더포드 후방산란(Rutherford Backscattering)을 이용한 W 내의 Si 함량을 도시한 그래프이다.

도 28은 수직 자기 이방성을 갖는 실시예 3에 따른 CoFeB/W-Si/CoFeB/MgO/Ta 구조체를 도시한 개략도이고, 도 29는 500℃에서 1시간동안 진공 열처리를 진행하여, 실시예 3에 따른 CoFeB/W-Si/CoFeB/MgO/Ta 구조체에, 박막 면 수직 방향(out-of-plane) 및 박막 면 내(in-plane) 방향으로 자기장을 인가하였을 때의 자기이력곡선을 도시한 그래프이며, 도 30 내지 도 32는 전류 인가 무자기장 자화 반전을 측정한 이력 곡선을 도시한 그래프이다.

도 33은 500℃에서 1시간동안 진공 열처리를 진행하여, 수직 자기 이방성을 갖는 실시예 1-1에 따른 W-Si/CoFeB/MgO/Ta 구조체의 텅스텐-실리콘 합금층의 실리콘 조성(0.0, 4.0, 9.1 at%)에 따른 X선 회절분석(X-ray Diffraction, XRD) 결과를 도시한 그래프이다.

도 34는 300℃에서 1시간동안 진공 열처리를 진행하여, 수직 자기 이방성을 갖는 실시예 2에 따른 W-Si/CoFeB/MgO/Ta 구조체의 텅스텐-실리콘 합금층의 실리콘의 조성(0.0, 4.0, 9.1 at%)에 따른 박막 면 내(in-plane) 투과전자현미경(Transmission Electron Microscope, TEM)을 이용하여 박막의 상을 도시한 이미지이고, 도 35는 500℃에서 1시간동안 진공 열처리를 진행하여, 수직 자기 이방성을 갖는 실시예 2에 따른 W-Si/CoFeB/MgO/Ta 구조체의 텅스텐-실리콘 합금층의 실리콘 조성(0.0, 4.0, 9.1 at%)에 따른 박막 면 내(in-plane) 투과전자현미경(Transmission Electron Microscope, TEM)을 이용하여 박막의 상을 도시한 이미지이다.

발명을 실시하기 위한 구체적인 내용

[0034] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.

[0035] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다

(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계는 하나 이상의 다른 구성요소, 단계의 존재 또는 추가를 배제하지 않는다.

[0036] 본 명세서에서 사용되는 "실시예", "예", "측면", "예시" 등은 기술된 임의의 양상(aspect) 또는 설계가 다른 양상 또는 설계들보다 양호하다거나, 이점이 있는 것으로 해석되어야 하는 것은 아니다.

[0037] 또한, '또는'이라는 용어는 배타적 논리합 'exclusive or'이기보다는 포함적인 논리합 'inclusive or'를 의미한다. 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다'라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.

[0038] 또한, 본 명세서 및 청구항들에서 사용되는 단수 표현("a" 또는 "an")은, 달리 언급하지 않는 한 또는 단수 형태에 관한 것이라고 문맥으로부터 명확하지 않는 한, 일반적으로 "하나 이상"을 의미하는 것으로 해석되어야 한다.

[0039] 아래 설명에서 사용되는 용어는, 연관되는 기술 분야에서 일반적이고 보편적인 것으로 선택되었으나, 기술의 발달 및/또는 변화, 관례, 기술자의 선호 등에 따라 다른 용어가 있을 수 있다. 따라서, 아래 설명에서 사용되는 용어는 기술적 사상을 한정하는 것으로 이해되어서는 안 되며, 실시예들을 설명하기 위한 예시적 용어로 이해되어야 한다.

[0040] 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 설명 부분에서 상세한 그 의미를 기재할 것이다. 따라서 아래 설명에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가지는 의미와 명세서 전반에 걸친 내용을 토대로 이해되어야 한다.

[0041] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0042] 한편, 본 발명의 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 상세한 설명을 생략할 것이다. 그리고, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0044] 도 1은 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합을 도시한 단면도이다.

[0045] 본 발명의 실시예에 따른 스핀궤도 토크(spin-orbit torque, SOT) 기반 자기 터널 접합은 기판(110) 상에 형성되는 스핀토크 활성층(spin-orbit active layer; 120), 스핀토크 활성층(120) 상에 형성되는 자유층(130), 자유층(130) 상에 형성되는 터널 배리어층(140) 및 터널 배리어층(140) 상에 형성되는 고정층(150)을 포함하고, 스핀토크 활성층(120)은 W-X 합금(여기서, W는 텅스텐이고, 상기 X는 4족 반도체 및 3-5족 반도체 중 적어도 하나를 포함함)을 포함한다.

[0046] 따라서, 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합은 스핀궤도결합이 큰 W-X 합금을 스핀토크 활성층(120)으로 사용하여 스핀궤도 토크 스위칭이 가능하고 낮은 비저항에서 높은 스핀궤도 토크 효율을 가질 수 있다.

[0047] 본 발명의 실시예에 따른 스핀 궤도 기반 자기 터널 접합은 기판(110) 상에 형성되는 스핀토크 활성층(120)을 포함한다.

[0048] 기판(110)은 반도체 기판을 포함할 수 있고, 반도체 기판은 실리콘(Si), 실리콘-온-인슐레이터(SOI), 실리콘게르마늄(SiGe), 게르마늄(Ge), 갈륨비소(GaAs) 등을 포함할 수 있다.

[0049] 기판(110)은 스핀토크 활성층(120)과 맞닿는 표면에 자연 산화층을 포함할 수 있고, 기판(110) 표면에 형성된 자연 산화층은 비정질일 수 있다.

[0050] 실시예에 따라, 기판(110) 상에 시드층(seed layer) 및 버퍼층(buffer layer) 중 적어도 어느 하나를 더 포함할 수 있다.

[0051] 따라서, 시드층 및 버퍼층은 기판(110)과 활성층 사이에 형성될 수 있다.

[0052] 시드층은 기판(110) 상에 형성될수도 있고, 스핀토크 활성층(120) 상에 형성될 수 있으며, 시드층은 결정 성장할 수 있도록 하는 물질로, 자성 물질이 원하는 결정 방향으로 성장할 수 있도록 할 수 있다.

[0053] 시드층은 탄탈륨(Ta), 루테늄(Ru), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 마그네슘(Mg), 코발트(Co), 알루미늄(Al) 및 텅스텐(W) 중 적어도 어느 하나를 포함할 수 있으나, 이에 제한되는 것은 아니다. 바람직하게는 시드층은 5 nm의 Ta일 수 있다.

[0054] 버퍼층은 스핀토크 활성층(120)의 하단에 형성될 수 있고, 버퍼층이 스핀토크 활성층(120)의 하단에 형성되어 스핀토크 활성층(120)의 결정성을 향상시킬 수 있다.

[0055] 또한, 버퍼층은 층들의 격자 상수 불일치를 해소하기 위해 형성될 수 있다.

[0056] 또한, 시드층 및 버퍼층은 서로 구분되지 않고 단일층으로 형성될 수 있다. 예를 들어, 버퍼층이 시드층의 기능도 포함할 수 있다.

[0057] 버퍼층은 Ta, W 및 Pd 중 적어도 어느 하나를 포함할 수 있으나, 이에 제한되지 않는다. 바람직하게는, 버퍼층은 10 nm의 Pd 또는 2 nm의 Ta 일 수 있다.

[0058] 스핀토크 활성층(120)은 자유층(130)과 접촉하여 면내 전류를 제공하는 전극으로 사용될 수 있고, 면내 전류를 제공하여 스핀홀 효과 또는 라쉬바 효과를 유발할 수 있다.

[0059] 스핀토크 활성층(120)은 스핀 분극 전류를 제공하고, 스핀토크 활성층(120)의 스핀홀 효과 또는 라쉬바 효과에 의하여 자유층(130)에 스핀궤도 토크를 인가하여 자유층(130)의 자화 역전을 유도할 수 있다. 또한, 스핀토크 활성층(120)는 자유층(130)에 스핀토크 활성층(120)의 자화 방향으로 정렬된 스핀 축적을 제공하고, 스핀 축적은 결정론적인 스위칭(deterministic switching) 효과 또는 추가적인 토크를 제공하는 효과를 제공할 수 있다.

[0060] 또한, 스핀토크 활성층(120)을 통해 면내에서 구동되는 전류 및 수반되는 스핀 궤도 상호 작용은 스핀 궤도 자기장(H)을 초래할 수 있다. 이 스핀 궤도 자기장(H)은 자화 상의 스핀궤도 토크(T)와 동등하다. 따라서 토크와 자기장은 스핀 궤도 자기장과 스핀궤도 토크로 상호 교환적으로 지칭될 수 있다. 이는 스핀 궤도 상호 작용이 스핀궤도 토크 및 스핀 궤도 자기장의 근원이라는 사실을 반영한다. 스핀궤도 토크는 스핀토크 활성층(120)의 평면에서 구동되는 전류 및 스핀 궤도 상호 작용에 대해 발생할 수 있다.

[0061] 스핀토크 활성층(120)은 강력한 스핀-궤도 상호작용을 가지고, 자유층(130)의 자기 모멘트 스위칭 시에 사용될 수 있는 전극일 수 있다.

[0062] 또한, 스핀토크 활성층(120)은 자유층(130) 내의 자기장을 스위칭하는 것을 용이하게 할 수 있고, 스핀토크 활성층(120)은 자유층(130)에서의 자기장의 극성 방향을 변경함으로써 스핀 트랜스퍼 토크 메모리를 구현할 수 있다.

[0063] 따라서, 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합은 MRAM 메모리 셀을 동작시키기 위해 스핀 전류를 사용하여 자유층(130)을 스위칭하기 위한 스핀궤도 토크(spin orbit torque, SOT)를 사용할 수 있다.

[0064] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합은 스핀토크 활성층(120)으로 W-X 합금(여기서, W는 텅스텐이고, 상기 X는 4족 반도체 및 3-5족 반도체 중 적어도 하나를 포함함)을 사용할 수 있고, 이에 따라, 다양한 열처리 온도 범위에서 수직자기이방성(perpendicular magnetic anisotropy, PMA)이 유지될 수 있다.

[0065] 바람직하게는, 4족 반도체는 탄소(C), 실리콘(Si), 게르마늄(Ge), 주석(Sn), 또는 이들의 합금 중 적어도 어느 하나를 포함할 수 있고, 3-5족 반도체는 GaAs, GaP, InP, InGaAlN 및 GaN 중 적어도 어느 하나를 포함할 수 있으나, 이에 제한되는 것은 아니다.

[0066] 바람직하게는, 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합은 스핀토크 활성층(120)으로 텅스텐(W)-실리콘(Si) 합금(Alloy)이 사용될 수 있다.

[0067] 보다 구체적으로, 스핀궤도 토크(SOT)는 스핀궤도 상호작용에 의한 스핀-홀 효과(Spin-Hall Effect) 및 라쉬바 효과(Rashba Effect)에 의해 나타나고, 이러한 현상은 원자 번호와 비례하여 강하게 나타날 수 있다. 이에, 종전에는 중금속 재료(W, Ta, Pt 등) 위주의 연구가 진행되고 있고, 중금속 단일 재료의 특성과 효율을 더욱 향상시키고자 다양한 재료의 합금 또는 삽입 등의 연구가 이루어지고 있다.

[0068] 따라서, 스핀트로닉스 관점에서 텅스텐은 스핀-궤도 토크(SOT) 발현이 뛰어난 물질이기에, 스핀-궤도 상호작용에 의한 스핀-홀 효과가 강해 SOT-MRAM 소재로 사용하기 용이하고, X(Si과 Ge, Ga-As 등 4족, 3-5족) 반도체 물질은 스핀-궤도 토크의 원인으로 알려져 있는 스핀-홀 효과와 라쉬바 효과가 존재하므로, W-X 합금을 스핀토크 활성층(120)으로 사용하면 스핀궤도 토크 스위칭이 가능하고 낮은 비저항에서 높은 스핀궤도 토크 효율을 가질 수 있다.

[0069] 바람직하게는, 텅스텐(W) 및 실리콘(Si)은 반도체 공정에 필수적인 물질이고, W-Si 합금 또한 고온에서 열처리를 진행하면 낮은 접촉 저항을 가져 반도체 공정에 매우 친화적인 물질이기에, 스핀토크 활성층(120)으로 W-Si 합금을 사용할 수 있다.

[0070] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 스핀토크 활성층(120)에 포함되는 X 원소는 반도체 물질로, X 원소는 외부(extrinsic) 스핀-홀 효과를 나타낼 수 있다.

[0071] 따라서, 텅스텐 내부에 부분적으로 불순물(impurity)로 존재하는 X의 외부(extrinsic) 스핀-홀 효과에 의해 텅스텐에 X(예; 실리콘) 조성의 함량이 증가될수록 스핀궤도 토크 효율이라 불리는 스핀-홀 각도(spin hall angle)가 증가될 수 있다.

[0072] 또한, 텅스텐 내부에 부분적으로 불순물(impurity)로 존재하는 X에 의해 전자 산란이 증가되어 텅스텐에 X의 조성 함량이 증가함에 따라 W-X 합금 박막의 비저항이 증가될 수 있다.

[0073] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합은 W-X 합금 내에 포함되는 X의 조성 함량이 증가함에 따라 스위칭 전류가 감소될 수 있다.

[0074] 스핀궤도 토크(spin-orbit torque, SOT)에 의한 스위칭 전류는 하기 식 1로 표현될 수 있다.

[0075] [식 1]

[0076] $$I_{SW}^{SO} = \frac{2e}{\hbar\theta_{SH}} M_S t_{FM} A_{NM} \left(\frac{H_{k,eff}}{2} - \frac{H_x}{\sqrt{2}}\right)$$

[0077] 식 1에서, I_{SW}^{SO}는 스핀궤도 토크에 의한 스위칭 전류, θ_{SH}는 스핀 홀 각도라 불리는 스핀 토크의 효율, M_S는 포화자화, t_{FM}는 자성층의 두께, A_{NM}는 전류가 인가되는 비자성층의 단면적, $H_{k,eff}$는 일축 이방성 자기장의 크기, H_x는 스위칭 실험 시 필요한 외부 자기장의 크기를 의미한다.

[0078] W-X 합금 내에 X의 조성 함량이 증가됨에 따라 스핀 토크 효율인 θ_{SH}가 증가되고, 일축 이방성 자기장의 크기인 $H_{k,eff}$가 감소되어 스위칭 전류가 감소될 수 있다.

[0079] 또한, W-X 합금 내에 포함되는 X의 조성 함량은 0.1at% 내지 10.6 at%일 수 있다. 다만, W-X 합금에서 X의 조성 함량은 이에 제한되지 않고, X 물질에 따라 조절될 수 있다.

[0080] W-X 합금에서 X의 조성 함량이 증가함에 따라 수직자기이방성이 약해질 수 있고, 특정 조성 함량(예; 10.6at%) 범위를 벗어나면 수직자기이방성을 잃게되는 문제가 있다.

[0081] 바람직하게는, W-X 합금에서 X의 조성은 후에 진행되는 열처리의 온도에 따라 조절될 수 있고, 열처리의 온도가 300 ℃또는 400℃인 경우, X의 조성이 0.1 at% 내지 9.6 at%일 때, 수직자기이방성이 발현되고, 500℃인 경우, 0.1 at% 내지 8.6 at%일 때, 수직자기이방성이 발현될 수 있다. 다만, 열처리 온도에 따른 W-X 합금에서 X의 조성 함량은 이에 제한되지 않고, X 물질에 따라 조절될 수 있다.

[0082] W-X 합금에서 X의 조성 함량이 0.1 at% 미만의 경우, 텅스텐의 100at% 조성과 다름없어 X를 포함하지 않는 종래의 텅스텐 기반 스핀궤도 토크 소재이기에 스핀궤도 토크 효율이 낮아질 수 있다.

[0083] 열처리의 온도가 300℃ 또는 400℃인 경우, W-X 합금에서 X의 조성의 함량이 9.6at%를 초과하면, 수직자기이방성을 잃을 뿐만 아니라, W-X 합금 박막 상에 형성되는 자성층(자유층 및 고정층)이 자성 특성을 잃어 자기 터널 접합 소자로 사용할 수 없는 문제가 있다.

[0084] 또한, 열처리의 온도가 500℃인 경우, W-X 합금에서 X의 조성의 함량이 8.6at%를 초과하면, 수직자기이방성을 잃을 뿐만 아니라, W-X 합금 박막 상에 형성되는 자성층(자유층 및 고정층)이 자성 특성을 잃어 자기 터널 접합

소자로 사용할 수 없는 문제가 있다.

[0085] 예를 들어, 스핀토크 활성층(120)으로 텅스텐(W)-실리콘(Si) 합금이 사용되는 경우, 수직 자기 이방성이 발현되는 실리콘의 조성 비율은 열처리 온도가 300℃인 경우, 실리콘의 조성 비율(x, 여기서 x는 실수)이 0.1 at% ≤ x ≤ 9.6 at%일 수 있고, 열처리 온도가 400℃인 경우, 실리콘의 조성 비율(x)이 0.1 at% ≤ x ≤ 9.6 at%일 수 있으며, 열처리 온도가 500℃인 경우, 실리콘의 조성 비율(x)이 0.1 at% ≤ x ≤ 8.6 at%일 수 있다.

[0086] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합은 수직 자기 이방성이 발현되는 열처리 온도가 증가함에 따라 스위칭 전류가 감소될 수 있다.

[0087] 본 발명의 실시예에 따른 스핀궤도 토크 기반의 자기 터널 접합은 열처리 온도가 증가함에 따라 스핀 토크 효율인 θ_{SH} 가 증가되고, 일축 이방성 자기장의 크기인 $H_{k,eff}$ 가 감소되므로 스위칭 전류가 감소될 수 있다.

[0088] 또한, 열처리 온도가 증가되면 텅스텐 내부에 부분적으로 불순물(impurity)로 존재하던 X(예; 실리콘) 원자가 텅스텐 구조에 녹아들면서 금속간 화합물을 이루면서 구조적으로 안정화되어 비저항이 감소될 수 있다.

[0089] 수직 자기 이방성이 발현되는 열처리 온도는 300℃ 내지 500℃일 수 있다.

[0090] 반도체 소자 공정에 포함되어 있는 BEOL(Back End Of Line) 공정은 300℃ 내지 400℃ 의 열처리가 포함되기 때문에, 해당 온도에서도 자성 특성을 유지할 수 있는 소자 개발하는 것은 필수적이다.

[0091] 따라서, 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합은 CoFeB/MgO(자유층/터널 배리어층) 구조에서 수직자기이방성이 발현되기 위해서는 최소 250℃ 내지 300℃열처리를 진행하여 CoFeB(자유층)의 결정화가 진행되어야 하기 때문에 300℃이상으로 열처리를 진행하여야 되고, 열처리 온도가 500℃를 초과하는 경우, 자성층으로 활용된 CoFeB(자유층)이 견딜 수 있는 온도 범위를 벗어나 자성층의 특성을 잃는 문제가 있다.

[0092] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합은 스핀토크 활성층(120)의 두께에 따라, 스핀토크 효율이 조절될 수 있고, 스핀토크 활성층(120)의 두께가 1 nm에서부터 증가함에 따라 스핀토크 효율이 증가되다가 포화되므로, 스핀토크 활성층(120)의 두께는 5 nm 내지 7 nm에서 최대의 스핀토크 효율을 가질 수 있다.

[0093] 바람직하게는, W의 경우, 스핀토크 효율이 높은 베타(beta) 상을 유지하기 위해서는 5 nm에서 최적의 두께를 가질 수 있기 때문에, 스핀토크 활성층(120)의 두께는 5 nm일 수 있다.

[0094] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합은 스핀토크 활성층(120) 상에 형성되는 자유층(130)을 포함한다.

[0095] 자유층(130)은 자화가 한 방향으로 고정되지 않고 일 방향에서 이와 대향되는 타 방향으로 변화될 수 있다. 자유층(130)은 고정층(150)과 자화 방향이 동일(즉 평행)할 수 있고, 반대(즉 반평행)일 수도 있다.

[0096] 자기 터널 접합은 자유층(130)과 고정층(150)의 자화 배열에 따라 변하는 저항값에 정보를 대응시킴으로써 메모리 소자로 활용될 수 있다.

[0097] 예를 들어, 자유층(130)의 자화 방향이 고정층(150)과 평행일 때, 자기 터널 접합의 저항값은 작아지고, 이 경우를 데이터 '0' 이라 규정할 수 있다. 또한, 자유층(130)의 자화 방향이 고정층(150)과 반평행일 때, 자기 터널 접합의 저항값은 커지고, 이 경우를 데이터 '1'이라 규정할 수 있다.

[0098] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합은 자유층(130)이 수직자기이방성(perpendicular magnetic anisotropy, PMA)를 가질 수 있다.

[0099] 예를 들어, 자유층(130)의 자화 방향이 음의 z축 방향인 경우, 양의 z축 방향으로 자화 반전시키기 위하여, 전류의 회전 방향은 시계 방향일 수 있다. 면내 전류로부터 기인하여 자유층(130)의 자기 모멘트에 가해지는 토크는 스핀궤도 토크라 명명될 수 있다.

[0100] 자유층(130)은 계면 수직 자기 이방성(interface perpendicular magnetic anisotropy)을 갖는 물질을 포함할 수 있다. 계면 수직 자기 이방성은 내재적 수평 자화 특성을 갖는 자성 층이 그에 인접하는 다른 층과의 계면으로부터의 영향에 의하여 수직 자화 방향을 갖는 현상을 말한다.

[0101] 자유층(130)은 코발트(Co), 철(Fe), 및 니켈(Ni) 중에서 적어도 하나를 포함할 수 있다. 또한, 자유층(130)은 보론(B), 아연(Zn), 알루미늄(Al), 티타늄(Ti), 루테늄(Ru), 탄탈륨(Ta), 실리콘(Si), 은(Ag), 금(Au), 구리(Cu), 탄소(C), 및 질소(N)와 같은 비자성 물질들 중에서 적어도 하나를 더 포함할 수 있다.

[0102] 예를 들어, 자유층(130)은 CoFe 또는 NiFe를 포함하되, 보론(B)를 더 포함할 수 있다. 이에 더하여, 기준층(126) 및 자유층(122)는 티타늄(Ti), 알루미늄(Al), 실리콘(Si), 마그네슘(Mg), 탄탈륨(Ta) 및 실리콘(Si) 중 적어도 하나를 더 포함할 수 있다.

[0103] 실시예에 따라, 자유층(130)은 L10결정 구조를 갖는 물질, 조밀육방격자(Hexagonal Close Packed lattice; HCP)를 갖는 물질, 및 비정질 RE-TM(Rare-Earth Transition Metal) 합금 중에서 적어도 하나를 포함할 수 있다.

[0104] 자유층(130)의 두께는 수직자기이방이 발현되기 위해 0.9nm일 수 있으나, 이에 제한되지는 않는다.

[0105] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합은 자유층(130) 상에 형성되는 터널 배리어층(140)을 포함한다.

[0106] 터널 배리어층(140)은 자유층(130)과 고정층(160)을 분리하고, 자유층(130)과 고정층(160) 사이에 양자 기계적 터널링(quantum mechanical tunneling)이 가능하게 한다.

[0107] 터널 배리어층(140)은 자유층(130)과 고정층(150) 사이에 개재될 수 있다. 터널 배리어층(140)은 마그네슘(Mg)의 산화물, 티타늄(Ti)의 산화물, 알루미늄(Al)의 산화물, 마그네슘-아연(MgZn)의 산화물, 마그네슘-보론(MgB)의 산화물, 티타늄(Ti)의 질화물, 및 바나듐(V)의 질화물 중에서 적어도 하나를 포함할 수 있다. 예를 들어, 터널 배리어층(140)은 결정성 산화 마그네슘(MgO)을 포함할 수 있다.

[0108] 터널 배리어층(140)의 두께는 수직자기이방이 발현되기 위해 1.0 nm 일 수 있으나, 이에 제한되지는 않는다.

[0109] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합은 터널 배리어층(140) 상에 형성되는 고정층(150)을 포함한다.

[0110] 고정층(150)은 자기 메모리 소자의 쓰기 동작 시 고정된 자기 모멘트를 가질 수 있다. 예를 들어, 고정층(150)의 자기 모멘트는 스핀토크 활성층(120)을 흐르는 전류들에 의한 스핀궤도 토크에 의하여 스위치 되지 않을 수 있다.

[0111] 고정층(150)은 계면 수직 자기 이방성(interface perpendicular magnetic anisotropy)을 갖는 물질을 포함할 수 있다.

[0112] 계면 수직 자기 이방성은 내재적 수평 자화 특성을 갖는 자성 층이 그에 인접하는 다른 층과의 계면으로부터의 영향에 의하여 수직 자화 방향을 갖는 현상을 말한다. 고정층(150)은 코발트(Co), 철(Fe), 및 니켈(Ni) 중에서 적어도 하나를 포함할 수 있다.

[0113] 또한, 고정층(150)은 보론(B), 아연(Zn), 알루미늄(Al), 티타늄(Ti), 루테늄(Ru), 탄탈륨(Ta), 실리콘(Si), 은(Ag), 금(Au), 구리(Cu), 탄소(C), 및 질소(N)와 같은 비자성 물질들 중에서 적어도 하나를 더 포함할 수 있다.

[0114] 예를 들어, 고정층(150)은 CoFe 또는 NiFe를 포함하되, 보론(B)를 더 포함할 수 있다. 이에 더하여, 기준층(126) 및 자유층(122)는 티타늄(Ti), 알루미늄(Al), 실리콘(Si), 마그네슘(Mg), 탄탈륨(Ta) 및 실리콘(Si) 중 적어도 하나를 더 포함할 수 있다.

[0115] 고정층(150)은 단일 층 구조를 가질 수 있다. 실시예에 따라, 고정층(150)은 비자성 층(들)에 의해 분리된 강자성 층들을 갖는 합성 반강자성체를 포함할 수 있다.

[0116] 실시예에 따라, 고정층(150)은 L10결정 구조를 갖는 물질, 조밀육방격자(Hexagonal Close Packed lattice; HCP)를 갖는 물질, 및 비정질 RE-TM(Rare-Earth Transition Metal) 합금 중에서 적어도 하나를 포함할 수 있다.

[0117] 고정층(150)은 자유층(130)보다 두껍게 형성되어 스위칭이 쉽게 일어나지 않게 형성될 수 있다.

[0118] 스핀궤도 토크 기반 자기 터널 접합은 고정층(150) 상에 캐핑층(160)을 더 포함할 수 있고, 바람직하게는, 캐핑층(160)은 Ta이 사용될 수 있다.

[0119] 캐핑층(160)은 산화방지막으로 사용될 수 있고, 자연 산화에 의해 자성층(자유층 및 고정층)의 특성이 저감되는 것을 막고자 2 nm로 증착될 수 있다.

[0120] 캐핑층(160)의 두께가 2 nm보다 두껍게 형성되면, 산화 방지 효과는 증가될 수 있으나, 캐핑층(160) 증착 시, 터널 배리어층(140)에 영향을 미쳐 수직자기이방성 조건(자유층(130)과 터널 배리어층(140)의 두께)을 조절해야

된다.

[0121] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합은 스핀토크 활성층(120), 자유층(130), 터널 배리어층(140) 및 고정층(150)은 평면에서 볼 때 십자(cross) 형태일 수 있다.

[0122] 또한, 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 스핀토크 활성층(120)은 평면에서 볼 때 십자(cross) 형태이고, 자유층(130), 터널 배리어층(140) 및 고정층(150)은 십자 형태의 스핀토크 활성층(120)의 중심부에 섬(island) 형태로 배치될 수 있다.

[0123] 도 2를 참조하여, 스핀토크 활성층(120)은 평면에서 볼 때 십자(cross) 형태이고, 자유층(130), 터널 배리어층(140) 및 고정층(150)은 십자 형태의 스핀토크 활성층(120)의 중심부에 섬(island) 형태로 배치되는 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합에 대해 상세히 설명하기로 한다.

[0124] 스핀궤도 토크 기반 자기 터널 접합은 자성층의 자화 방향에 따른 저항의 변화를 전기적으로 계측하게 되는데, 모든 층이 십자 형태(스핀토크 활성층(120), 자유층(130), 터널 배리어층(140) 및 고정층(150)은 평면에서 볼 때 십자(cross) 형태)인 경우, 자성층의 부피가 커져 신호(시그널)이 잘 나와 특성 분석에 용이할 수 있다.

[0125] 반면, 스핀토크 활성층(120)은 평면에서 볼 때 십자(cross) 형태이고, 자유층(130), 터널 배리어층(140) 및 고정층(150)은 십자 형태의 스핀토크 활성층(120)의 중심부에 섬(island) 형태로 배치하는 경우, 스핀-궤도 토크를 이용한 스위칭 시에만 활용하는 것으로 자유층의 자화 방향이 스핀-궤도 토크가 아닌 자구벽 확산(domain wall propagation)에 의해 바뀌는 것을 막고 온전히 스핀-궤도 토크에 의한 자화 반전을 관측할 수 있다.

[0126] 또한, 자유층(130), 터널 배리어층(140) 및 고정층(150)를 섬 형태로 배치하는 경우, 모든 층을 십자 형태로 제조한 후, 식각 단계를 한번 더 진행해야 하며, 식각을 진행하다가 스핀토크 활성층이 노출되기 시작하면 그 즉시 식각을 멈춰야 하기 때문에 소자 제작에 노하우가 필요하다.

[0127] 도 2는 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합을 도시한 평면도이다.

[0128] 십자 형태의 스핀토크 활성층(120)은 제1 도전 라인(121) 및 제2 도전 라인(122)를 포함할 수 있고, 제1 도전 라인(121) 및 제2 도전 라인(122)은 서로 교차되도록 형성될 수 있다.

[0129] 따라서, 자화 스위칭 방법은, 제1 주파수를 가지는 교류형태의 제1 전류(jx)를 제1 도전 라인(121)에 인가하고, 제1 주파수를 가지고 교류 형태의 제2 전류(jy)를 제2 도전 라인(122)에 인가하여 자유층(130)은 자화반전을 수행할 수 있다.

[0130] 제1 도전 라인(121)에 제1 각주파수(ω)를 가진 제1 전류를 주입하고, 제2 도전 라인(122)에 제1 각주파수(ω)를 가진 제2 전류를 주입하는 경우, 자유층(130), 터널 배리어층(140) 및 고정층(150)이 배치된 위치에서 총 전류 벡터는 시간에 따라 회전할 수 있다.

[0131] 총 전류 벡터의 위상과 같이 회전하는 좌표계 입장에서 문제를 바라보면, 교류전류는 직류전류의 문제로 바뀐다. 한편, 회전하는 좌표계 입장에서는, 회전 각속도에 대응하는 수직방향의 유효자기장이 나타난다. 즉, 교류전류의 효과는 수직방향의 유효자기장이 있는 시스템에서의 직류전류의 문제로 변환된다. 이 경우, 수직방향의 유효자기장의 효과 때문에 자유층의 자화는 매우 쉽게 반전될 수 있다.

[0132] 제1 도전 라인(121) 및 제2 도전 라인(122)은 스핀홀 효과 또는 라쉬바 효과를 유발하는 물질일 수 있다. 제1 도전 라인(112)에 제1 전류가 흐르는 경우, 제1 도전 라인(121)의 진행하는 방향에 수직한 스핀 분극이 발생하고, 스핀 전류는 상기 자유층 방향(z축방향)으로 진행한다.

[0133] 제1 도전 라인(121)은 x 방향을 따라 연장되는 라인 형태를 가질 수 있다. 제2 도전 라인(122)은 제1 도전 라인(121)에 교차하는 라인 형태를 가질 수 있다. 예를 들어, 제2 도전 라인(122)은 y 방향을 따라 연장되는 라인 형태를 가질 수 있다.

[0134] 제1 도전 라인(121)과 제2 도전 라인(122)은 일 지점에서 서로 교차할 수 있으며, 서로 연결될 수 있다. 예를 들어, 제1 도전 라인(121) 및 제2 도전 라인(122)은 동일한 평면(즉, x-y 평면) 상에 위치할 수 있다.

[0135] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합은 스핀토크 활성층(120)을 십자 형태로 패터닝함으로써, 스핀홀 효과에 의한 특성을 전기적으로 측정할 수 있고, 스핀 토크에 의한 자화의 움직임을 전류 주입 방향과 수직한 방향으로 전압을 측정할 수 있다.

[0137] 도 3은 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 제조방법을 도시한 흐름도이다.

[0138] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 제조방법은 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합과 동일한 구성요소를 포함하고 있으므로, 동일한 구성 요소에 대해서는 생략하기로 한다.

[0139] 먼저, 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 제조 방법은 기판 상에 스핀토크 활성층을 형성하는 단계(S110)를 진행한다.

[0140] 기판은 실리콘 기판일 수 있고, 실리콘 기판의 표면에는 자연 산화층이 형성될 수 있고, 실시예에 따라, 자연 산화층은 CVD, PVD 또는 열 산화함으로써 형성될 수 있다.

[0141] 실시예에 따라, 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 제조 방법은 기판 상에 스핀토크 활성층을 형성하기 전에, 기판 상에 시드층을 형성하는 단계 및 기판 상에 버퍼층을 형성하는 단계 중 적어도 어느 하나의 단계를 진행할 수 있다.

[0142] 시드층 및 버퍼층은 스퍼터링을 포함하는 물리적 기상 증착(PVD, physical vapor deposition), 분자 빔 에피택시(MBE, molecular beam epitaxy), 펄스 레이저 퇴적(PLD, pulsed laser deposition), 원자층 퇴적(ALD, atomic layer deposition), 전자 빔(e-beam) 에피택시, 화학적 기상 증착(CVD, chemical vapor deposition), 또는 저압 CVD(LPCVD, low pressure CVD), 초고진공 CVD(UHVCVD, ultrahigh vacuum CVD) 또는 감압 CVD(RPCVD, reduced pressure CVD)를 포함하는 파생 CVD 공정, 전기 도금, 코팅 또는 이들의 임의의 조합을 포함하는 방법에 의해 형성될 수 있다.

[0143] 기판 상에 스핀토크 활성층을 형성하는 단계(S110)는, 진공 챔버 내에서 W 타겟와 X 타겟을 동시에 스퍼터링하여 진공 챔버 내에 배치된 기판 상에 W-X 합금(여기서, W는 텅스텐이고, X는 4족 반도체 및 3-5족 반도체 중 적어도 하나를 포함함) 박막을 형성한다.

[0144] 바람직하게는, 진공 챔버 내에서 W 타겟와 X 타겟 동시에 스퍼터링하는 동시 증착법(Co-deposition)으로 진공 챔버 내에 배치된 기판 상에 텅스텐-실리콘 합금 박막을 형성할 수 있다.

[0145] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 제조방법은 W 타겟 및 X 타겟의 파워 및 두께에 따라 W-X 합금 박막의 조성이 조절될 수 있다.

[0146] 먼저, W 타겟 및 X 타겟의 파워에 따라 W-X 합금 박막의 조성이 조절될 수 있다.

[0147] W 타겟의 파워는 0.1 W 내지 85 W(0 W/cm^2 내지 4.19 W/cm^2)일 수 있고, 0.1 W 미만이면 W 이 증착되지 않는 문제가 있고, W 타겟 파워가 85 W를 초과하면 W 타겟에 너무 큰 에너지가 가해져 균열이 생기는 문제가 있다.

[0148] X 타겟의 파워는 0.1W 내지 86.2 W (0.1 W/cm^2 내지 4.25 W/cm^2)일 수 있고, 0.1 W 미만이면 X 가 증착되지 않는 문제가 있고, X 타겟 파워가 86.2 W를 초과하면 X 타겟에 너무 큰 에너지가 가해져 균열이 생기는 문제가 있다.

[0149] 예를 들어, 각 물질(W 및 X)의 물성치(밀도, 원자량)를 이용하여 몰(mole) 당 부피(mol/cm^3)를 계산하고, 이를 두께와 나누어 특정 두께를 증착 할 때, 증착되는 몰(mole)의 값을 계산한 다음, 전체 W-X 합금 박막의 두께를 고정시키고 각 물질(W 및 X)의 두께를 조절하면 각 물질(W 및 X)의 몰 값이 계산되고, 이를 이용하여 W-X 합금 박막의 조성(at%)을 결정할 수 있다.

[0150] W 타겟와 X 타겟 파워는 각 타겟의 증착 파워와 증착 속도가 정 비례한다는 가정하에, 50 W (2.47 W/cm^2)로 증착 할 때의 증착 속도를 이용하여 두 물질의 증착 시간이 동일하게 되는 파워로 증착할 수 있다.

[0151] 예를 들어, X로 실리콘을 사용하여, W-Si 합금 박막을 형성할 때, 스퍼터링 장비의 경우, 50 W의 파워에서 텅스텐(W)과 실리콘(Si)의 증착 속도는 각각 0.045778 nm/s 및 0.013678 nm/s이므로, 텅스텐과 실리콘의 원자 비를 50:50으로 맞추기 위해 W-Si 합금 박막의 두께를 5 nm로 고정시켰을 때, 텅스텐과 실리콘의 두께가 각각 3.72 nm 및 1.28 nm가 될 수 있다.

[0152] 증착 속도를 고려하여 두 물질 모두 50 W로 증착을 진행하면, 각 두께를 증착하는데 81.3 초와 93.6 초가 걸리는데, 이 경우 증착 시간이 달라 W-Si 합금 박막이 균일하게 형성되지 않기 때문에, 각 물질의 파워를 조절하여 텅스텐 3.72 nm와 실리콘 1.28 nm를 증착하는데 같은 시간이 걸리는 파워를 설정하여 증착을 진행할 수 있다.

[0153] 이때, 텅스텐 타겟의 파워는 60 W(2.96 W/cm^2)일 수 있고, 실리콘 타겟의 파워는 69.1 W (3.41 W/cm^2)일 수 있다.

[0154] 또한, W-Si 합금 박막의 두께가 5nm인 경우, 텅스텐의 두께는 1.2 nm 내지 4.9 nm일 수 있고, 실리콘의 두께는 0.1 nm 내지 3.8 nm일 수 있다.

[0155] 또한, 텅스텐 타겟와 실리콘 타겟을 동시에 스퍼터링 하는 증착 시간은 59초 내지 231초일 수 있다.

[0156] 스퍼터링 챔버의 초기 진공도는 5X10^{-9} Torr일 수 있고, 39 sccm의 아르곤을 흘렸을 때, 작업 압력(working pressure)은 1.4 mTorr일 수 있다.

[0157] 따라서, W-X 합금 내에 포함되는 X의 조성 함량은 0.1at% 내지 10.6at%일 수 있다.

[0158] 예를 들어, W-X 합금으로 텅스텐(W)-실리콘(Si) 합금이 사용되는 경우, 수직 자기 이방성이 발현되는 실리콘의 조성 비율은 열처리 온도가 300℃인 경우, 실리콘의 조성 비율(x, 여기서 x는 실수)이 0.1 at% ≤ x ≤ 9.6 at%일 수 있고, 열처리 온도가 400℃인 경우, 실리콘의 조성 비율(x)이 0.1 at% ≤ x ≤ 9.6 at%일 수 있으며, 열처리 온도가 500℃인 경우, 실리콘의 조성 비율(x)이 0.1 at% ≤ x ≤ 8.6 at%일 수 있다.

[0159] 기판 상에 스핀토크 활성층을 형성하는 단계는, W-X 합금 박막을 십자 형태로 패터닝하는 단계를 더 포함할 수 있다.

[0160] W-X 합금 박막은 포토리소그래피 및 식각을 진행하여 십자 형태로 패터닝될 수 있다.

[0161] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 제조 방법은 스핀토크 활성층 상에 자유층을 형성하는 단계(S120), 자유층 상에 터널 배리어층을 형성하는 단계(S130) 및 터널 배리어층 상에 형성되는 고정층을 형성하는 단계(S140)를 진행한다.

[0162] 자유층, 터널 배리어층 및 자유층은 각각 스퍼터링을 포함하는 물리적 기상 증착(PVD, physical vapor deposition), 분자 빔 에피택시(MBE, molecular beam epitaxy), 펄스 레이저 퇴적(PLD, pulsed laser deposition), 원자층 퇴적(ALD, atomic layer deposition), 전자 빔(e-beam) 에피택시, 화학적 기상 증착(CVD, chemical vapor deposition), 또는 저압 CVD(LPCVD, low pressure CVD), 초고진공 CVD(UHVCVD, ultrahigh vacuum CVD) 또는 감압 CVD(RPCVD, reduced pressure CVD)를 포함하는 파생 CVD 공정, 전기 도금 또는 이들의 임의의 조합을 포함하는 방법에 의해 형성될 수 있다.

[0163] 실시예에 따라, 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 제조 방법은 터널 배리어층 상에 형성되는 고정층을 형성하는 단계(S140)를 진행한 다음, 고정층 상에 캐핑층을 형성하는 단계를 진행할 수 있다.

[0164] 캐핑층은 스퍼터링을 포함하는 물리적 기상 증착(PVD, physical vapor deposition), 분자 빔 에피택시(MBE, molecular beam epitaxy), 펄스 레이저 퇴적(PLD, pulsed laser deposition), 원자층 퇴적(ALD, atomic layer deposition), 전자 빔(e-beam) 에피택시, 화학적 기상 증착(CVD, chemical vapor deposition), 또는 저압 CVD(LPCVD, low pressure CVD), 초고진공 CVD(UHVCVD, ultrahigh vacuum CVD) 또는 감압 CVD(RPCVD, reduced pressure CVD)를 포함하는 파생 CVD 공정, 전기 도금, 코팅 또는 이들의 임의의 조합을 포함하는 방법에 의해 형성될 수 있다.

[0165] 자유층 및 고정층에 수직 자기 이방성을 발현시키기 위해 열처리를 진행하는 단계(S150)를 진행한다.

[0166] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 제조 방법은 자유층 및 고정층에 수직 자기 이방성을 발현시키기 위해 열처리를 진행하는 단계(S150)를 진행한다.

[0167] 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 제조 방법은 열처리 온도가 증가함에 따라 스핀토크 효율인 θ_{SH} 가 증가되고, 일축 이방성 자기장의 크기인 $H_{k,eff}$ 가 감소되므로 스위칭 전류가 감소될 수 있다.

[0168] 또한, 열처리 온도가 증가되면 텅스텐 내부에 부분적으로 불순물(impurity)로 존재하던 X(예; 실리콘) 원자가 텅스텐 구조에 녹아들면서 금속간 화합물을 이루면서 구조적으로 안정화되어 비저항이 감소될 수 있다.

[0169] 수직 자기 이방성이 발현되는 열처리 온도는 300℃ 내지 500℃일 수 있다.

[0170] 반도체 소자 공정에 포함되어 있는 BEOL(Back End Of Line) 공정은 300℃ 내지 400℃의 열처리가 포함되기 때문에, 해당 온도에서도 자성 특성을 유지할 수 있는 소자 개발하는 것은 필수적이다.

[0171] 따라서, 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 제조 방법은 CoFeB/MgO(자유층/터널 배리어층) 구조에서 수직자기이방성이 발현되기 위해서는 최소 250℃ 내지 300℃ 열처리를 진행하여 CoFeB(자유층)의 결정화가 진행되어야 하기 때문에 300℃ 이상으로 열처리를 진행하여야 되고, 열처리 온도가 500℃를 초과하는 경우, 자성층으로 활용된 CoFeB(자유층)이 견딜 수 있는 온도 범위를 벗어나 자성층의 특성을 잃는 문제가 있다.

[0173] 실험예 1: 소자 제조

[0174] [실시예 1-1]: Si/SiO_2/W-Si/CoFeB/MgO/Ta(다층 박막 구조) 제조

[0175] 표면에 비정질의 자연 산화층이 형성된 Si 기판(Si/SiO_2) 상에 텅스텐(W) 타겟을 스퍼터링 함과 동시에 실리콘(Si) 타겟을 함께 스퍼터링 하여 5nm의 텅스텐-실리콘 합금층(W-Si, 스핀토크 활성층)을 형성하였고, 이때, 텅스텐 타겟과 실리콘 타겟은 각각 직류, 교류 마그네트론 스퍼터링을 이용하였으며, 아르곤 기체의 유량을 고정시킨 상태에서 동시 스퍼터링하는 원소 각각의 스퍼터링 파워를 조절하여 텅스텐계 합금 박막의 조성을 조절하였고, 텅스텐-실리콘 합금 층 제작에 사용한 타겟의 크기는 직경 2인치이다.

[0176] 텅스텐-실리콘 합금 층 상에 $Co_{40}Fe_{40}B_{20}$ (at%) 타겟을 사용하여 0.9nm의 CoFeB 자유층을 형성한 다음, 1nm의 MgO 절연층 및 2nm의 Ta 캐핑층 층을 형성하였다.

[0177] 이에, 도 4에 도시한 바와 같은 Si/SiO_2/W-Si/CoFeB/MgO/Ta(기판/자연 산화층/스핀토크 활성층/자유층/터널 배리어/캐핑층)을 형성하였다.

[0178] 스핀궤도 토크 기반 자기 터널 접합 제조 시, 금속층을 적층할 때는 직류(dc) 마그네트론 스퍼터링(sputtering)을 사용하고, 절연체를 적층할 때는 교류(ac) 마그네트론 스퍼터링을 사용하였고, 초기 진공(base pressure)은 각각 $5x10^{-9}$ Torr 이하이며, 아르곤(Ar) 분위기에서 증착 하였다. 각 층의 두께는 증착 시간과 스퍼터링 파워를 이용해 조절하였다.

[0179] 도 4는 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합의 스핀궤도 토크 효율을 측정하기 위한 구조를 도시한 단면도이다.

[0181] [실시예 1-2]: Si/SiO_2/W-Si/CoFeB/MgO/Ta(십자 패턴 구조) 제조

[0182] 스핀토크 활성층, CoFeB 자유층 및 MgO 절연층을 포함한 다층 박막 구조는 모두 실시예 1-1과 동일하게 제조되었다. 도 11a와 같이 소자의 전체 구조를 십자 모양으로 패터닝하여 스핀 궤도 토크 효율과 비저항을 측정하였다.

[0184] [실시예 1-3]: Si/SiO_2/W-Si/CoFeB/MgO/Ta(자유층 자기터널접합 구조) 제조

[0185] 스핀토크 활성층, CoFeB 자유층 및 MgO 절연층을 포함한 다층 박막 구조는 모두 실시예 1-1과 동일하게 제조되었다. 도 17a와 같이 소자 전체 구조를 십자 모양으로 패터닝 한 후, 스핀토크 활성층을 제외한 모든 층을 스핀궤도 토크 활성층 상에 섬 형태로 형성하였다. 해당 시편을 이용하여 전류-인가 스핀 궤도 토크에 의한 자화 반전을 측정하였다.

[0187] [실시예 2]

[0188] 25nm의 텅스텐-실리콘 합금층(W-Si, 스핀토크 활성층) 단일막을 형성하였으며 패터닝 공정을 제외하면 실시예 1-1과 동일하게 제조되었다.

[0190] [실시예 3]: CoFeB 4/$W_{96}Si_{4.0}$ 1.5/CoFeB 0.9/MgO 1/Ta 2 (단위: nm)

[0191] 표면에 비정질의 자연 산화층이 형성된 Si 기판(Si/SiO_2) 상에 $Co_{40}Fe_{40}B_{20}$ (at%) 타겟을 사용하여 4 nm의 면내 방향으로 자화 용이 축을 갖는 자성층을 직류 마그네트론 스퍼터링을 이용하여 증착한다. 이때 자성층의 두께는 자화 용이축이 면내 방향인 상태에서 바뀔 수 있다.

[0192] 텅스텐(W) 타겟을 스퍼터링 함과 동시에 실리콘(Si) 타겟을 함께 스퍼터링 하여 1.5nm의 텅스텐-실리콘 합금층(W-Si, 스핀토크 활성층)을 형성하였고, 이때, 텅스텐 타겟과 실리콘 타겟은 각각 직류, 교류 마그네트론 스퍼터링을 이용하였으며, 아르곤 기체의 유량을 고정시킨 상태에서 동시 스퍼터링하는 원소 각각의 스퍼터링 파워를 조절하여 텅스텐계 합금 박막의 조성을 조절하였고, 텅스텐-실리콘 합금 층 제작에 사용한 타겟의 크기는 직경 2인치이다. 텅스텐-실리콘 합금층의 두께 역시 변화될 수 있다(1nm, 1.5nm, 2nm, 3 nm의 두께).

[0193] 텅스텐-실리콘 합금 층 상에 $Co_{40}Fe_{40}B_{20}$ (at%) 타겟을 사용하여 0.9nm의 CoFeB 자유층을 형성한 다음, 1nm의 MgO 절연층 및 2nm의 Ta 캐핑층 층을 형성하였다.

[0194] 이에, 도 4에 도시한 바와 비슷하나 SiO_2와 W-Si 사이에 CoFeB이 추가된 Si/SiO_2/CoFeB/W-Si/CoFeB/MgO/Ta(기판/면내 방향으로 자화 용이축을 갖는 자성층/자연 산화층/스핀토크 활성층/자유층/터널 배리어/캐핑층)을 형성하였다.

[0195] 스핀궤도 토크 기반 자기 터널 접합 제조 시, 금속층을 적층할 때는 직류(dc) 마그네트론 스퍼터링(sputtering)을 사용하고, 절연체를 적층할 때는 교류(ac) 마그네트론 스퍼터링을 사용하였고, 초기 진공(base pressure)은 각각 $5x10^{-9}$ Torr 이하이며, 아르곤(Ar) 분위기에서 증착 하였다. 각 층의 두께는 증착 시간과 스퍼터링 파워를 이용해 조절하였다.

[0196] 본 발명의 실시예 1-2와 같이 스핀궤도 토크 기반 자기 터널 접합은 스핀궤도 토크 효율을 측정하기 위해서 전체 박막 구조를 십자 패턴 모양으로 패터닝하였다.

[0197] 이 후, 전류-인가 스핀궤도토크에 의한 자화 반전을 측정하기 위해 실시예 1-3과 같이 스핀토크 활성층을 제외한 모든 층을 스핀토크 활성층 상에 섬 형태로 형성하였다.

[0199] [실험예 4]: 열처리

[0200] 도 4에 도시한 바와 같은 Si/SiO_2/W-Si/CoFeB/MgO/Ta을 모두 형성한 다음, 300℃, 400℃ 및 500℃의 온도로 1시간동안 열처리를 진행하였고, 열처리 시 초기 진공은 10^{-6} Torr 대역이며, 열처리 중 6 kOe의 외부자기장이 Si/SiO_2/W-Si/CoFeB/MgO/Ta(스핀궤도 토크 기반 자기 터널 접합)에 수직인 방향으로 가해졌다.

[0201] 300℃, 400℃ 및 500℃에서 열처리를 진행한 후 수직자기이방성이 유지되는 시편에 대해서 스핀 궤도 토크의 효율을 확인하기 위해 포토리소그래피(photolithography) 공정으로 5 x 35 μm^2 크기의 십자가 모양의 홀 바(Hall bar)를 제작하였다. 동일한 시편을 이용하여 십자가 모양의 홀 바를 제작한 후, CoFeB/MgO/Ta 층은 직경 4 μm의 섬(island) 형태로 제작하여 스핀-궤도 토크에 의한 자화 반전을 측정하였다.

[0203] 도 5 내지 도 10은 진동시편자력계(vibrating sample magnetometer, VSM)로 측정한 열처리 온도에 따른 자기이력(magnetic hysteresis) 곡선이다.

[0204] 도 5는 300℃에서 1시간동안 열처리가 진행된 도 4에 도시된 바와 같은 본 발명의 실시예에 따른 스핀궤도 토크 기반 자기 터널 접합(이하에서, 실시예 1-1에 따른 W-Si/CoFeB/MgO/Ta 구조체로 명명하기로 한다)에 박막 면 수직 방향(out-of-plane) 방향으로 자기장을 인가하였을 때, 스핀토크 활성층의 실리콘 함량(0at% 내지 10.6 at%)에 따른 자기이력곡선을 도시한 그래프이고, 도 6은 박막 면 내(in-plane) 방향으로 자기장을 인가하였을 때, 스핀토크 활성층의 실리콘 함량(0at% 내지 10.6 at%)에 따른 자기이력곡선을 도시한 그래프이다.

[0205] 도 5 및 도 6은 진동시편자력계(vibrating sample magnetometer, VSM)를 이용하여 박막 면 수직 방향(out-of-

plane), 박막 면 내(in-plane) 방향으로 자기장을 인가하여 측정한 자기이력곡선이다.

[0206] 도 5 및 도 6을 참조하면, 300℃에서 열처리가 진행된 실시예 1-1에 따른 W-Si/CoFeB/MgO/Ta 구조체에서 텅스텐-실리콘 합금의 두께를 5 nm로 고정시켰을 경우, 실리콘의 조성이 0 at%에서부터 10.6 at%까지 수직 자기 이방성이 발현되는 것을 알 수 있다.

[0207] 도 7은 400℃에서 1시간동안 열처리가 진행된 실시예 1-1에 따른 W-Si/CoFeB/MgO/Ta 구조체에 박막 면 수직 방향 방향으로 자기장을 인가하였을 때, 스핀토크 활성층의 실리콘 함량(0at% 내지 10.6 at%)에 따른 자기이력곡선을 도시한 그래프이고, 도 8은 박막 면 내 방향으로 자기장을 인가하였을 때, 스핀토크 활성층의 실리콘 함량(0at% 내지 10.6 at%)에 따른 자기이력곡선을 도시한 그래프이다.

[0208] 도 7 및 도 8을 참조하면, 400℃에서 열처리가 진행된 실시예 1-1에 따른 W-Si/CoFeB/MgO/Ta 구조체에서 텅스텐-실리콘 합금의 두께를 5 nm로 고정시켰을 경우, 실리콘의 조성이 0 at%에서부터 10.6 at%까지 수직 자기 이방성이 유지되며 그 이상부터는 수직자기이방성이 사라지는 것을 알 수 있다.

[0209] 또한, 실리콘의 조성이 10.6 at% 이상인 조성 범위에서는 실리콘의 조성 범위가 늘어날수록 이방성을 갖지 않고 자성 특성이 감소될 수 있다.

[0211] 도 9는 500℃에서 1시간동안 열처리가 진행된 실시예 1-1에 따른 W-Si/CoFeB/MgO/Ta 구조체에 박막 면 수직 방향 방향으로 자기장을 인가하였을 때, 스핀토크 활성층의 실리콘 함량(0at% 내지 10.6 at%)에 따른 자기이력곡선을 도시한 그래프이고, 도 10은 박막 면 내 방향으로 자기장을 인가하였을 때, 스핀토크 활성층의 실리콘 함량(0at% 내지 10.6 at%)에 따른 자기이력곡선을 도시한 그래프이다.

[0212] 도 9 및 도 10을 참조하면, 500℃에서 열처리가 진행된 실시예 1-1에 따른 W-Si/CoFeB/MgO/Ta 구조체에서 텅스텐-실리콘 합금의 두께를 5 nm로 고정시켰을 경우, 실리콘의 조성이 0 at%에서부터 10.6 at%까지 수직 자기 이방성이 유지되며 그 이상부터는 수직자기이방성이 사라지는 것을 알 수 있다.

[0214] 도 11a는 수직 자기 이방성을 갖는 실시예 1-2에 따른 W-Si/CoFeB/MgO/Ta 구조체를 도시한 개략도이고, 도 11b는 300℃ 및 500℃에서 1시간동안 진공 열처리를 진행하여, 도 11a에 도시된 수직 자기 이방성을 갖는 실시예 1-2에 따른 W-Si/CoFeB/MgO/Ta 구조체에 텅스텐-실리콘 합금층의 조성범위에서 하모닉스(harmonics) 측정법을 이용하여 측정한 소자의 스핀 궤도 토크의 효율을 도시한 그래프이다. 이때, DL_{WS3}, FL_{WS3}, DL_{WS5} 및 FL_{WS5} 는 각각 300℃ 열처리한 시편의 damping-like 토크, 300℃ 열처리한 시편의 field-like 토크, 500℃ 열처리한 시편의 damping-like 토크, 500℃ 열처리한 시편의 field-like 토크의 효율이다.

[0215] 도 11a를 참조하면, 실시예 1-2에 따른 W-Si/CoFeB/MgO 층을 십자 형태로 패터닝을 진행한 후에 하모닉스 측정법을 이용하여 측정하였다.

[0216] 실시예 1-2에 따른 W-Si/CoFeB/MgO 층을 십자 형태로 패터닝하여 제조된 다층 박막 구조는 전류를 x 방향으로 흘릴 때, x, y 방향으로 전압을 측정할 수 있고, x 방향 전압은 소재의 비저항을 측정할 수 있으며, y 방향 전압은 소재의 스핀 궤도 토크 효율을 측정할 수 있다.

[0217] 도 11b를 참조하면, 텅스텐-실리콘 합금층에서 500℃에서 열처리를 진행하였을 때, 모든 실리콘의 조성에서 텅스텐 단일층을 사용한 경우(30%)보다 증가한 것을 알 수 있다.

[0218] 특히, Si의 조성이 4.0 at% 일 경우, 텅스텐 단일층보다 약 100% 증가한 0.58의 스핀 궤도 토크의 효율을 나타내는 것을 알 수 있다.

[0220] 도 12는 300℃ 및 500℃에서 1시간동안 진공 열처리를 진행하여, 도 11a에 도시된 수직 자기 이방성을 갖는 실시예 1-2에 따른 W-Si/CoFeB/MgO/Ta 구조체에 텅스텐-실리콘 합금층의 조성범위에서 4침법(four-point probe)을 이용하여 측정한 합금의 전기 비저항 값을 도시한 그래프이다.

[0221] 도 12는 W-Si층을 십자 형태로 패터닝을 진행한 후에 하모닉스 측정법을 이용하여 측정하였다.

[0222] 전류를 W-Si/CoFeB/MgO/Ta 구조체에 흘려주었을 때, 절연층(MgO)과 캐핑층(Ta)에는 전류가 흐르지 않는다는 가

정을 바탕으로, 스핀토크 활성층(전극) W-Si층과 자유층 CoFeB(ρ = 170 μΩ · cm)을 병렬 저항 계산을 진행하여 텅스텐-실리콘 합금층의 비저항을 계산한 결과이다.

[0223] 도 12를 참조하면, 300℃ 및 500℃의 열처리 조건에 대해 실리콘의 조성이 늘어남에 따라 비저항이 증가하나, 500℃에서 열처리를 진행한 경우, 실리콘의 조성 7.6 at%까지 300℃에서 열처리를 진행한 텅스텐 단일층의 비저항보다 낮은 값을 나타내는 것을 알 수 있다.

[0225] 도 13 내지 도 22은 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체의 스위칭 특성을 측정한 것으로, 스핀 토크 활성층을 제외한 층(자유층, 터널배리어 등)이 십자 형태의 스핀토크 활성층의 중심부에 섬(island) 형태로 패터닝 된 후 측정이 진행되었다.

[0226] 도 13은 300℃에서 1시간동안 진공 열처리를 진행하여, 수직 자기 이방성을 갖는 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체에 +100 Oe의 외부자기장이 가해질 때, 텅스텐-실리콘 합금층의 조성(단위: at%)에 따른 스위칭 특성을 도시한 그래프이고, 도 14는 -100 Oe의 외부자기장이 가해질 때, 텅스텐-실리콘 합금층의 조성(단위: at%)에 따른 스위칭 특성을 도시한 그래프이다.

[0227] 도 13 및 도 14를 참조하면, 텅스텐-실리콘 합금층의 조성에 따른 스핀궤도 토크 스위칭 특성으로 모든 실리콘의 조성에 대하여 텅스텐 단일층보다 작은 전류에서 스위칭이 일어나는 것을 알 수 있다.

[0229] 도 15는 500℃에서 1시간동안 진공 열처리를 진행하여, 수직 자기 이방성을 갖는 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체에 +100 Oe의 외부자기장이 가해질 때, 텅스텐-실리콘 합금층의 조성(단위: at%)에 따른 스위칭 특성을 도시한 그래프이고, 도 16은 -100 Oe의 외부자기장이 가해질 때, 텅스텐-실리콘 합금층의 조성(단위: at%)에 따른 스위칭 특성을 도시한 그래프이다.

[0230] 도 15 및 도 16을 참조하면, 텅스텐-실리콘 합금층의 조성에 따른 스핀궤도 토크 스위칭 특성은 모든 실리콘의 조성에 대하여 텅스텐 단일층보다 작은 전류에서 스위칭이 일어나는 것을 알 수 있다.

[0232] 도 17a는 수직 자기 이방성을 갖는 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체를 도시한 개략도이고, 도 17b는 300℃ 및 500℃에서 1시간동안 진공 열처리를 진행하여, 수직 자기 이방성을 갖는 실시예 1-1에 따른 W-Si/CoFeB/MgO/Ta 구조체에 ±100 Oe의 외부자기장이 가해질 때, 스핀토크 활성층인 텅스텐-실리콘 합금층의 조성에 따른 스위칭 전류밀도 변화를 도시한 그래프이다.

[0233] 스위칭 전류 밀도는 실리콘의 조성 증가에 따른 비저항 변화를 고려하였으며, 병렬 저항 계산을 하여 텅스텐-실리콘 합금층에 실제로 흐르는 전류의 크기를 이용하여 계산하였다.

[0234] 도 17a를 참조하면, W-Si 층을 십자 형태로 패터닝을 진행한 후, CoFeB/MgO는 W-Si 층의 십자 형태의 교차부에만 형성되었다.

[0235] W-Si 층을 십자 형태로 패터닝을 진행한 후, CoFeB/MgO는 W-Si 층의 십자 형태의 교차부에만 형성하여 제조된 다층 박막 구조는 전류를 x 방향으로, 전압을 y 방향으로 측정하면 전류 주입에 따른 스핀 궤도 토크에 의한 자화 반전을 관측할 수 있고, 동일한 구조에서 자기장을 x 방향으로 걸어주면 유자기장 자화 반전, 자기장을 가하지 않으면 무자기장 자화 반전을 측정할 수 있다.

[0236] 도 17b를 참조하면, 실리콘의 조성이 증가할수록 스위칭 전류가 감소되는 것을 알 수 있다.

[0237] 보다 구체적으로, 300℃에서 열처리가 진행된 경우, 실리콘이 포함되지 않을 때, 스위칭 전류 밀도가 43.5 MA/cm^2이었으나, 실리콘(Si)의 조성이 9.6 at% 일 때, 14.0 MA/cm^2까지 감소되었다.

[0238] 500℃에서 열처리가 진행된 경우, 실리콘이 포함되지 않을 때, 스위칭 전류 밀도가 33.2 MA/cm^2이었으나, 실리콘(Si)의 조성이 7.4 at% 일 때, 10.8 MA/cm^2까지 감소되었다.

[0239] 따라서, 500℃에서 열처리가 진행된 경우, 300℃에서 열처리가 진행되었을 때보다 스위칭 전류 밀도보다 모든 조성에 대하여 낮은 값을 갖는 것을 알 수 있다.

[0241] 도 18은 실리콘 함량이 0 at%인 스핀토크 활성층을 포함하는 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체를 300℃에서 1시간동안 열처리한 후, 외부 자기장의 변화에 따른 스위칭 전류(전류밀도)를 측정한 그래프이고, 도 19는 실리콘 함량이 7.4at% 인 스핀토크 활성층을 포함하는 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체를 300℃에서 1시간동안 열처리한 후, 외부 자기장의 변화에 따른 스위칭 전류(전류밀도)를 측정한 그래프이며, 도 20은 실리콘 함량이 9.1 at%인 스핀토크 활성층을 포함하는 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체를 300℃에서 1시간동안 열처리한 후, 외부 자기장의 변화에 따른 스위칭 전류(전류밀도)를 측정한 그래프이다.

[0242] 도 18 내지 도 20을 참조하면, 10 Oe에서부터 150 Oe까지 크기를 증가하면서 인가한 외부자기장에 따라 자화 반전에 필요한 스위칭 전류 또는 전류밀도의 값이 감소되고, 인가된 모든 외부자기장 하에서 스핀궤도 토크 스위칭현상이 나타나는 것을 알 수 있다.

[0244] 도 21은 실리콘 함량이 0 at%인 스핀토크 활성층을 포함하는 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체를 500℃에서 1시간동안 열처리한 후, 외부 자기장의 변화에 따른 스위칭 전류(전류밀도)를 측정한 그래프이고, 도 22는 실리콘 함량이 7.4at% 인 스핀토크 활성층을 포함하는 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체를 500℃에서 1시간동안 열처리한 후, 외부 자기장의 변화에 따른 스위칭 전류(전류밀도)를 측정한 그래프이며, 도 23은 실리콘 함량이 9.1 at%인 스핀토크 활성층을 포함하는 실시예 1-3에 따른 W-Si/CoFeB/MgO/Ta 구조체를 500℃에서 1시간동안 열처리한 후, 외부 자기장의 변화에 따른 스위칭 전류(전류밀도)를 측정한 그래프이다.

[0245] 도 21 내지 23를 참조하면, 10 Oe에서부터 150 Oe까지 크기를 증가하면서 인가한 외부자기장에 따라 자화 반전에 필요한 스위칭 전류 또는 전류밀도의 값이 감소되는 것을 알 수 있다.

[0246] 또한, 인가된 모든 외부자기장 하에서 스핀궤도 토크 스위칭 현상이 나타나고, 도 18 내지 도 23과 비교하였을 때, 열처리 온도가 증가하면 스위칭 전류 값이 감소되는 것을 알 수 있다.

[0248] 도 24는 텅스텐-실리콘 합금층의 실리콘 조성이 3.0 at%인 실시예 2에 따른 W-Si/CoFeB/MgO/Ta 구조체를 500℃에서 1시간동안 진공 열처리를 진행한 뒤, 리더포드 후방산란(Rutherford Backscattering)을 이용한 W 내의 Si 함량을 도시한 그래프이고, 도 25는 텅스텐-실리콘 합금층의 실리콘 조성이 4.0 at%인 실시예 2에 따른 W-Si/CoFeB/MgO/Ta 구조체를 500℃에서 1시간동안 진공 열처리를 진행한 뒤, 리더포드 후방산란(Rutherford Backscattering)을 이용한 W 내의 Si 함량을 도시한 그래프이며, 도 26은 텅스텐-실리콘 합금층의 실리콘 조성이 7.4 at%인 실시예 2에 따른 W-Si/CoFeB/MgO/Ta 구조체를 500℃에서 1시간동안 진공 열처리를 진행한 뒤, 리더포드 후방산란(Rutherford Backscattering)을 이용한 W 내의 Si 함량을 도시한 그래프이고, 도 27은 텅스텐-실리콘 합금층의 실리콘 조성이 9.1 at%인 실시예 2에 따른 W-Si/CoFeB/MgO/Ta 구조체를 500℃에서 1시간동안 진공 열처리를 진행한 뒤, 리더포드 후방산란(Rutherford Backscattering)을 이용한 W 내의 Si 함량을 도시한 그래프이다.

[0249] 도 24 내지 도 27을 참조하면, 텅스텐-실리콘 합금층의 실리콘 조성이 3.0 at%, 4.0 at%, 7.4 at% 및 9.1 at%인 것을 알 수 있다.

[0251] 도 28은 수직 자기 이방성을 갖는 실시예 3에 따른 CoFeB/W-Si/CoFeB/MgO/Ta 구조체를 도시한 개략도이고, 도 29는 500℃에서 1시간동안 진공 열처리를 진행하여, 실시예 3에 따른 CoFeB/W-Si/CoFeB/MgO/Ta 구조체에, 박막 면 수직 방향(out-of-plane) 및 박막 면 내(in-plane) 방향으로 자기장을 인가하였을 때의 자기이력곡선을 도시한 그래프이며, 도 30 내지 도 32는 전류 인가 무자기장 자화 반전을 측정한 이력 곡선을 도시한 그래프이다.

[0252] 도 28을 참조하면, 박막 면 수직 방향과 박막 면 내 방향 모두 자기장을 인가했을 때 잔류 자화가 남아있다는 점에서 두 방향(예; x 방향 및 y 방향) 모두에 대해 자화 용이 방향이 존재한다는 것을 알 수 있다.

[0253] 또한, 실시예 3에 따른 CoFeB/W-Si/CoFeB/MgO/Ta 구조체는 스핀 토크 활성화 층 하부에 면내 방향으로 자화 용이 축을 갖는 자성층을 증착하여 무자기장 자화 반전이 가능하고, 하부 자성층과 스핀 토크 활성화 층의 두께에 따라 특성이 조절될 수 있다. 따라서, 디자인에 따라 W-Si 합금층 하부의 자성층이 면내 방향으로 자화 용이 축

을 갖고 W-Si 합금층 위의 자성층 이면에 수직 방향으로 자화 용이 축을 갖는 것을 알 수 있다.

[0254] 도 30 및 도 31은 각각 W-Si 합금층의 하부에 존재하는 자성층의 초기 자화 방향이 - x 또는 + x 방향으로 존재할 때 외부자기장을 인가하지 않은 상태에서 스핀궤도 토크에 의해 자화 반전이 일어나는 상황으로, 도 30 및 도 31을 참조하면, 하부의 자성층의 초기 자화가 스위칭 방향을 결정한다는 것을 알 수 있다.

[0255] 도 32를 참조하면, 외부 자기장을 -200 Oe 에서부터 +200 Oe 까지 변화시켰을 때의 스핀 궤도 토크에 의한 자화 반전으로 0 Oe에서도 자화 반전이 일어나는 것을 알 수 있다. 또한, +30 Oe에서 스위칭의 방향이 바뀌는 것은 하부 자성층의 자화의 방향이 30 Oe 부근에서 바뀌기 때문이다. 이때, 30 Oe는 하부 자성층의 보자력을 의미한다.

[0257] 도 33은 500℃에서 1시간동안 진공 열처리를 진행하여, 수직 자기 이방성을 갖는 실시예 1-1에 따른 W-Si/CoFeB/MgO/Ta 구조체의 텅스텐-실리콘 합금층의 실리콘 조성(0.0 at%, 3.0 at%, 4.0 at%, 7.4 at%, 9.1 at%, 100 at%)에 따른 X선 회절분석(X-ray Diffraction, XRD) 결과를 도시한 그래프이다.

[0258] 도 33의 하부에 바 그래프로 표기되어 있는 데이터는 표준 데이터로 각각의 표준 데이터 코드는 그래프 내에 명시되어 있다.

[0259] 도 33을 참조하면, 엑스선 회절 분석법을 이용하여 텅스텐-실리콘 합금층의 상을 확인한 결과, 실리콘(Si)의 함량이 늘어남에 따라 7.4 at%까지는 베타-W(beta-W) 상이 유지가 되나 (40도 부근의 삼지창 피크) 9.1 at% 부터는 알파-W(alpha-W) 상으로 변화하며 이는 실리콘(Si) 이 초기에는 베타(beta) 상을 안정화 시키지만 실리콘(Si)의 함량이 많아질수록 베타-W(beta-W) 상 형성을 방해하는 것을 알 수 있다.

[0261] 도 34는 300℃에서 1시간동안 진공 열처리를 진행하여, 수직 자기 이방성을 갖는 실시예 2에 따른 W-Si/CoFeB/MgO/Ta 구조체의 텅스텐-실리콘 합금층의 텅스텐-실리콘 합금층의 조성(0.0, 4.0, 9.1 at%)에 따른 박막 면 내(in-plane) 투과전자현미경(Transmission Electron Microscope, TEM)을 이용하여 박막의 상을 도시한 이미지이고, 도 35는 500℃에서 1시간동안 진공 열처리를 진행하여, 수직 자기 이방성을 갖는 실시예 2에 따른 W-Si/CoFeB/MgO/Ta 구조체의 텅스텐-실리콘 합금층의 텅스텐-실리콘 합금층의 조성(0.0, 4.0, 9.1 at%)에 따른 박막 면 내(in-plane) 투과전자현미경(Transmission Electron Microscope, TEM)을 이용하여 박막의 상을 도시한 이미지이다.

[0262] 도 34 및 도 35에서 W-Si의 두께는 25nm이다.

[0263] 도 34 및 도 35를 참조하면, 두께가 25 nm로 두껍거나 열처리 온도가 300도 이상인 경우, 텅스텐(W)은 알파(alpha) 상을 선호하는 것을 알 수 있다.

[0264] 또한, 도 34와 및 도 35의 첫번째 이미지인 실리콘(Si)의 함량이 0 at%인 경우에는 텅스텐(W)이 알파(alpha) 상으로 존재하는 것을 알 수 있고, 실리콘(Si)의 함량이 4.0 at%로 늘어남에 따라 25 nm의 두꺼운 박막임에도 불구하고 베타-W(beta-W) 상이 나타나는 것을 알 수 있으며, 9.1 at%로 실리콘(Si)의 함량이 늘어나자 다시 알파-W(alpha-W) 상으로 변화하는 것으로 보아 상 분리가 일어나는 것을 알 수 있다.

[0266] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

[0268] 110: 기판 120: 스핀토크 활성층

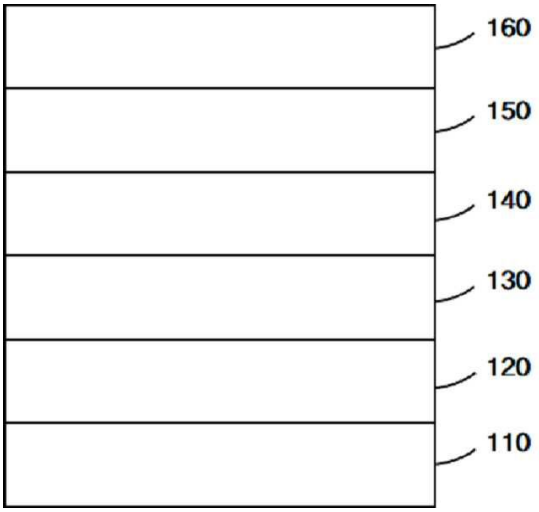
121: 제1 방향 122: 제2 방향

130: 자유층 140: 터널 배리어

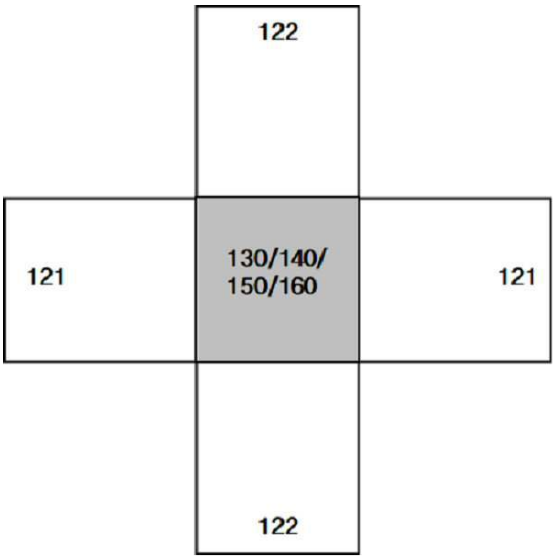
150: 고정층 160: 고정층

도면

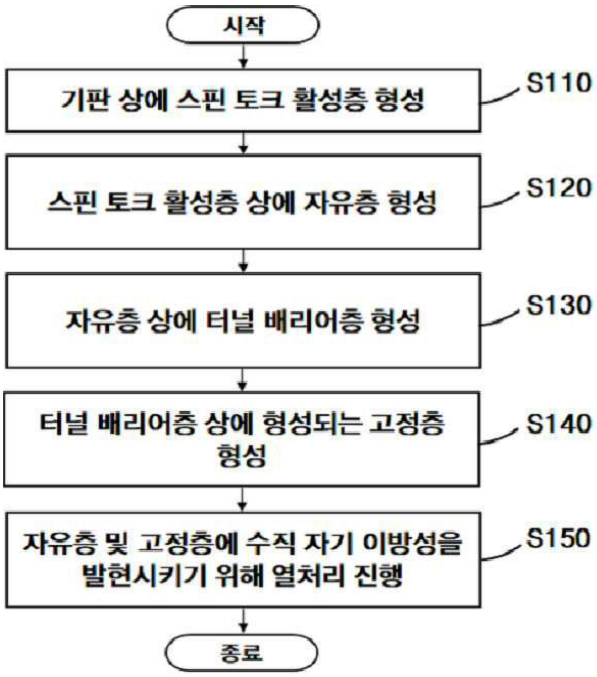
도면1



도면2



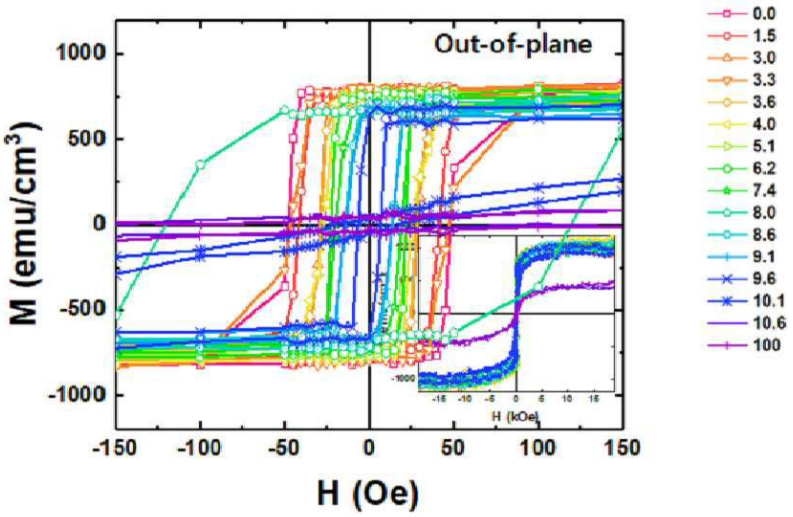
도면3


시작
기판 상에 스핀 토크 활성층 형성
S110
스핀 토크 활성층 상에 자유층 형성
S120
자유층 상에 터널 배리어층 형성
S130
터널 배리어층 상에 형성되는 고정층 형성
S140
자유층 및 고정층에 수직 자기 이방성을 발현시키기 위해 열처리 진행
S150
종료

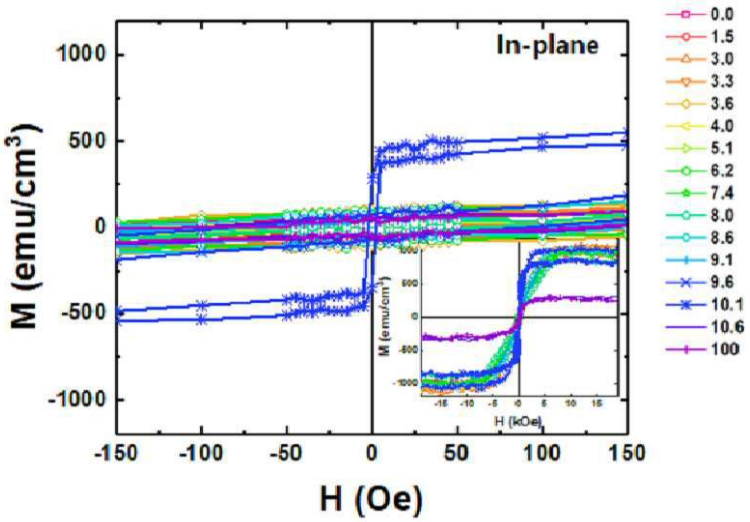
도면4

Ta
MgO
CoFeB
W-Si

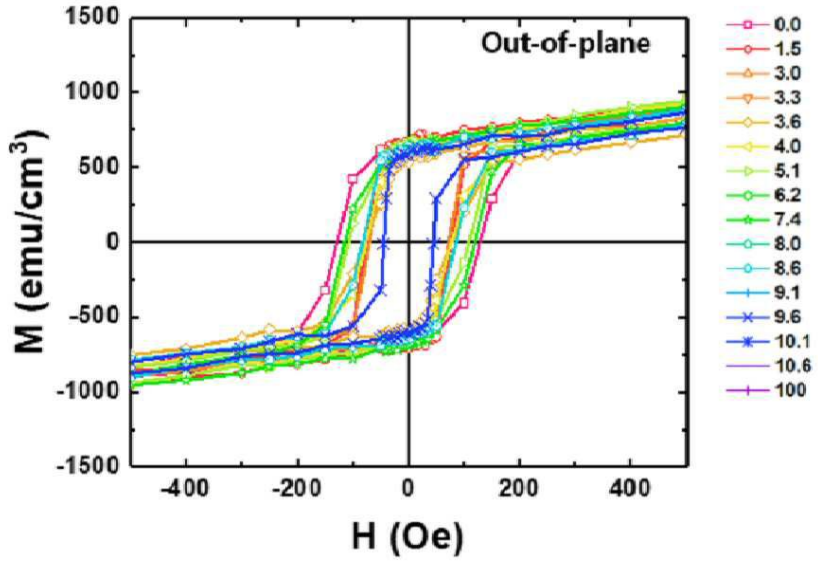
도면5


Out-of-plane
M (emu/cm³)
H (Oe)
1000
500
0
-500
-1000
-150
-100
-50
0
50
100
150
H (kOe)
0.0
1.5
3.0
3.3
3.6
4.0
5.1
6.2
7.4
8.0
8.6
9.1
9.6
10.1
10.6
100

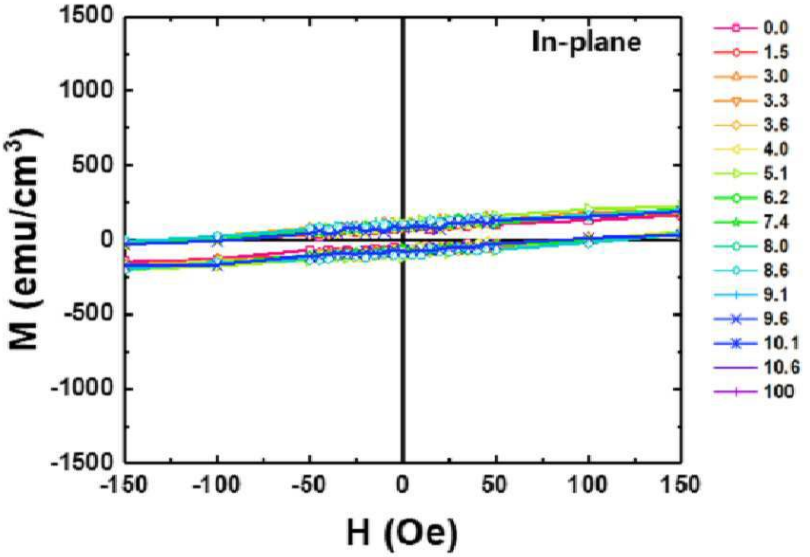
도면6


In-plane
M (emu/cm³)
H (Oe)
1000
500
0
-500
-1000
-150
-100
-50
0
50
100
150
H (kOe)
0.0
1.5
3.0
3.3
3.6
4.0
5.1
6.2
7.4
8.0
8.6
9.1
9.6
10.1
10.6
100

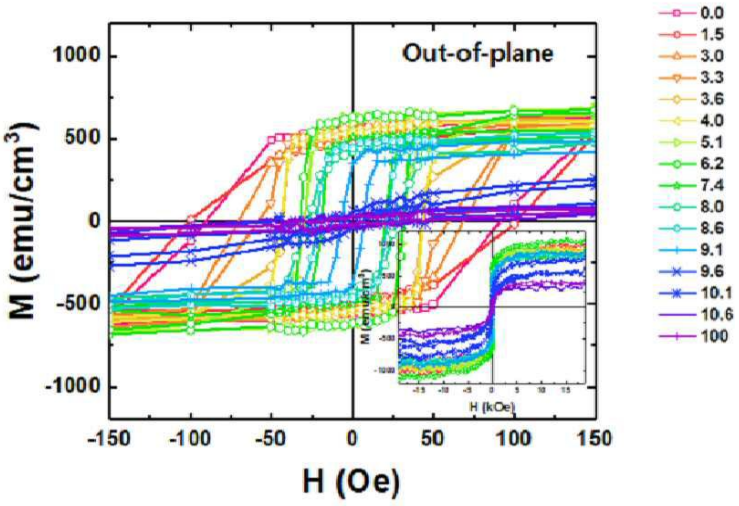
도면7


Out-of-plane
M (emu/cm3)
H (Oe)
1500
1000
500
0
-500
-1000
-1500
-400
-200
0
200
400
0.0
1.5
3.0
3.3
3.6
4.0
5.1
6.2
7.4
8.0
8.6
9.1
9.6
10.1
10.6
100

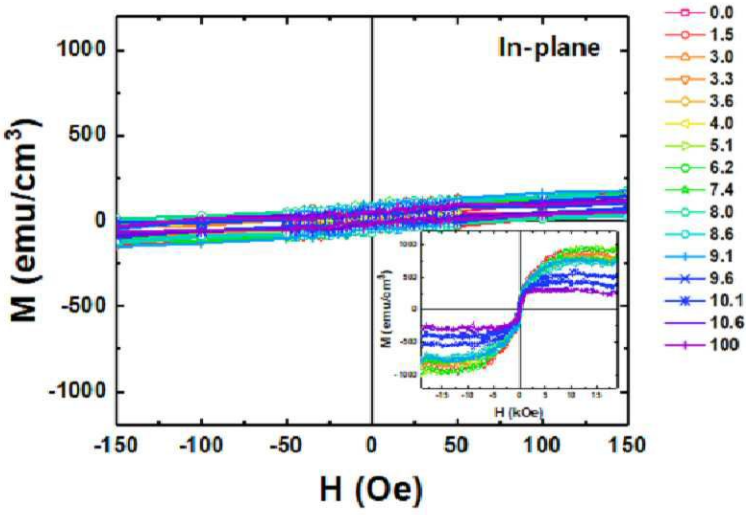
도면8


In-plane
M (emu/cm3)
H (Oe)
1500
1000
500
0
-500
-1000
-1500
-150
-100
-50
0
50
100
150
0.0
1.5
3.0
3.3
3.6
4.0
5.1
6.2
7.4
8.0
8.6
9.1
9.6
10.1
10.6
100

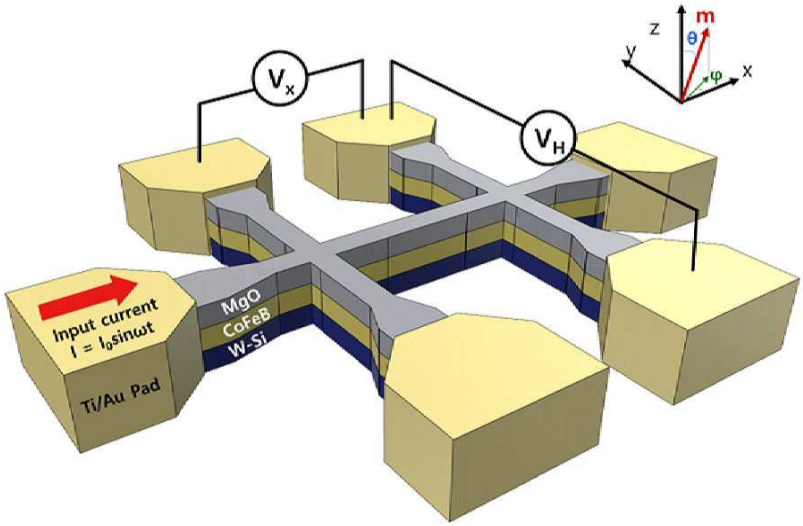
도면9


Out-of-plane
M (emu/cm³)
H (Oe)
1000
500
0
-500
-1000
-150
-100
-50
0
50
100
150
0.0
1.5
3.0
3.3
3.6
4.0
5.1
6.2
7.4
8.0
8.6
9.1
9.6
10.1
10.6
100

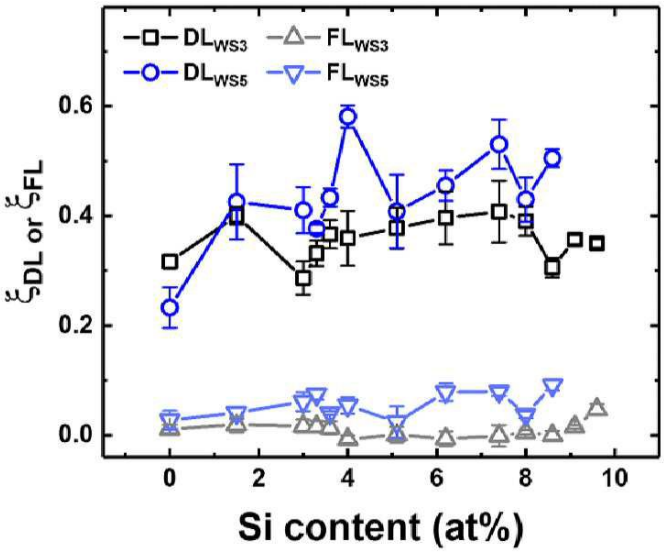
도면10


In-plane
M (emu/cm³)
H (Oe)
1000
500
0
-500
-1000
-150
-100
-50
0
50
100
150
0.0
1.5
3.0
3.3
3.6
4.0
5.1
6.2
7.4
8.0
8.6
9.1
9.6
10.1
10.6
100

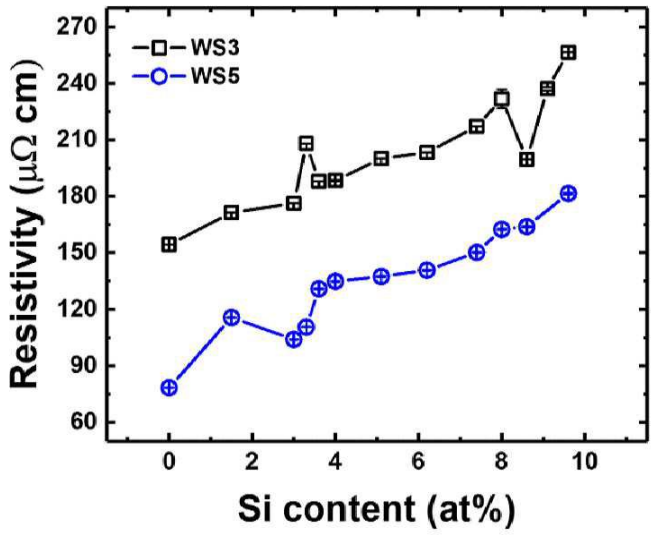
도면11a


m
z
θ
y
x
φ
V_x
V_H
Input current
$I = I_0 \sin\omega t$
MgO
CoFeB
W-Si
Ti/Au Pad

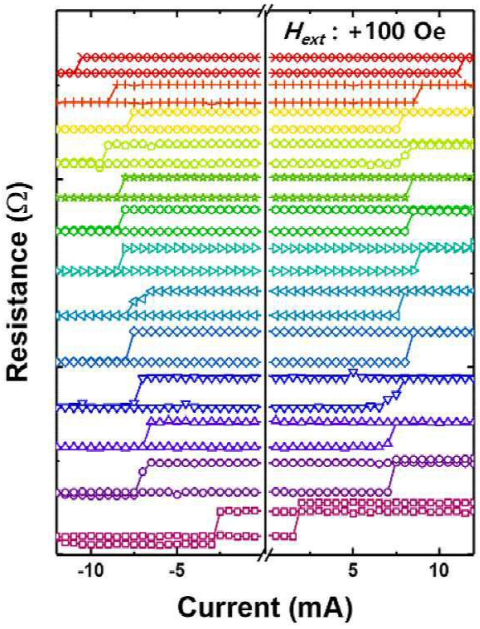
도면11b


DL_{WS3}
FL_{WS3}
DL_{WS5}
FL_{WS5}
ξ_{DL} or ξ_{FL}
0.0
0.2
0.4
0.6
0
2
4
6
8
10
Si content (at%)

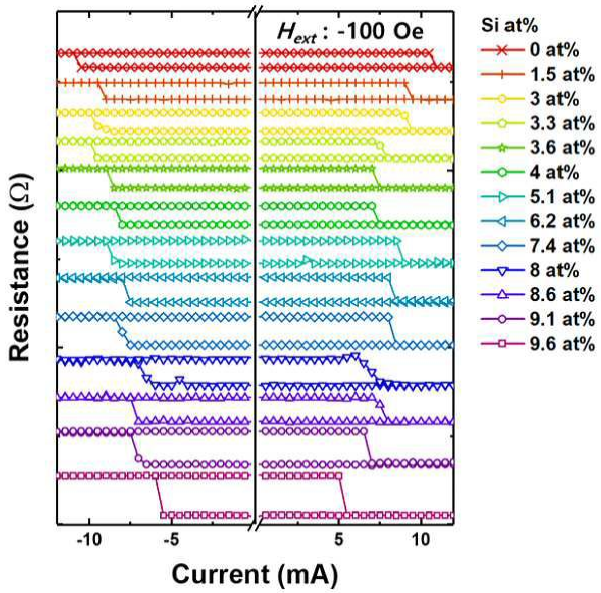
도면12


WS3
WS5
Resistivity (μΩ cm)
Si content (at%)
270
240
210
180
150
120
90
60
0
2
4
6
8
10

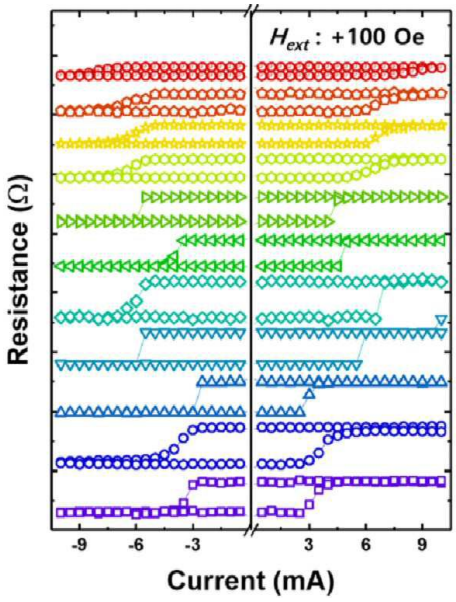
도면13


H_{ext} : +100 Oe
Resistance (Ω)
Current (mA)
-10
-5
5
10

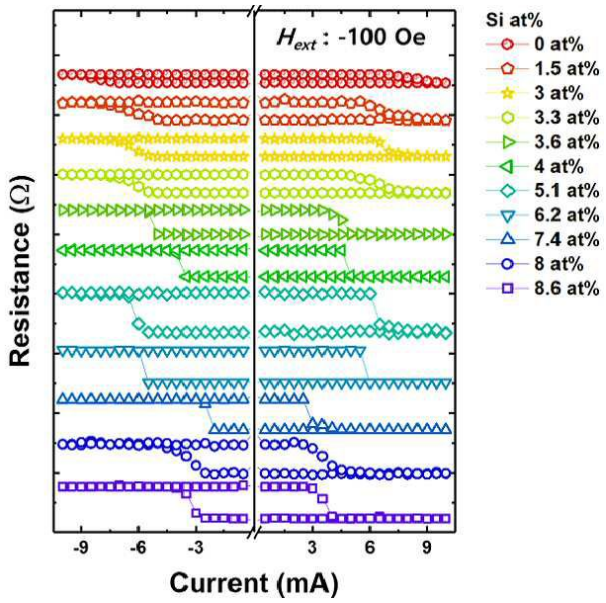
도면14


H_{ext} : -100 Oe
Si at%
0 at%
1.5 at%
3 at%
3.3 at%
3.6 at%
4 at%
5.1 at%
6.2 at%
7.4 at%
8 at%
8.6 at%
9.1 at%
9.6 at%
Resistance (Ω)
-10
-5
5
10
Current (mA)

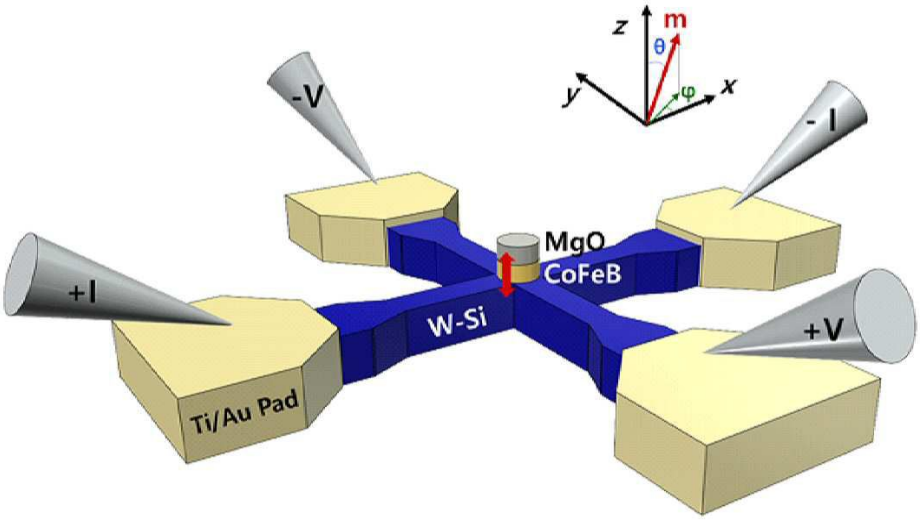
도면15


H_{ext} : +100 Oe
Resistance (Ω)
-9
-6
-3
3
6
9
Current (mA)

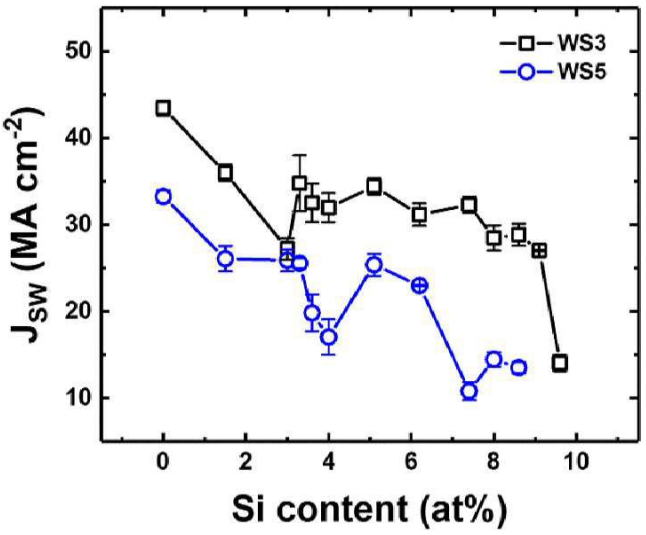
도면16


H_{ext} : -100 Oe
Resistance (Ω)
Current (mA)
-9
-6
-3
3
6
9
Si at%
0 at%
1.5 at%
3 at%
3.3 at%
3.6 at%
4 at%
5.1 at%
6.2 at%
7.4 at%
8 at%
8.6 at%

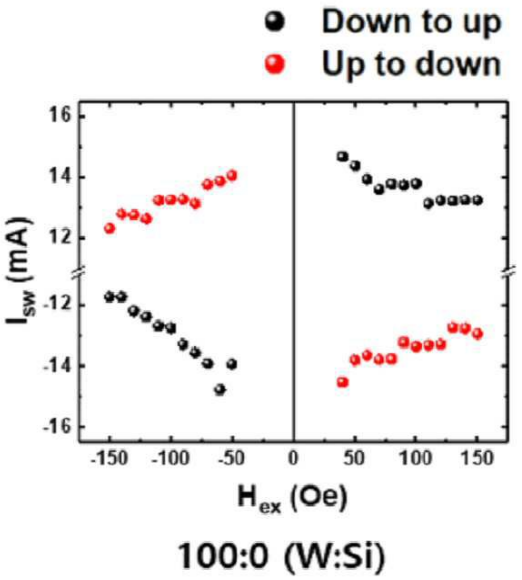
도면17a


z
m
θ
y
φ
x
-V
- I
+I
MgO
CoFeB
W-Si
+V
Ti/Au Pad

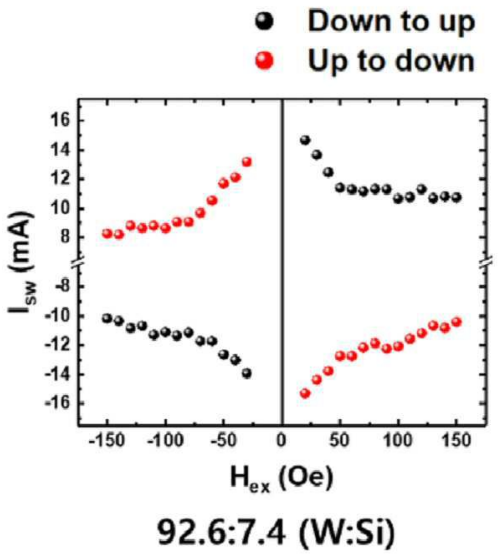
도면17b


WS3
WS5
J_{SW} (MA cm^{-2})
Si content (at%)

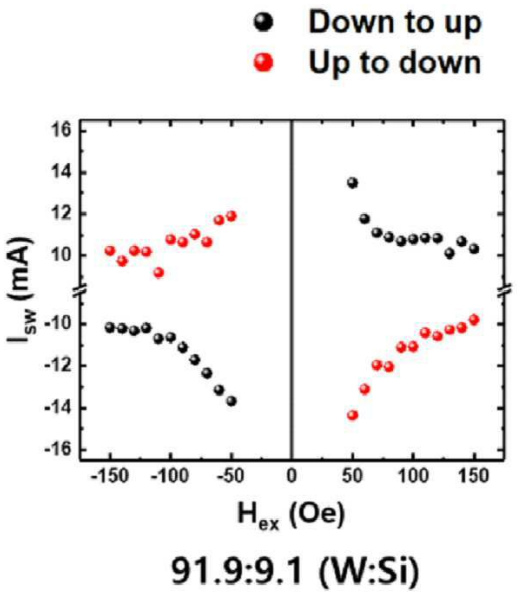
도면18


Down to up
Up to down
I_{sw} (mA)
H_{ex} (Oe)
100:0 (W:Si)

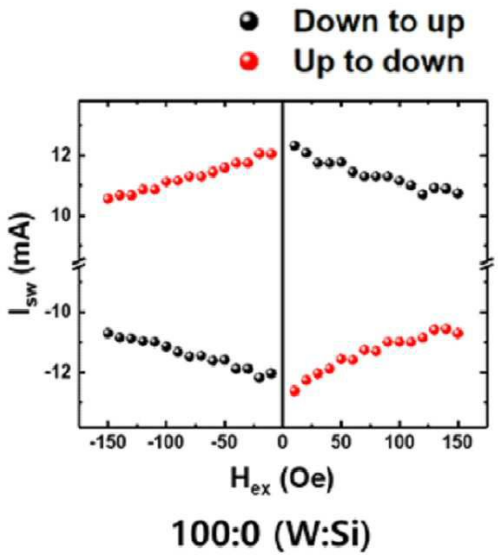
도면19


Down to up
Up to down
I_{sw} (mA)
H_{ex} (Oe)
92.6:7.4 (W:Si)

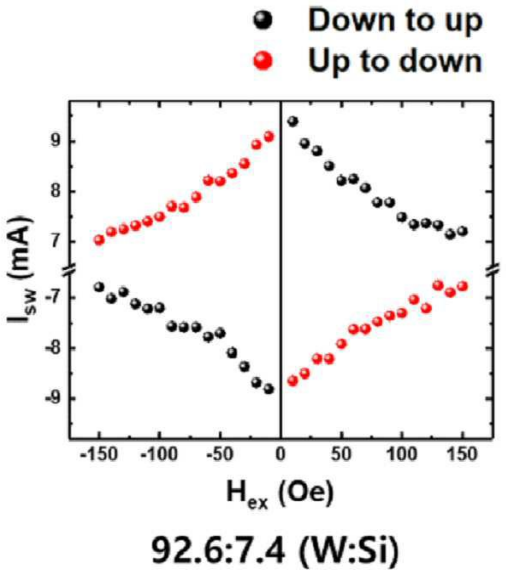
도면20


Down to up
Up to down
I_{sw} (mA)
H_{ex} (Oe)
91.9:9.1 (W:Si)

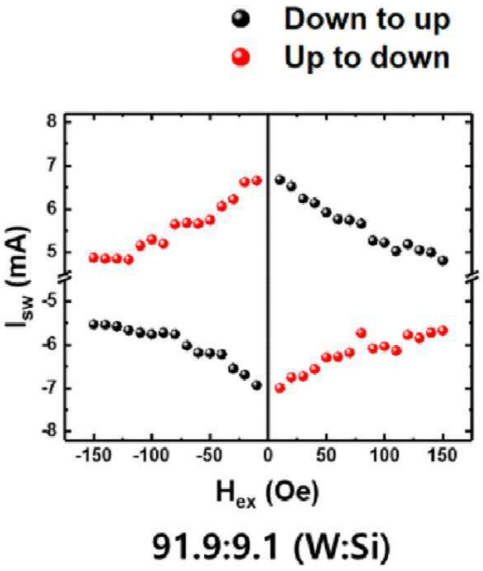
도면21


Down to up
Up to down
12
10
-10
-12
I_{sw} (mA)
-150
-100
-50
0
50
100
150
H_{ex} (Oe)
100:0 (W:Si)

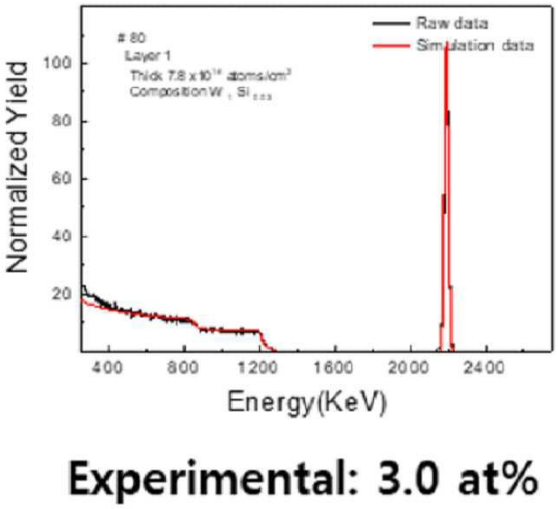
도면22


Down to up
Up to down
9
8
7
-7
-8
-9
I_{sw} (mA)
-150
-100
-50
0
50
100
150
H_{ex} (Oe)
92.6:7.4 (W:Si)

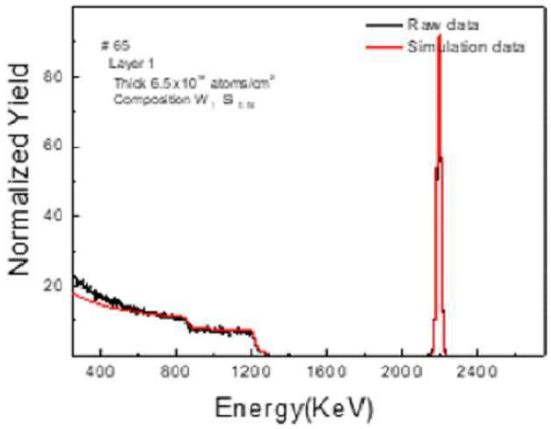
도면23


Down to up
Up to down
I_{sw} (mA)
H_{ex} (Oe)
91.9:9.1 (W:Si)

도면24

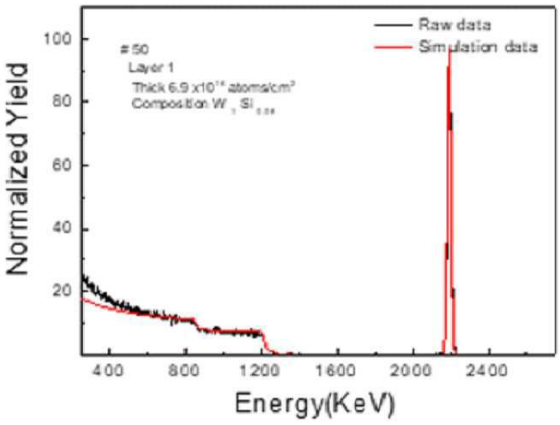

Raw data
Simulation data
Normalized Yield
Energy(KeV)
Experimental: 3.0 at%

도면25



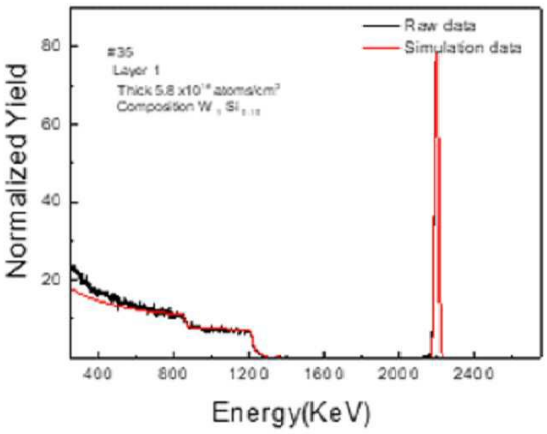
Experimental: 4.0 at%

도면26



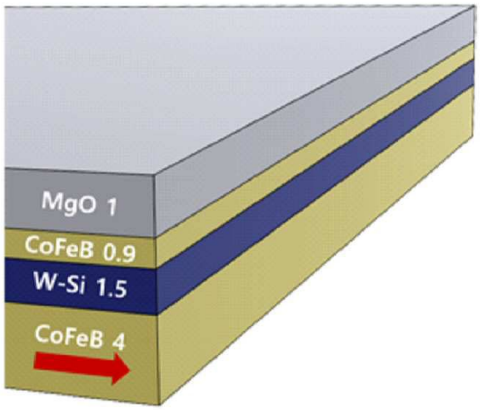
Experimental: 7.4 at%

도면27

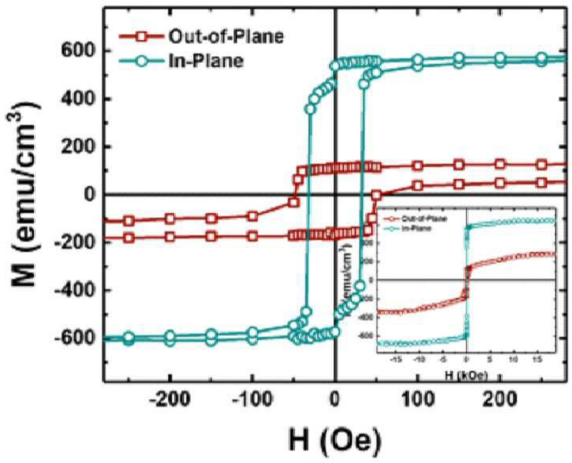


Experimental: 9.1 at%

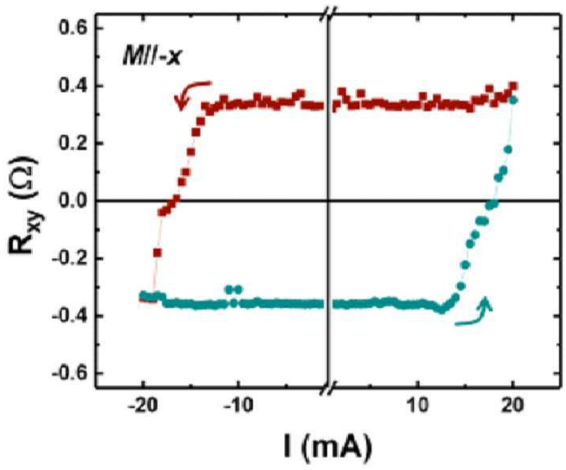
도면28



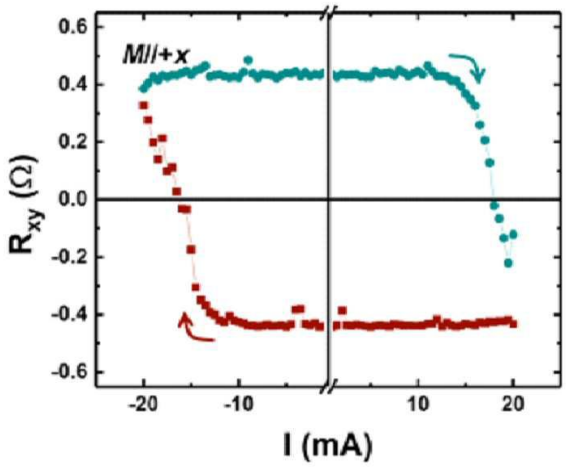
도면29



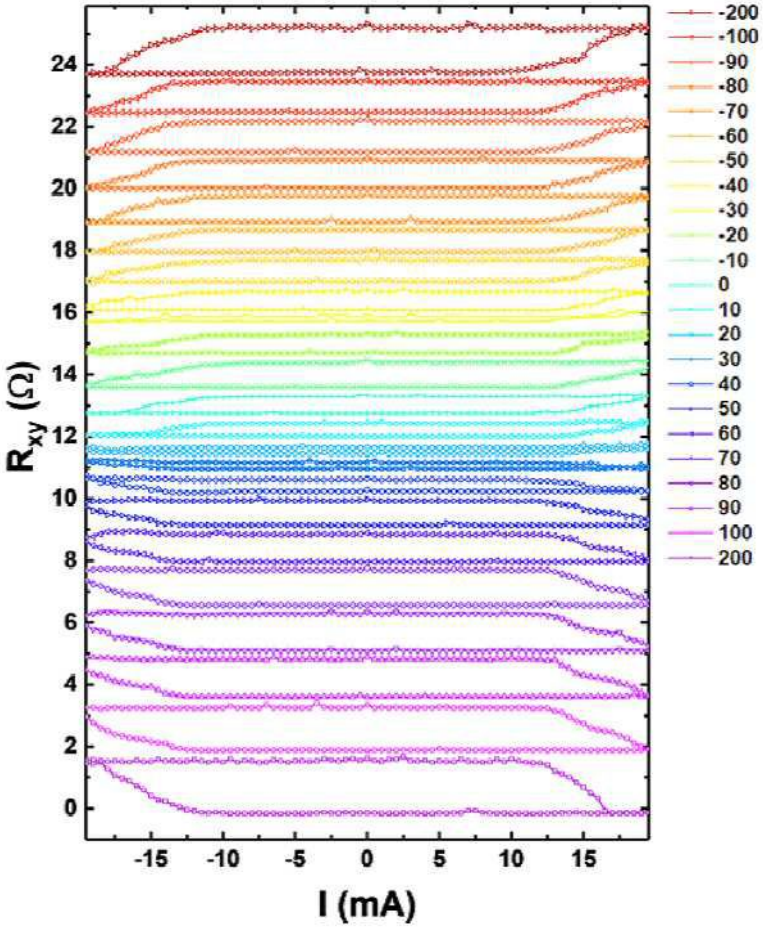
도면30



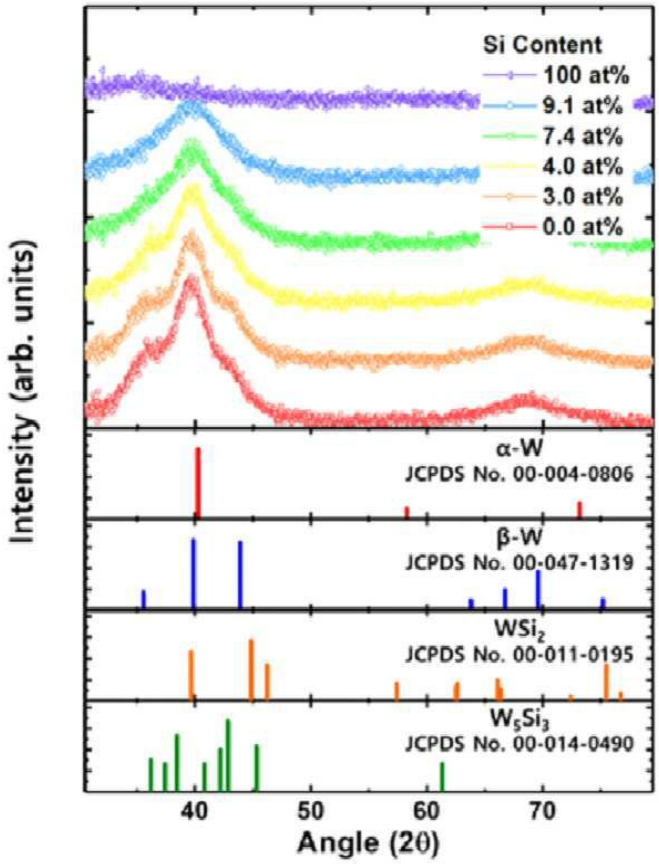
도면31


MI//+x
0.6
0.4
0.2
0.0
-0.2
-0.4
-0.6
R_{xy} (Ω)
-20
-10
10
20
I (mA)

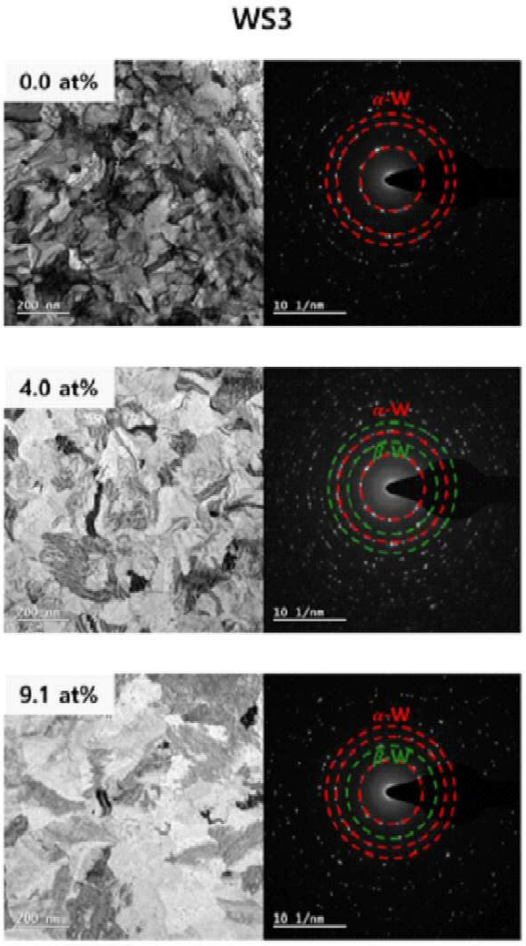
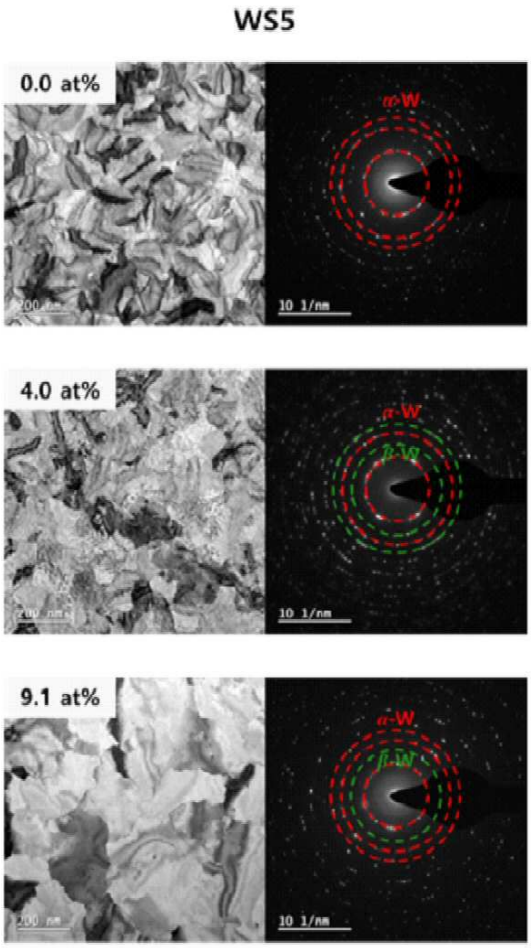
도면32


24
22
20
18
16
14
12
10
8
6
4
2
0
R_{xy} (Ω)
-15
-10
-5
0
5
10
15
I (mA)
-200
-100
-90
-80
-70
-60
-50
-40
-30
-20
-10
0
10
20
30
40
50
60
70
80
90
100
200

도면33


Si Content
100 at%
9.1 at%
7.4 at%
4.0 at%
3.0 at%
0.0 at%
α-W
JCPDS No. 00-004-0806
β-W
JCPDS No. 00-047-1319
WSi2
JCPDS No. 00-011-0195
W5Si3
JCPDS No. 00-014-0490
Intensity (arb. units)
40
50
60
70
Angle (2θ)

도면34


WS3
0.0 at%
α-W
200 nm
10 1/nm
4.0 at%
α-W
β-W
200 nm
10 1/nm
9.1 at%
α-W
β-W
200 nm
10 1/nm

도면35