



(12) 发明专利

(10) 授权公告号 CN 103514061 B

(45) 授权公告日 2016. 01. 27

(21) 申请号 201210420962. 3

审查员 李菲

(22) 申请日 2012. 10. 29

(30) 优先权数据

13/533, 207 2012. 06. 26 US

(73) 专利权人 安华高科技通用 IP(新加坡) 公司

地址 新加坡新加坡市

(72) 发明人 韩洋 杨少华 张帆 李宗旺

(74) 专利代理机构 北京律盟知识产权代理有限公司
责任公司 11287

代理人 王田

(51) Int. Cl.

G06F 11/10(2006. 01)

(56) 对比文件

CN 101416394 A, 2009. 04. 22, 全文.

CN 100466089 A, 2005. 03. 16, 全文.

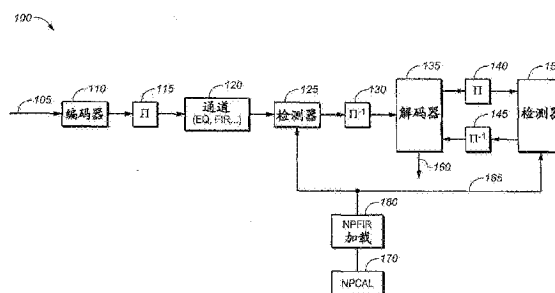
权利要求书2页 说明书13页 附图5页

(54) 发明名称

用于错误校正的装置和方法

(57) 摘要

本发明涉及用于打破陷阱集的装置和方法。一种错误校正数据处理装置,包括噪声预测校准电路,能够操作来,基于第一数据集对滤波器系数的第一集合进行校准,以及基于第二数据集对滤波器系数的第二集合进行校准;第一噪声预测检测器,能够操作来接收滤波器系数的第一集合。该装置还包括解码器,能够操作来使用第一噪声预测检测器执行第一全局迭代,并确定违规检查计数值;以及第二噪声预测检测器,能够操作来:如果违规检查计数值小于规定值,那么接收滤波器系数的第二集合,或者如果违规检查计数值大于所述规定值,那么接收滤波器系数的第一集合。



1. 一种错误校正数据处理装置,包括:

噪声预测校准电路,其经配置以基于第一数据集对滤波器系数的第一集合进行校准,以及基于第二数据集对滤波器系数的第二集合进行校准;

第一噪声预测检测器,其经配置以接收滤波器系数的第一集合;

解码器,其经配置以使用第一噪声预测检测器执行第一全局迭代,并确定违规检查计数值;以及

第二噪声预测检测器,其经配置以:如果违规检查计数值小于预定值,那么接收滤波器系数的第二集合,或者如果违规检查计数值大于所述预定值,那么接收滤波器系数的第一集合。

2. 权利要求 1 的装置,其中,所述解码器和所述第二噪声预测检测器经配置以基于滤波器系数的第二集合执行第二和以后的全局迭代。

3. 权利要求 1 的装置,其中,如果违规检查计数值小于所述预定值,那么在第二噪声预测检测器与所述解码器之间的第二和以后的全局迭代中在检测期间通过滤波器系数的第二集合来修改第二检测器。

4. 权利要求 1 的装置,还包括:

第一缓冲器,其经配置以存储滤波器系数的第一集合;

第二缓冲器,其经配置以存储滤波器系数的第二集合;以及

复用器,其经配置以在将滤波器系数的第一集合加载到第二噪声预测检测器或将滤波器系数的第二集合加载到第二噪声预测检测器之间进行切换。

5. 权利要求 4 的装置,还包括比较器,其经配置以触发所述复用器,以基于违规检查计数值和所述预定值在加载滤波器系数的第一集合或加载滤波器系数的第二集合之间进行切换。

6. 权利要求 1 的装置,还包括加载电路,其经配置以将滤波器系数加载到第一噪声预测检测器中和第二噪声预测检测器中。

7. 权利要求 1 的装置,其中,所述第一噪声预测检测器和第二噪声预测检测器的每一个都包括软输出维特比算法检测器(SOVA),或者每一个都包括最大后验(MAP)算法检测器。

8. 权利要求 1 的装置,其中,所述解码器包括低密度奇偶校验(LDPC)算法。

9. 权利要求 1 的装置,其中,所述噪声预测校准电路应用最小均方(LMS)算法来校准滤波器系数的第一集合和滤波器系数的第二集合。

10. 权利要求 1 的装置,其中,所述违规检查计数值代表陷阱集。

11. 权利要求 1 的装置,其中,所述预定值代表错误事件的类型。

12. 权利要求 1 的装置,其中,所述数据处理装置的至少一部分被制造在至少一个集成电路中。

13. 一种用于改善数据处理系统中的错误校正的方法,该方法包括以下步骤:

基于第一数据集来校准滤波器系数的第一集合,以及基于第二数据集来校准滤波器系数的第二集合;

通过第一噪声预测检测器接收滤波器系数的第一集合;

使用第一噪声预测检测器和解码器来执行第一全局迭代,并确定违规检查计数值;以

及

如果违规检查计数值小于规定值,那么通过第二噪声预测检测器接收滤波器系数的第二集合,替代地,如果违规检查计数值大于所述规定值,那么通过第二噪声预测检测器接收滤波器系数的第一集合。

14. 权利要求 13 的方法,还包括:在解码器与第二噪声预测检测器之间基于滤波器系数的第二集合执行第二和以后的全局迭代。

15. 权利要求 13 的方法,还包括:如果所述违规检查计数值小于所述规定值,则在第二噪声预测检测器与所述解码器之间的第二和以后的全局迭代中在检测期间利用滤波器系数的第二集合来修改第二噪声预测检测器。

16. 权利要求 13 的方法,还包括:

在第一缓冲器中存储滤波器系数的第一集合;

在第二缓冲器中存储滤波器系数的第二集合;以及

在将滤波器系数的第一集合加载到第二噪声预测检测器或将滤波器系数的第二集合加载到第二噪声预测检测器之间进行切换。

17. 权利要求 16 的方法,还包括:根据违规检查计数值和所述规定值加载滤波器系数的第一集合和滤波器系数的第二集合其中的一个。

18. 权利要求 13 的方法,还包括通过第一噪声预测检测器和第二噪声预测检测器两者应用软输出维特比算法(SOVA),或者两者都应用最大后验(MAP)算法检测器。

19. 权利要求 13 的方法,还包括:通过所述解码器应用低密度奇偶校验(LDPC)。

20. 权利要求 13 的方法,其中,所述校准步骤还包括:应用最小均方(LMS)算法。

21. 权利要求 13 的方法,其中,所述违规检查计数值代表陷阱集。

22. 权利要求 13 的方法,其中,所述规定值代表错误事件的类型。

23. 一种包括第一和第二噪声预测检测器的数据处理系统,该数据处理系统包括:

存储器,以及

与存储器耦接的至少一个处理器,并且该处理器能够操作来:

至少获得第一数据集和第二数据集;

基于第一数据集来校准滤波器系数的第一集合,以及基于第二数据集来校准滤波器系数的第二集合;

通过第一噪声预测检测器来接收滤波器系数的第一集合;

使用第一噪声预测检测器和解码器来执行第一全局迭代,并确定违规检查计数值;以

及

如果违规检查计数值小于规定值,那么通过第二噪声预测检测器接收滤波器系数的第二集合,或者如果违规检查计数值大于所述规定值,那么通过第二噪声预测检测器接收滤波器系数的第一集合。

用于错误校正的装置和方法

技术领域

[0001] 本发明涉及用于打破陷阱集 (trapping set) 的装置和方法, 具体的, 涉及误差校正数据处理装置和用于改进数据处理系统中的误差校正的方法。

背景技术

[0002] 已经开发了各种数据传送系统, 包括: 存储系统、蜂窝电话系统和无线传输系统。在每一种系统中, 数据经由某种介质从发送方传送到接收方。例如, 在存储系统中, 数据从发送方 (例如, 通过写功能) 传送到存储介质, 并从存储介质传送到接收方 (例如, 通过读操作)。任何数据传送的效率都会受到由各种因素导致的损耗的影响。在某些情况中, 使用编码 / 解码处理来增强系统检测数据误差并校正这些误差的能力。

[0003] 在误差检测和校正应用中, 在尝试恢复码字 (例如, 误差校正编码数据) 时, 采用误差校正的解码器会遭遇一个或多个阻碍该解码器对码字进行适当地解码的陷阱集 (trapping set)。为了改进误差校正, 解码器与检测器之间的 turbo 迭代可以采用不同的技术, 以便例如: (i) 打破陷阱集和 / 或 (ii) 防止误差校正解码器收敛在陷阱集上。

发明内容

[0004] 根据本发明的一个实施例, 用于改进数据处理系统中的误差校正的方法包括以下步骤: 基于第一数据集来校准滤波器系数的第一集合, 以及基于第二数据集来校准滤波器系数的第二集合; 通过第一噪声预测检测器接收滤波器系数的第一集合; 使用第一噪声预测检测器和解码器来执行第一全局迭代, 并确定违规检查计数值; 以及如果违规检查计数值小于规定值, 那么通过第二噪声预测检测器接收滤波器系数的第二集合, 替代地, 如果违规检查计数值大于所述规定值, 那么通过第二噪声预测检测器接收滤波器系数的第一集合。其它描述的实施例还包括误差校正数据处理装置和数据处理系统。

[0005] 通过结合附图阅读的下面的对本发明实施例的详细描述, 本发明实施例将变得显而易见。

附图说明

[0006] 下面的附图通过示例的方式来呈现且并无限制, 其中, 相同的附图标记 (当使用时) 指示若干个示图中的对应元素, 并且, 其中:

[0007] 图 1 是示出对于本发明的一个或多个实施例有用的示例性通信装置的功能框图;

[0008] 图 2 示出根据本发明实施例的噪声预测校准 (NPCAL) 和噪声预测滤波 (NPFIR) 加载架构的示例性部件;

[0009] 图 3 示出根据本发明实施例使用的 NPCAL 架构的示例性部件;

[0010] 图 4 是示例数据的表, 其示出对于陷阱集失败的应用到现有技术的系统的示例性数据分区 (data sector) 的收敛行为 (左侧列), 以及收敛的应用于根据本发明的装置的相同的数据分区的行为 (右侧列);

[0011] 图 5 是示出根据本发明实施例的、根据图 2 中示出的架构的示例方法的至少一部分的流程图；以及

[0012] 图 6 是示出适合于执行根据本发明实施例的方法的示例电子系统的至少一部分的框图。

[0013] 应该认识到，图中元件出于简单明了的目的而示出。为了促进对所示的实施例的阻碍更少的观察，可以不示出在可商用实施例中有用或必须的常用但众所周知的要素。

具体实施方式

[0014] 在此，将在适合于被应用到读通道通信装置的噪声预测校准（NPCAL）和噪声预测滤波（NPFIR）加载技术的示例性实施例的上下文中描述本发明的原理。但是，应该认识到，本发明并不限于在此示例性地示出并描述的具体装置和方法。

[0015] 虽然在此本将参考低密度奇偶校验（LDPC）和最大后验（MAP）技术来描述发明的示例性实施例，但是应该认识到，本发明并不限于仅与这些特定技术一起使用。此外，对于本领域技术人员显而易见的是，在给出本文中的教导的情况下，可以对所示出的实施例进行大量的修改，这些也都在本发明的范围内。也就是说，并不意图，也不应认为，存在与在此描述的具体实施例相干的限制。

[0016] 作为初步的内容，出于阐明和描述本发明实施例的目的，下面的表提供对作为在此使用的术语的某些首字母缩写及其对应定义的总览：

[0017]

首字母缩写	定义
NPCAL	噪声预测校准
NPFIR	噪声预测有限脉冲响应
LDPC	低密度奇偶校验
MAP	最大后验
HDD	硬盘驱动器
SNR	信噪比
FIR	有限脉冲响应
SOVA	软输出维特比（Viterbi）算法
LMS	最小均方
DFIR	数字有限脉冲响应
ADC	模数转换

NRZ	非归零
-----	-----

[0018]

ROM	只读存储器
RAM	随机存取存储器
DSP	数字信号处理器
CPU	中央处理单元

[0019] 首字母缩写定义表

[0020] 图 1 是用于存储装置（诸如，硬盘驱动器（HDD））的通信装置 100，本发明的技术可以被用于该通信装置 100。生成被称为原始信息数据的比特集的数据源 105 在系统 100 的写路径中，该比特集被提供给 LDPC 编码器 110。

[0021] 在 HDD 的例子中，数据集可以是来自 HDD 的存储介质的扇区。顾名思义，LDPC 编码器 110 是误差校正编码器，其使用 LDPC 误差编码校正技术来将原始信息数据编码为码字。使用迭代的误差校正码（LDPC 码）来实现对给定信噪比（SNR）的更低的比特误差率。该技术被用来控制在不可靠的或有噪声的通信信道中的数据传输中的误差。应当认识到，在本发明的不同实施例中可以其它适合的编码技术。码字被提供给交织器（Π）115，在该交织器 115 中，码字被以非相连（non-contiguous）的方式布置并提供给信道 120。对码字进行交织的一个益处是可以降低在码字被存储在例如 HDD 盘片上后，猝发误差（burst errors）对码字恢复的影响。例如，通道 120 可以是存储介质或通信介质，也即其可以是或者包括信道。

[0022] 在读取路径中，在通道 120 中从介质取回模拟数据，在该通道中对数据执行处理，诸如：放大、模数转换、有限脉冲响应（FIR）滤波、均衡，以及适合于从介质取回数据的其它处理技术。检测器 125 从通道 120 接收码字。读取路径中的检测器可以是在本领域中已知的其它类型的通道检测器，诸如：软输出维特比算法（SOVA）检测器或 MAP 算法检测器。基于在此提供的公开，本领域中的普通技术人员将能够认识到可以根据本发明的不同实施例使用的各种通道检测器。在本发明的本实施例中，检测器 125 和检测器 150 是本领域中众所周知的实现 MAP 检测技术的噪声预测通道检测器。在本发明的该实施例中，检测器 125 和检测器 150 包括用于分支度量计算的 NP 滤波。NPCAL 电路 170 包括最小均方（LMS）算法，其作为一种自适应滤波器，被用来通过找到在数据正在被读取时与产生误差信号（即，理想信号与实际信号之间的差）的最小均方有关的滤波器系数，来模拟理想滤波器。NPCAL 电路 170 被连接到 NPFIR 滤波器加载电路 180，该 NPFIR 滤波器加载电路 180 用于通过信号路径 165 的方式将滤波器系数加载到检测器 125 和 150 中。采用来自通道 120 的输出，NPCAL 电路 170 校准或训练（train）数据以实现用于检测器 125 和 150 中的噪声预测滤波器（在数据正在被读取时）的滤波器系数。也就是说，其在适应地处理，以便进行自我调整并持续更新滤波器系数，以用于检测器 125 和 150 处的对噪声的改进的滤波。由于码字的比特在写路径中被交织并且为了稍后的解码需要重新布置回原始顺序，因此使用去交织器（Π⁻¹）130 对来自检测器 125 的输出进行去交织。去交织器（Π⁻¹）130 将去交织的码字提供

给 LDPC 解码器 135。

[0023] LDPC 解码器 135 执行数据解码处理,在此,解码的数据被作为硬判决通过输出 160 的方式提供或者被提供给交织器 (Π)140。通常,在通过 LDPC 解码器 135 应用的数据解码处理收敛的情况下,收敛结果被作为硬判决在输出 160 处提供,并且针对该特定数据集完成处理。当 (i)LDPC 解码器 135 得到具有零校验子 (syndrome) (即,违规检查的数量是零) 的收敛码字时,或者当 (ii)LDPC 解码器 135 在未得到正确解码的码字的情况下执行最大允许数量的本地 (local) 迭代,即,LDPC 解码器 135 失败时,LDPC 解码器 135 终止。当解码器 135 终止时,其将解码的码字作为硬判决在输出 160 处输出。应当注意,在本发明的不同实施例可以使用其它适合的解码技术。

[0024] 替代地,如果在预定数量的全局迭代后,LDPC 解码器 135 未收敛在有效码字上,那么 (i) 确定未满足的校验节点值,并且 (ii) 将未满足的校验节点值与指定的阈值 (例如, 20) 进行比较。可以使用指定阈值 (其可以经验性确定) 来预测解码器 135 是否已经 (i) 收敛在陷阱集上,或者 (ii) 遭遇了不对应于在陷阱集上的收敛的通信通道中的错误。如果未满足的校验节点值大于或等于指定阈值,那么很可能解码器 135 已经遭遇了通信通道中的错误。这样的错误可能是由于例如 HDD 盘片上的瑕疵或通信通道中的过量的噪声造成的。当发生这样的错误时,可能需要诸如重新读取数据的进一步的动作,注入,重新读取数据,以恢复正确的码字。在某些情况中,解码器 135 可能不能够恢复正确的码字。如果未满足的校验节点的值小于指定阈值,那么很可能解码器 135 已经在陷阱集失败或错误上收敛了。当出现陷阱集时,可以使用一些技术,诸如根据本发明在此公开的那些技术,来打破陷阱并使解码器收敛。

[0025] 在检测器 125 与检测器 135 之间的第一全局迭代并且数据解码处理收敛失败后,未收敛数据集被提供给用于交织的交织器 (Π)140,并被提供给检测器 150,在检测器 150 中,执行由 LDPC 解码器 135 生成的输出数据辅助的后续数据检测。在检测器 150 开始检查处理之前,由 NPCAL 电路 170 处理的滤波器系数被通过信号路径 165 的方式从 NPFIR 滤波器加载电路 180 加载在检测器 150 中。这确保了最近计算的滤波器系数被检测器 150 所使用。通过使用先前生成的数据,检测器 150 通常以提高的精度执行后续的检测。由于数据在先前被交织了,因此该后续通道检测的输出被传递到去交织器 (Π⁻¹)145。交织的数据被提供给 LDPC 解码器 135,在这里,通过执行一次或多次解码迭代 (“本地迭代”) 尝试生成正确解码的码字,其提供了到该数据的另一个解码通路 (pass)。与第一迭代类似,对数据是否收敛作出判决。在数据收敛的情况下,LDPC 解码器 135 将其输出作为硬判决写到输出 160,并且完成针对特定数据集的处理。替代地,在数据不收敛的情况下,LDPC 解码器 135 将其输出提供给交织器 (Π)140,在交织器 (Π)140 中,在需要和可能时,该输出被传递回检测器 150 以用另一全局迭代。虽然出于简洁图示的目的在图 1 中示出了简单架构,但是将认识到,可以与本发明一致地采用具有多个原点 (origination point) 和输入 / 输出布置以及不同的拓扑结构的可比较架构。

[0026] 通常,置信传播 (belief-propagation) 解码器 (例如, LDPC 解码器 135) 为次优解码器,其以本地操作方式在校验节点 (例如,奇偶校验节点) 与变量节点 (例如,比特节点) 之间迭代地传递可靠性信息。校验节点和变量节点仅知道来自其相邻节点 (连接的节点) 的信息。

[0027] 由于 LDPC 码中存在循环 (cycle), 因此这样的解码器会遭遇小的错误, 诸如上文提到的陷阱集错误。根据本发明实施例, 陷阱集错误是通过在读通道系统中的 NPCAL 和 NPFIR 滤波器加载来实现的, 其中, 使用噪声预测检测器 (例如, 检测器 125 和检测器 150)。

[0028] 在消息传递解码的初始阶段中, 特别低概率噪声样品的存在, 一个特定陷阱集 (称为初始陷阱集) 内部的变量节点经历针对不正确的比特值的可靠性评估中的较大增长。该信息被传播到陷阱集中的其它变量节点, 其中的某些陷阱集自身已经具有不可靠比特评估。在该初始偏置后, 通常, 外部变量开始对其初始不正确评价进行校正。但是, 在此时之前, 在陷阱集中的变量节点已经将它们的决定显著地向误差值偏置了。由于只有极少的校验节点能够检测陷阱集内的错误, 因此该错误信息持续存在于图中, 直到解码处理结束。根据本发明实施例, 防止陷阱集失败的一种有效方式是在解码器到达导致陷阱集的其“饱和”阶段之前对通道加扰。

[0029] 根据本发明实施例, 使用解码器与检测器之间的 turbo 迭代来改善性能; 例如, 图 1 中示出的 LDPC 解码器 135 和检测器 150。Turbo 迭代自然地将一定程度的干扰引入到 LDPC 解码器, 从而导致瞬时的陷阱集失败 (错误模式从全局迭代变为全局迭代)。在某些情况中, 来自检测器的干扰对于打破导致陷阱集的强噪声仍然是非常有限的, 因此需要更强的干扰。在本发明的一个实施例中, 在第二和以后的全局迭代中的检测期间, 第二检测器被修改以打破陷阱集; 例如, 在第二和以后的全局迭代中修改检测器 150 的检测。在第一检测器与解码器之间的第一全局迭代结束 (即, 检测器和第一解码器运行结束) 后, 如果错误事件很可能是陷阱集错误 (即, 未满足的检查的数量小于规定 (例如, 编程) 的阈值), 那么根据本发明实施例, 不同的噪声预测滤波器系数被加载在第二检测器中以用于剩下的全局迭代。这样可以有效地打破噪声模式 (noise pattern), 从而导致解码器的收敛。

[0030] 本发明实施例涉及提供用于校正正在对码字进行解码时发生的小错误 (诸如, 陷阱集错误) 的替代实现方式的装置和技术。特别地, 图 2 示出根据本发明一个实施例的 NPCAL 和 NPFIR 滤波器加载结构 200 的示例性部件。图 2 是在图 1 中示出的具有噪声预测检测器的示例性通信装置 100 的上下文中进行讨论的, 但并不限于该布置。

[0031] 在 NPCAL 和 NPFIR 滤波器加载结构 200 中, 在通道后的读取路径中存在第一检测器并且在后端处存在第二检测器, 例如, 如图 1 中布置检测器 125 和 150 那样。参考图 1 和图 2, NPCAL 电路 170 可操作来校准或训练供检测器使用的滤波器系数。在该实施例中, NPCAL 电路 170 包括噪声预测滤波器, 诸如在本领域中已知的 NPFIR 响应滤波器。在正在读取码字时, NPCAL 电路 170 应用 LMS 算法来计算与期望的信号和实际信号之间的差相关的两组滤波器系数。不同数量的两个扇区集 (例如, 集合 1 = 1000 个扇区, 集合 2 = 500 个扇区) 被 NPCAL 电路 170 采样, 并被校准以实现用于检测器 125 和 150 的噪声预测滤波器的滤波器系数。NPCAL 电路 170 自适应地以并行方式校准两个扇区集以确定两个滤波器系数集。使用先前的系数值和新采样的扇区集来自适应地更新系数, 以连续地确定并更新用于检测器的噪声预测滤波器的两个滤波器系数集。

[0032] 根据本发明实施例, NPCAL 电路 170 对扇区进行采样以校准或训练滤波器系数的第一集合 (在图 2 中标示为 NPFIR1), 并对第二扇区进行采样以校准或训练滤波器系数的第二集合 (在图 2 中标示为 NPFIR2), 从而得到两个滤波器系数集 (NPFIR 候选项) 以用于检测。根据本发明实施例, 系数的第一和第二集合被加载到检测器 125 中 (用于正在进行

的自适应处理和检测以及滤波),并且系数的第一集合或第二集合被加载到检测器 150 中。例如,如果发现发生了陷阱集错误,那么为了打破陷阱集,系数的第二集合被加载到检测器 150 中。特别地,如果在检测器 125 与解码器 135 之间的第一全局迭代之后发现了陷阱集错误,那么为了打破陷阱集,系数的第二集合被加载到检测器 150 中,以用于检测器 150 与解码器 135 之间的第二和以后的全局迭代。在每个数据集被检测器处理的末尾处滤波器系数被加载在检测器中,并且所述滤波器系数被用在执行由检测器接收的后续数据集的检测中。

[0033] 通过输入的控制信号 239 的方式,NPCAL 电路 170 可操作来对来自通道 120 的输出数据流的两个扇区集合进行采样。用于对扇区进行采样的信号从读取头提供,所述读取头感测介质上的磁取向并生成回读信号。然后,通过多种处理技术中的一种或多种来处理回读信号,这些处理技术诸如但不限于:放大、模数转换(ADC)、数字有限脉冲响应(DFIR)滤波、均衡、以及适合于从介质取回数据的其它处理技术,每一种技术都是本领域中众所周知的。根据本发明实施例,使用本领域中众所周知的技术,经验性地基于扇区的数量和用于选择扇区的方法。采样扇区(标示为 Yk1 和 Yk2)包含码字和噪声。两个采样扇区集合 Yk1、Yk2 经由输入 237 被提供给 NPCAL 电路 170,并被用于校准滤波器系数的第一集合(NPFIR1)和滤波器系数的第二集合(NPFIR2)。

[0034] 到 NPCAL 电路 170 的输入 238 适用于与非归零(NRZ)总线连接,以将 NRZ 数据的双极性序列提供给 NPCAL 电路进行处理。NRZ 总线是连接到通信装置 100 的诸如例如主计算机的更大的系统的一部分,并且 NRZ 总线将以 NRZ 格式编码的数据携带到读或写通道电路。正如本领域技术人员所知道的,NRZ 格式是对数据进行编码的一种方法,其中,当相继的比特中存在改变时,表示二进制数字的信号在正电压和零(或负)电压之间交替,从高(1)向低(0),或相反。

[0035] 图 3 示出分别用于采样数据 Yk1、Yk2 和 NRZ 数据的输入 237 和输入 238 的额外细节。作为校准处理的一部分,Yk1 和 Yk2 采样数据和 NRZ 数据被处理以便以本领域众所周知的方式建立用于调整系数 315 的误差或噪声值。在本例中,有四个系数(标示为抽头)310、312、314 和 316。返回去参考图 2,在本发明的该示例性实施例中,作为校准处理的一部分,NPCAL 电路 170 对两个采样扇区(Yk1 和 Yk2)和 NRZ 数据应用 LMS 算法,以计算噪声或误差以用于改变或调整这些系数中。由于 NPCAL 电路 170 在校准两个系数集,即,NPFIR1 和 NPFIR2,因此该处理并行地运行。应当注意,在本实施例中 NPCAL 电路 170 被复制,但是为了图示和描述的明了,其被作为单个的电路示出。替代地,根据本发明的其它实施例,可以通过在采样的扇区的第一集合与第二集合之间切换,使用单个的 NPCAL 电路 170 连续地计算系数的第一集合和第二集合。在这种情形下,可以包括复用器或交替切换电路(未明确示出),以在所采样的扇区的第一集合与第二集合之间切换。作为检查处理的一部分,检测器使用这些系数来对数据进行滤波,因此该数据可以更接近于期望的数据并且为解码进行更佳的准备,从而改善性能。

[0036] 图 5 是描述根据图 2 中示出的架构的示例性方法的至少一部分的流程图 500。在块 510 处,NPCAL 电路 170 对例如数据的 1000 个扇区进行采样以校准滤波器系数的第一集合(NPFIR1),并且在块 515 处,对例如数据的 500 个扇区进行采样以校准滤波器系数的第二集合(NPFIR2)。在块 520 和 525 处,NPCAL 电路 170 并行地运行两个校准处理,以生成系数

的两个不同集合（候选项：NPFIR1 和 NPFIR2）以供检测器 125 和 150 使用。

[0037] 在 NPCAL 电路 170 确定了系数的第一和第二集合（NPFIR1 和 NPFIR2）后，作为更新或改善系数的自适应训练或校准处理的一部分，系数的第一集合 NPFIR1 被加载到检测器 125 中。在本发明的该实施例中，在块 530 处，加载模块 210（图 2 中）将 NPFIR1 加载到第一乒乓缓冲器（在图 2 中，其被示出为乒乓影子寄存器 1215）中，在块 540 处，作为在对检测器 150 加载 NPFIR1 或 NPFIR2 之前的自适应校准处理的一部分，NPFIR1 或 NPFIR2 被通过复用器 230 传送到检测器 125。在本实施例中，在图 1 中示出的 NPFIR 滤波器加载电路 180 包括：加载电路 210、第一乒乓缓冲器 215、第二乒乓缓冲器 220、比较器 225 和复用器 230。检测器 150 也被使用滤波器系数集来更新。

[0038] 根据本发明实施例，检测器 150 可以访问两个不同系数的集合，NPFIR1 或 NPFIR2，其中的一个将被加载到检测器 150 中。如上所示的，系数的集合至少部分地不同，这是由于它们是基于不同的扇区采样和不同的扇区采样大小。但是，本发明的实施例并不限于任何具体的扇区采样和 / 或采样大小。由于在检测器 125 正在更新并加载新的系数时检测器 150 访问当前可用的系数，因此乒乓缓冲器 215、220 作为加载处理的一部分被使用。

[0039] 继续参考图 2 和图 5，在块 530 处，加载电路 210 经由输入 242 将系数的第一集合（NPFIR1）加载到第一乒乓缓冲器 215 中，并经由输入 241 将系数的第二集合（NPFIR2）加载到第二乒乓缓冲器 220 中。在块 540 处，乒乓缓冲器 215 中的缓冲器保持来自 NPCAL 电路 170 的在前的系数集合（即，当前可用于检测器 150 的系数（NPFIR1）），而乒乓缓冲器 215 中的另一个缓冲器保持来自 NPCAL 电路 170 的当前正在被确定的新的系数集合（新的 NPFIR1）。类似地，在块 545 处，乒乓缓冲器 220 中的缓冲器保持来自 NPCAL 电路 170 的在前的系数集合（即，当前可用于检测器 150 的系数（NPFIR2）），而乒乓缓冲器 220 中的另一个缓冲器保持来自 NPCAL 电路 170 的当前正在被确定的新的系数集合（新的 NPFIR2）。来自比较器 225 的输出信号触发复用器 230 来在乒乓缓冲器 215 与 220 的输出之间切换，从而仅允许一个系数集合（例如，NPFIR1 或 NPFIR2）被加载到检测器 150 中。

[0040] 比较器 225 接收表示未满足的校验节点的数量规定阈值，例如，很可能表示陷阱集错误的预定值或计数。该预定值被比较器 225 与违规检查计数值进行比较，并且然后指示比较结果的输出信号被用于控制复用器 230，以确定从乒乓缓冲器 215 或 220 中的哪一个接收滤波器系数。在本发明的该实施例中，在首次调用解码器 125 时，违规检查计数值是该解码器的未满足的校验节点的数量。例如，如图 1 所示，在检测器 125、交织器（Π）140 与解码器 135 之间的第一全局迭代之后，违规检查计数值被采样。

[0041] 在本实施例中，在决策块 560 处，如果违规检查计数值大于或等于阈值，那么在块 565 处，比较器 225 触发复用器 230 将来自第一乒乓缓冲器 215 的系数集合（例如，NPFIR1）加载到检测器 150 中。替代地，在决策块 560 处，如果违规检查计数值小于阈值（例如，陷阱集），那么在块 565 处，比较器 225 触发复用器 230 将来自第二乒乓缓冲器 220 的系数集合（例如，NPFIR2）加载到检测器 150 中。应当认识到，在第一全局迭代（检测器 125 和第一解码器运行结束）后，如果错误事件很可能是陷阱集错误（未满足的校验节点的数量 / 违规检查计数值小于阈值），那么不同的噪声预测滤波器系数被加载到检测器 150 中以用于解码器 135 与检测器 150 之间的剩下的全局迭代；例如，修改第二和以后的全局迭代中的检测器 150 的检测。这可以有效地打破诸如陷阱集错误的噪声模式，从而导致解码器的收

敛。

[0042] 图 4 是示出根据本发明实施例的将检测器 / 解码器的输出与写入的真实数据进行比较的示意性 turbo 迭代数据的表 400。该数据表示了陷阱集失败的应用到现有技术的错误校正系统的扇区的收敛行为 (左侧列 405), 以及收敛的应用到根据本发明的系统的相同的扇区的收敛行为 (右侧列 410)。查看表 400, 列 405 示出从例如如图 1 所示的检测器 125 与 LDPC 解码器 135 之间以及检测器 150 与 LDPC 解码器 135 之间的迭代得到的现有技术的结果。应当注意, 列 405 和 410 中的数据表示基于相同的 4k 比特扇区的示例性数据集。列 405 和 410 中的每一行包括多个与检测器 125 (标示为 map1)、检测器 150 (标示为 map2)、LDPC 解码器 135 (标示为 dec1 : 表示在检测器 125 与 LDPC 解码器 135 之间的第一全局迭代)、以及 LDPC 解码器 135 (标示为 dec2 : 表示在检测器 150 与 LDPC 解码器 135 之间的全局迭代) 有关的比特错误。从该表可以看出, 正如多个 map2-dec2 数据集所指示的, 在检测器 150 与 LDPC 解码器 135 之间存在多个全局迭代。

[0043] 列 405 中的与 map1-dec1 相关联的数据表示检测器 125 与 LDPC 解码器 135 之间的全局迭代, 其中, 解码器被第一次调用以处理来自通道的扇区 (码字)。参考图 1, 例如, 这通常由检测器 125、交织器 (Π^1) 130 与解码器 135 之间的通信路径来表示。列 405 中与 map2-dec2 相关联的数据表示例如检测器 150 与 LDPC 解码器 135 之间的全局迭代。在图 1 中, 例如, 该路径通常由 LDPC 解码器 135、交织器 (Π) 140、去交织器 (Π^{-1}) 145 与检测器 150 之间的路径表示。

[0044] 根据本发明, 列 410 中的数据示出在图 1 中示出并采用在图 2 中描述的架构的由例如检测器 125 与 LDPC 解码器 135 之间以及检测器 150 与 LDPC 解码器 135 之间的迭代导致的比特错误结果。列 410 中的与 map1-dec1 相关联的数据表示检测器 125 与 LDPC 解码器 135 之间的全局迭代, 其中, 解码器被第一次调用以处理来自通道的扇区 (码字)。参考图 1, 例如, 这通常由采用图 2 中描述的架构的检测器 125、交织器 (Π^1) 130 与解码器 135 之间的通信路径来表示。列 410 中的与 map2-dec2 相关联的数据表示例如采用图 2 中描述的架构的检测器 150 与 LDPC 解码器 135 之间的全局迭代。在图 1 中的该路径例如通常由 LDPC 解码器 135、交织器 (Π) 140、去交织器 (Π^{-1}) 145 和检测器 150 之间的路径表示。如表 400 中所示, 正如众多的 map2-dec2 比特错误所指示出的, 在检测器 150 与解码器 135 之间存在多个全局迭代。应当认识到, 列 405 中的数据由未能收敛并进入陷阱集错误的现有技术布置 (例如, 处理一个系数集合或一个候选项) 处理, 而作为由根据本发明的布置处理的结果 (例如, 处理两个滤波器系数集合或两个候选项), 列 410 中的数据收敛。

[0045] 参考列 405, 在全局迭代 1 (415) 中使用单个系数集合进行处理 (正如本领域中已知的), 在检测器 125 (map1) 检测后, 该扇区具有 65 个比特错误, 并且在解码器 135 (dec1) 解码后, 该扇区具有 7 个比特错误。在检测器 125 与 LDPC 解码器 135 之间的第一全局迭代之后, 通过检测器 150 与解码器 135 之间的多个全局迭代对扇区进行处理, 由 map2-dec2 标示。

[0046] 在采用单个系数集合的全局迭代 2 (420) 中, 在检测器 150 (map2) 检测后, 扇区具有 4 个比特错误, 并且在解码器 135 (dec2) 解码后, 扇区具有 6 个比特错误。参考列 405 的底部 (430), 如果解码器 135 已收敛, 那么会认为 LDPC 解码成功并且检测器 125 可以接受下一个扇区来进行解码。但是, 解码器 135 并未收敛, 因此失败。应当认识到, 尽管与大得多

的 4k 比特扇区相比起来很小,但是在预定数量的迭代 n 内,在列 405 中,比特错误的大小未能收敛到零或者校正。该行为是陷阱集的一种指示,其是现有技术的系统当中的一个问题。

[0047] 根据本发明实施例,打破在列 405 中示出的示例性数据集的陷阱集的一种方式是在检测器 125 与解码器 135 之间的第一全局迭代之后,将第二系数集加载到检测器 150 中。转到列 410,应该认识到,列 410 中的数据表示基于用于产生列 405 中的数据集的相同的 4k 比特扇区的示例性数据集,但是列 405 中的数据集被根据本公开实施例进行处理并且收敛至零从而指示无错误。

[0048] 查看列 410,全局迭代 1(435) 表示检测器 125(map1) 与解码器 135(dec1) 之间的第一全局迭代,其中,解码器第一次被调用来处理来自通道的扇区(码字)。在检测器 125(map1) 检测后,该扇区具有 65 个比特错误,并且在解码器 135(dec1) 解码后,该扇区具有 7 个比特错误。在检测器 125(map1) 与解码器 135(dec1) 之间的第一全局迭代之后,由于以相同的方式对相同的扇区进行处理,因此比特错误的数量与在列 405 中的现有技术示例数据集的比特错误的数量相同。但是,根据本发明实施例,在该第一全局迭代之后,为了打破陷阱集,针对检测器 150(map2) 与解码器 135(dec2) 之间的全局迭代,不同的噪声预测滤波器系数被加载在检测器 150 中。

[0049] 在采用第二系数集的全局迭代 2(440) 中,在检测器 150(map2) 检测后,扇区具有 4 个比特错误,并且在解码器 135(dec2) 解码后,该扇区具有 4 个比特错误。参考图 2 和图 4,对于全局迭代 2(440),作为处理的一部分,加载电路 210 将第一系数集加载在检测器 125 中,以连续地更新系数,并将两个系数集分别加载在乒乓缓冲器 215 和 220 中。来自第一全局迭代的违规检查计数值由比较器 225 与被设置为例如 20 的阈值进行比较。如果违规检查计数值(即,未满足校验节点)小于阈值,那么比较器 225 触发复用器 230 将来自乒乓缓冲器 220 的第二系数集(例如, NPFIR2) 加载到检测器 150。在该特定例子中,违规检查计数值是 7(435),其指示陷阱集,因此触发比较器 225 来向复用器 230 发出信号以将第二系数集(例如, NPFIR2) 加载到检测器 150。如果违规检查计数值大于或等于阈值,那么复用器 230 将来自乒乓缓冲器 215 的第一系数集(例如, NPFIR1) 加载到检测器 150(不是当前数据集集中的情况)。一旦第二系数集被加载到检测器 150,那么检测器 150 继续与解码器之间的全局迭代,同时接收来自检测器 125 的更新的系数(例如, NPFIR2),直到解码器收敛或超时。在本例中,解码器收敛至 0,指示没有比特错误(450)。

[0050] 本发明实施例可以采用硬件、软件或硬件与软件方面。软件包括但不限于:固件、驻留软件、微码等。本发明的一个或多个实施例或本发明的若干部分可以以包括机器可读介质的产品的形式来实现,该机器可读介质包含一个或多个程序,当该一个或多个程序被执行时,其实现用于至少执行本发明实施例的若干部分的方法步骤;也就是说,包括有形的计算机可读可记录存储介质(或多个这样的介质)的计算机程序产品,其上以非暂态方式存储有用执行上述的一个或多个方法步骤的计算机可用的程序代码。此外,本发明的一个或多个实施例或本发明的元素可以以装置的形式来实现,并可操作用来执行示例性方法步骤或促进示例性方法步骤的性能,该装置包括存储器和与存储器耦接的至少一个处理器(例如, DSP)。

[0051] 如本文所使用的,“促进”一个动作包括执行该动作、使该动作更容易、帮助实现该动作、或使该动作被执行。这样,作为示例而非限制,通过发送适当的数据或命令以使得动

作被执行或辅助动作执行,在一个处理器上执行的指令可以促进通过在远程处理器上执行的指令执行的动作。为了避免疑问,在行动者通过除了执行该动作以外的方式来促进该动作的情况下,该动作由某些实体或实体的组合来执行。

[0052] 另外,在另一个方面,本发明的一个或多个实施例或本发明的元素可以以用于执行在此描述的一个或多个方法步骤的装置的形式来实现;该装置可以包括(i)硬件模块、(ii)在一个或多个硬件处理器上执行的软件模块、或者(iii)硬件和软件模块的组合;现在在此阐述的具体技术的(i)-(iii)中的任意项,并且软件模块被存储在有形的计算机可读可记录存储介质(或多个这样的介质)中。还可以包括经由总线、网络等的适当的互连。

[0053] 本发明的实施例可以特别适用于电子装置或替代系统(例如,数据处理系统、存储器存储系统、蜂窝电话系统、无线传输系统、网络系统等)。例如,图6是描述根据本发明实施例的示例性处理系统600的至少一部分的框图。可以表示例如DSP或DSP的一部分的系统600包括处理器610(例如,在图2中示出的NPCAL电路170)、与处理器耦接(例如,经由总线650或替代连接装置)或嵌入在处理器中的存储器620、以及可操作来与处理器接口连接的输入/输出(I/O)电路630。处理器610可以被配置来执行根据本发明实施例的功能的至少一部分(例如,通过可以被存储在存储器620中并被加载到处理器610中的一个或多个处理640的方式),其示例性实施例在之前的附图中示出并在上文中被描述。

[0054] 应该认识到,本文中使用的术语“处理器”意图包括任何处理装置,诸如,例如,包括中央处理单元(CPU)和/或其它处理电路的处理装置(例如,网络处理器、微处理器、DSP等)。另外,应当理解,处理器可以指多于一个的处理装置,并且与处理装置相关联的各种元件可以被其它处理装置共享。本文中使用的术语“存储器”意图包括存储器和与处理器或CPU相关联的其它计算机可读介质,诸如,例如, RAM、只读存储器(ROM)、固定存储介质(例如,硬盘驱动器)、可移动存储介质(例如,软盘)、闪存等。此外,本文中使用的术语“I/O电路”意图包括:例如用于将数据输入处理器的一个或多个输入装置(例如,键盘、鼠标等),和/或用于呈现与处理器相关联的结果的一个或多个输出装置(例如,显示器等)。

[0055] 因此,如本文所述的包括用于执行根据本发明实施例的方法的指令或代码的应用程序或其软件组件可以被以非暂态的方式存储在一个或多个相关联的存储介质(例如,ROM、固定或可移动存储装置)中,并且,当准备好可以被使用时,全部或部分地被加载(例如,加载到RAM中)并由处理器执行。在任何情况中,应该认识到,之前附图中示出的部件的至少一部分可以以多种形式的硬件、软件或其组合(例如,具有相关联的存储器的一个或多个微处理器、专用集成电路(ASIC)、功能电路、一个或多个具有相关联的存储器的可操作地进行编程的通用数字计算机等)来实现。给出在此提供的本发明实施例的技术,本领域的一个普通技术人员将能够设想出本发明实施例的其它实现方式。

[0056] 本发明实施例的至少一部分可以在集成电路中实现。在形成集成电路时,通常在半导体晶片的表面上以重复的图案来制造相同的管芯(die)。每个管芯都包括在此描述的装置,并且可以包括其它结构和/或电路。单个的管芯被从晶片切割或切片,然后被封装为集成电路。本领域的技术人员将知晓怎样切割晶片并将晶片封装以产生集成电路。这样制造的集成电路被认为是本发明的一部分。

[0057] 根据本发明实施例的集成电路基本上可以被用于其中可以采用多个处理器或总线互连的任何应用和/或电子系统中。用于实现本发明实施例的技术的适合的系统可以包

括但并不限于：服务器、个人电脑、数据存储网络等。并入了这些集成电路的系统被认为是本发明的实施例的一部分。在给出在此提供的本发明实施例的教导的情况下，本领域的普通技术人员将能够设想出本发明实施例的技术的其它实现方式和应用。

[0058] 在此描述的本发明实施例的图示旨在提供对各种实施例的结构的一般理解，并且其并不意图充当对可以利用本文中描述的结构装置和系统的所有要素和特征的完全描述。在给出本文中的教导的情况下，很多其它实施例对于本领域技术人员将变得显而易见；据此可以利用和导出许多其它实施例，从而可以进行结构的和逻辑的替换和改变而不脱离本公开的范围。附图也仅仅是代表性的并且未按比例绘制。因此，本说明书和附图应当被认为是图示性的而不是限制性的。

[0059] 在此通过术语“实施例”单独地和 / 或共同地引述本发明主题的实施例，仅是为了便利，而并不意图将本申请的范围限制于任何单个的实施例或发明概念，如果实际示出了一个以上的实施例或发明概念的话。因此，尽管在此已经图示和描述了具体实施例，但是应当理解，对于具体实施例，实现相同目的的布置可以被替代；也就是说，本公开旨在覆盖各个实施例的任何的和全部的改变或变体。在给出本文中的教导的情况下，上述实施例的组合，以及在此没有描述的其它实施例对本领域技术人员将变得显而易见。

[0060] 遵循 37 C.F.R. § 1.72(b) 条款提供摘要，该条款要求摘要允许读者快速地确定技术公开的性质。在摘要将不会被用来解释或限制权利要求的范围和涵义的理解下，提交该摘要。另外，在前述的详细描述中，可以看出，出于简化本公开的目的，在一个实施例中不同的特征被分组在一起。本公开的方法不应被解释为反映这样的意图，即所要求保护的实施方案需要比在每个权利要求中明确地列举的特征更多的特征。相反地，正如所附权利要求所反映的，发明主题在于比单个实施例的所有特征少的特征。因此，下面的权利要求被并入到详细描述中，每个权利要求自己分别作为所要求保护的主体独立存在。

[0061] 项目 1. 一种错误校正数据处理装置，包括：噪声预测校准电路，能够操作来，基于第一数据集对滤波器系数的第一集合进行校准，以及基于第二数据集对滤波器系数的第二集合进行校准；

[0062] 第一噪声预测检测器，能够操作来接收滤波器系数的第一集合；

[0063] 解码器，能够操作来使用第一噪声预测检测器执行第一全局迭代，并确定违规检查计数值；以及第二噪声预测检测器，能够操作来：如果违规检查计数值小于预定值，那么接收滤波器系数的第二集合，或者如果违规检查计数值大于所述预定值，那么接收滤波器系数的第一集合。

[0064] 项目 2. 如项目 1 的装置，其中，所述解码器和所述第二噪声预测检测器能够操作来基于滤波器系数的第二集合执行第二和以后的全局迭代。

[0065] 项目 3. 如项目 1 的装置，其中，如果违规检查计数值小于所述预定值，那么在第二噪声预测检测器与解码器之间的第二和以后的全局迭代中在检测期间通过滤波器系数的第二集合来修改第二检测器。

[0066] 项目 4. 如项目 1 的装置，还包括：

[0067] 第一缓冲器，能够操作来存储滤波器系数的第一集合；第二缓冲器，能够操作来存储滤波器系数的第二集合；以及复用器，能够操作来在将滤波器系数的第一集合加载到第二噪声预测检测器或将滤波器系数的第二集合加载到第二噪声预测检测器之间进行切换。

[0068] 项目 5. 如项目 4 的装置,还包括比较器,其能够操作来触发所述复用器,以基于违规检查计数值和所述预定值在加载滤波器系数的第一集合或加载滤波器系数的第二集合之间进行切换。

[0069] 项目 6. 如项目 1 的装置,还包括加载电路,其能够操作来将滤波器系数加载到第一噪声预测检测器中和第二噪声预测检测器中。

[0070] 项目 7. 如项目 1 的装置,其中,所述第一噪声预测检测器和第二噪声预测检测器的每一个都包括软输出维特比算法检测器,或者每一个都包括最大后验算法检测器。

[0071] 项目 8. 如项目 1 的装置,其中,所述解码器包括低密度奇偶校验算法。

[0072] 项目 9. 如项目 1 的装置,其中,所述噪声预测校准电路应用最小均方算法来校准滤波器系数的第一集合和滤波器系数的第二集合。

[0073] 项目 10. 如项目 1 的装置,其中,所述违规检查计数值代表陷阱集。

[0074] 项目 11. 如项目 1 的装置,其中,所述预定值代表错误事件的类型。

[0075] 项目 12. 如项目 1 的装置,其中,所述数据处理装置的至少一部分被制造在至少一个集成电路中。

[0076] 项目 13. 一种用于改善数据处理系统中的错误校正的方法,该方法包括以下步骤:基于第一数据集来校准滤波器系数的第一集合,以及基于第二数据集来校准滤波器系数的第二集合;通过第一噪声预测检测器接收滤波器系数的第一集合;使用第一噪声预测检测器和解码器来执行第一全局迭代,并确定违规检查计数值;以及如果违规检查计数值小于规定值,那么通过第二噪声预测检测器接收滤波器系数的第二集合,替代地,如果违规检查计数值大于所述规定值,那么通过第二噪声预测检测器接收滤波器系数的第一集合。

[0077] 项目 14. 如项目 13 的方法,还包括:在解码器与第二噪声预测检测器之间基于滤波器系数的第二集合执行第二和以后的全局迭代。

[0078] 项目 15. 如项目 13 的方法,还包括:如果所述违规检查计数值小于所述规定值,则在第二噪声预测检测器与解码器之间的第二和以后的全局迭代中在检测期间利用滤波器系数的第二集合来修改第二噪声预测检测器。

[0079] 项目 16. 如项目 13 的方法,还包括:在第一缓冲器中存储滤波器系数的第一集合;在第二缓冲器中存储滤波器系数的第二集合;以及在将滤波器系数的第一集合加载到第二噪声预测检测器或将滤波器系数的第二集合加载到第二噪声预测检测器之间进行切换。

[0080] 项目 17. 如项目 16 的方法,还包括:根据违规检查计数值和所述规定值加载滤波器系数的第一集合和滤波器系数的第二集合其中的一个。

[0081] 项目 18. 如项目 13 的方法,还包括通过第一噪声预测检测器和第二噪声预测检测器两者应用软输出维特比算法检测器,或者两者都应用最大后验算法检测器。

[0082] 项目 19. 如项目 13 的方法,还包括:通过所述解码器应用低密度奇偶校验。

[0083] 项目 20. 如项目 13 的方法,其中,所述校准步骤还包括:应用最小均方算法。

[0084] 项目 21. 如项目 13 的方法,其中,所述违规检查计数值代表陷阱集。

[0085] 项目 22. 如项目 13 的方法,其中,所述规定值代表错误事件的类型。

[0086] 项目 23. 一种包括第一和第二噪声预测检测器的数据处理系统,该数据处理系统包括:存储器,以及与存储器耦接的至少一个处理器,并且该处理器能够操作来:至少获得第一数据集和第二数据集;基于第一数据集来校准滤波器系数的第一集合,以及基于第二

数据集来校准滤波器系数的第二集合 ;通过第一噪声预测检测器来接收滤波器系数的第一集合 ;使用第一噪声预测检测器和解码器来执行第一全局迭代,并确定违规检查计数值 ;以及如果违规检查计数值小于规定值,那么通过第二噪声预测检测器接收滤波器系数的第二集合,或者如果违规检查计数值大于所述规定值,那么通过第二噪声预测检测器接收滤波器系数的第一集合。

[0087] 项目 24. 一种包含计算机程序产品的制品,所述计算机程序产品又包括以非暂态方式存储可执行程序指令的有形的计算机可读存储介质,当该程序指令被执行时,实现根据项目 13 的方法的步骤。

[0088] 在给出在此提供的本发明实施例的教导的情况下,本领域的普通技术人员将能够设想出本发明实施例的技术的其它实现方式和应用。尽管已经参考附图描述了本发明的示例性实施例,但是应该理解本发明实施例并不限于这些实施例,并且本领域的技术人员可以对其进行各种其它的改变和修改而不背离所附权利要求。

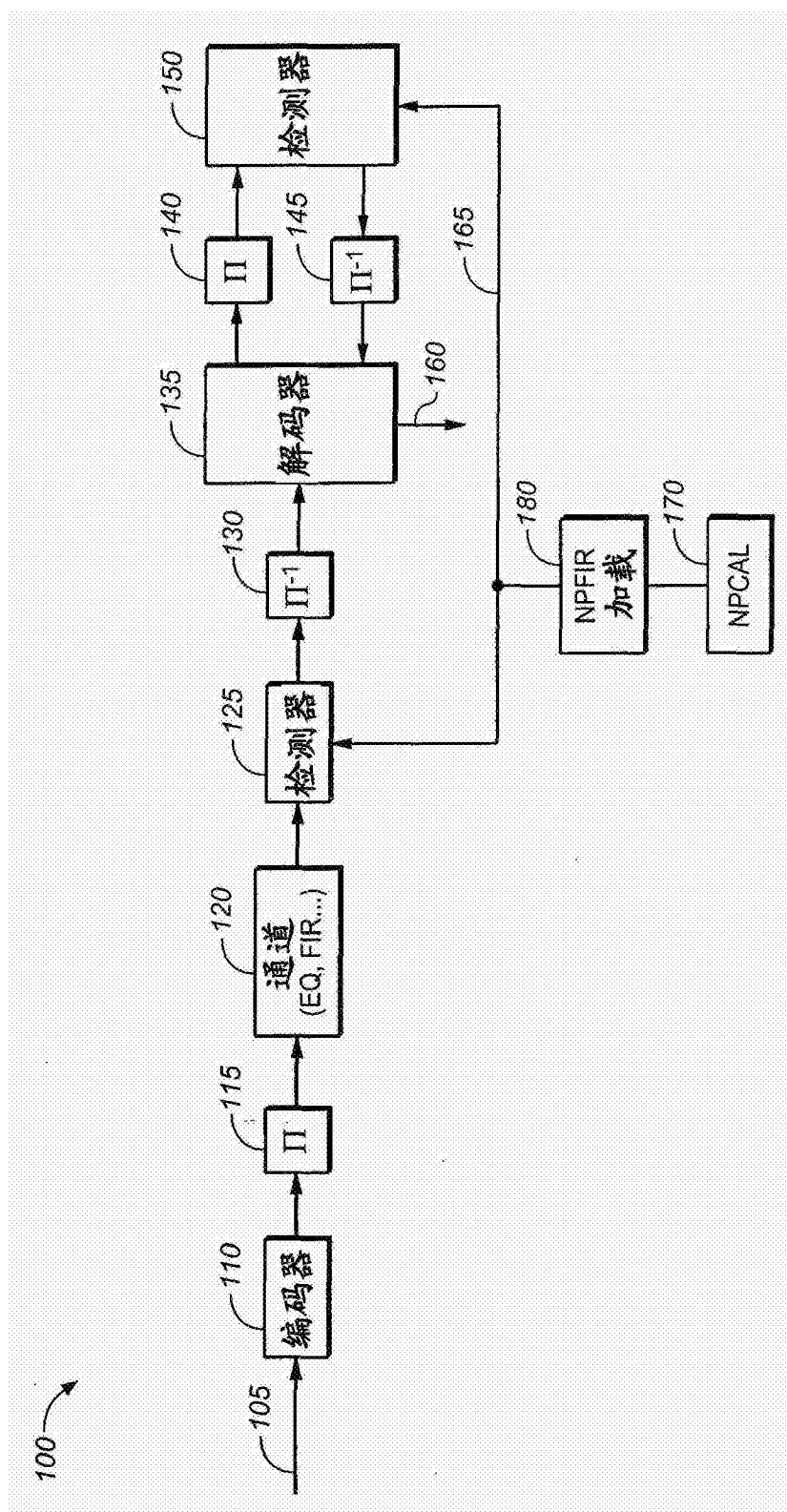


图 1

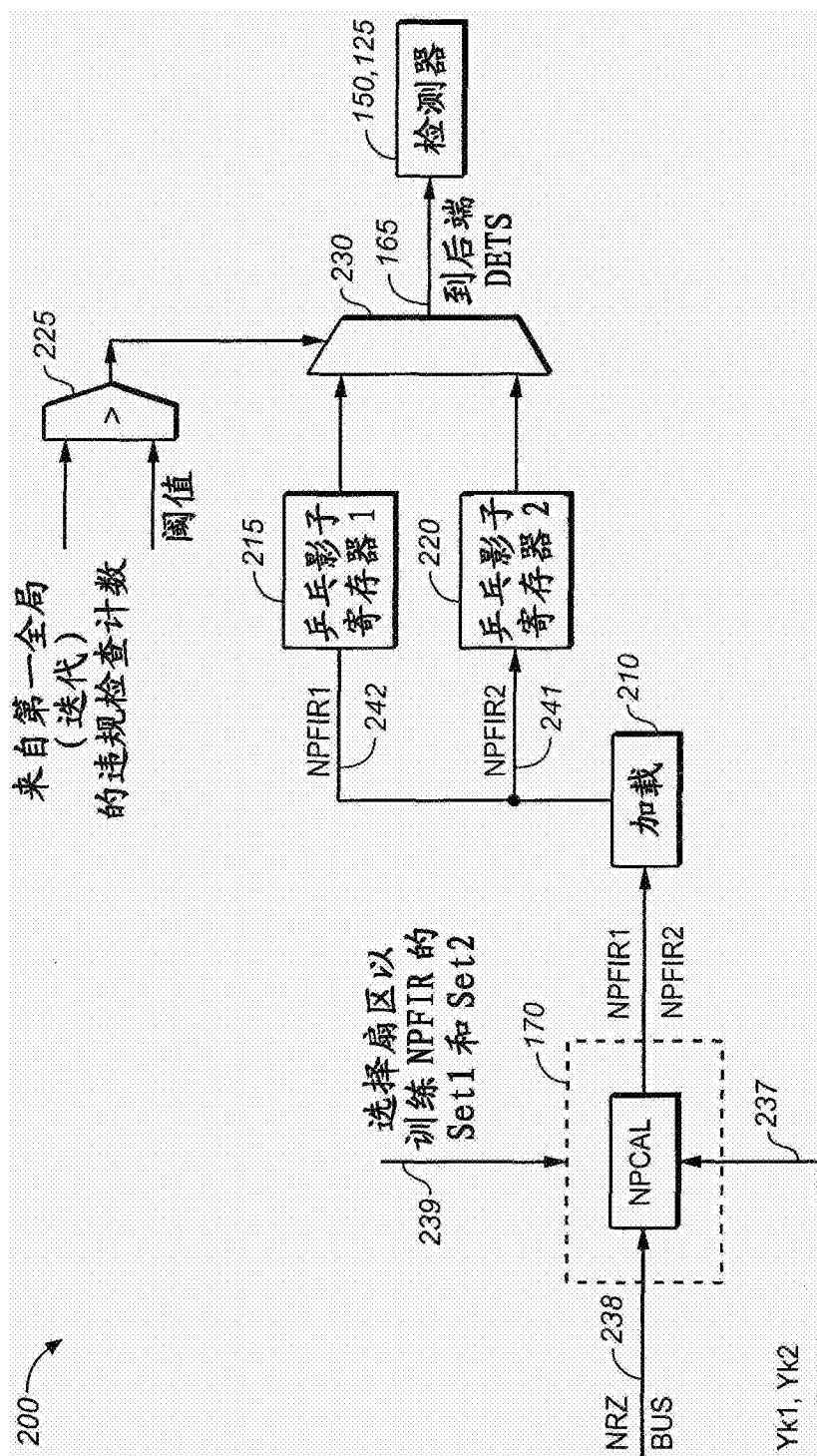


图 2

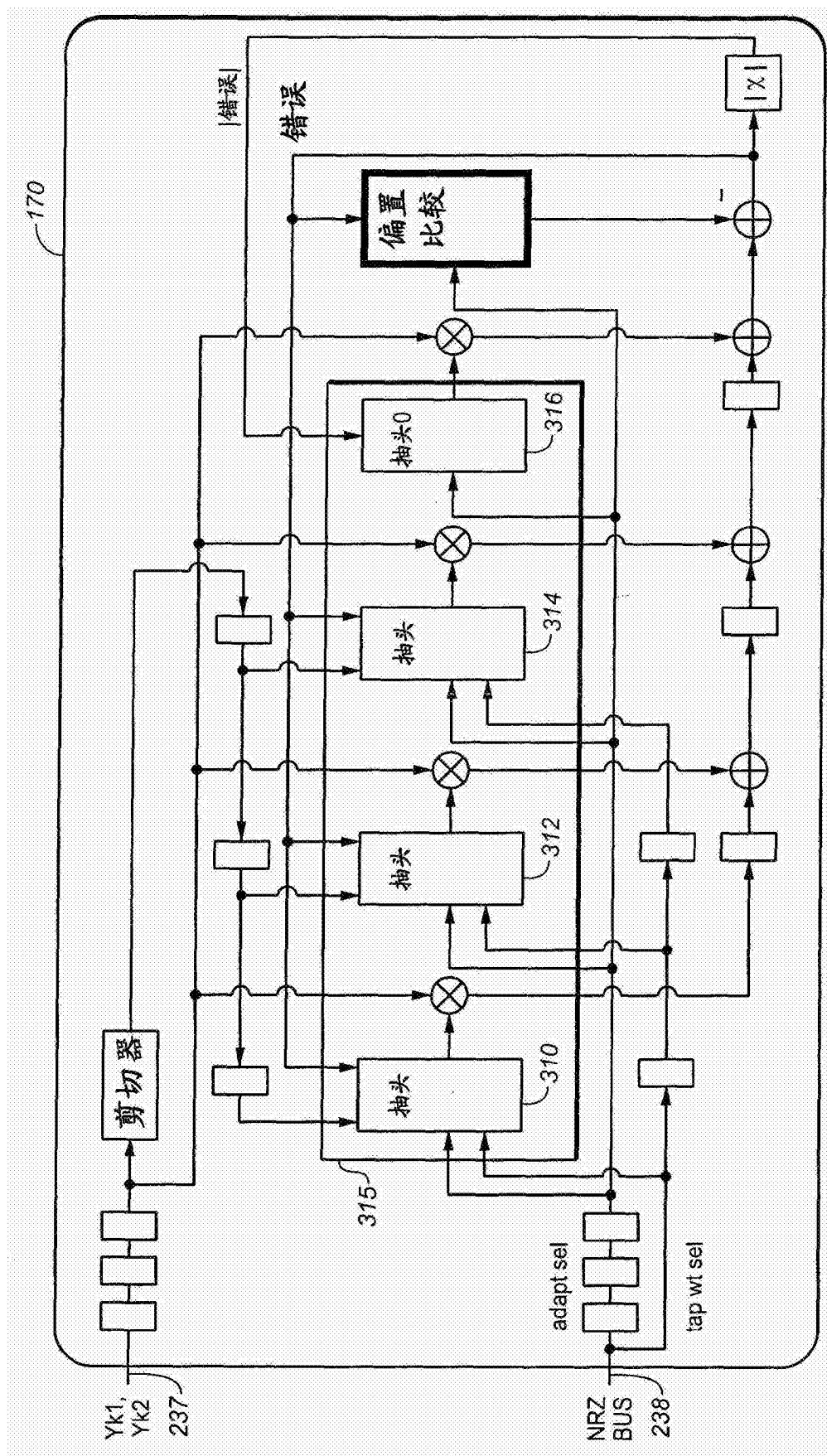


图 3

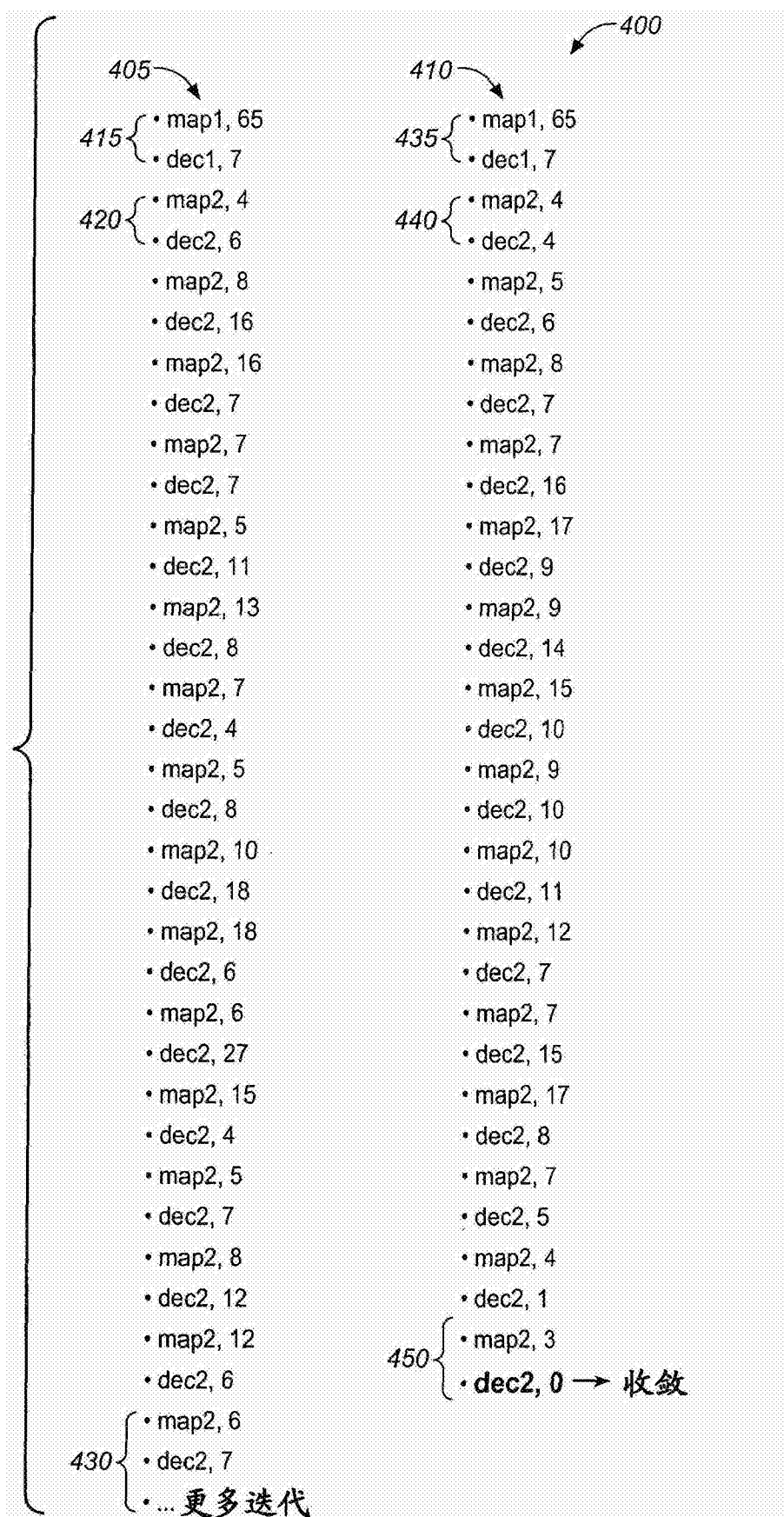


图 4

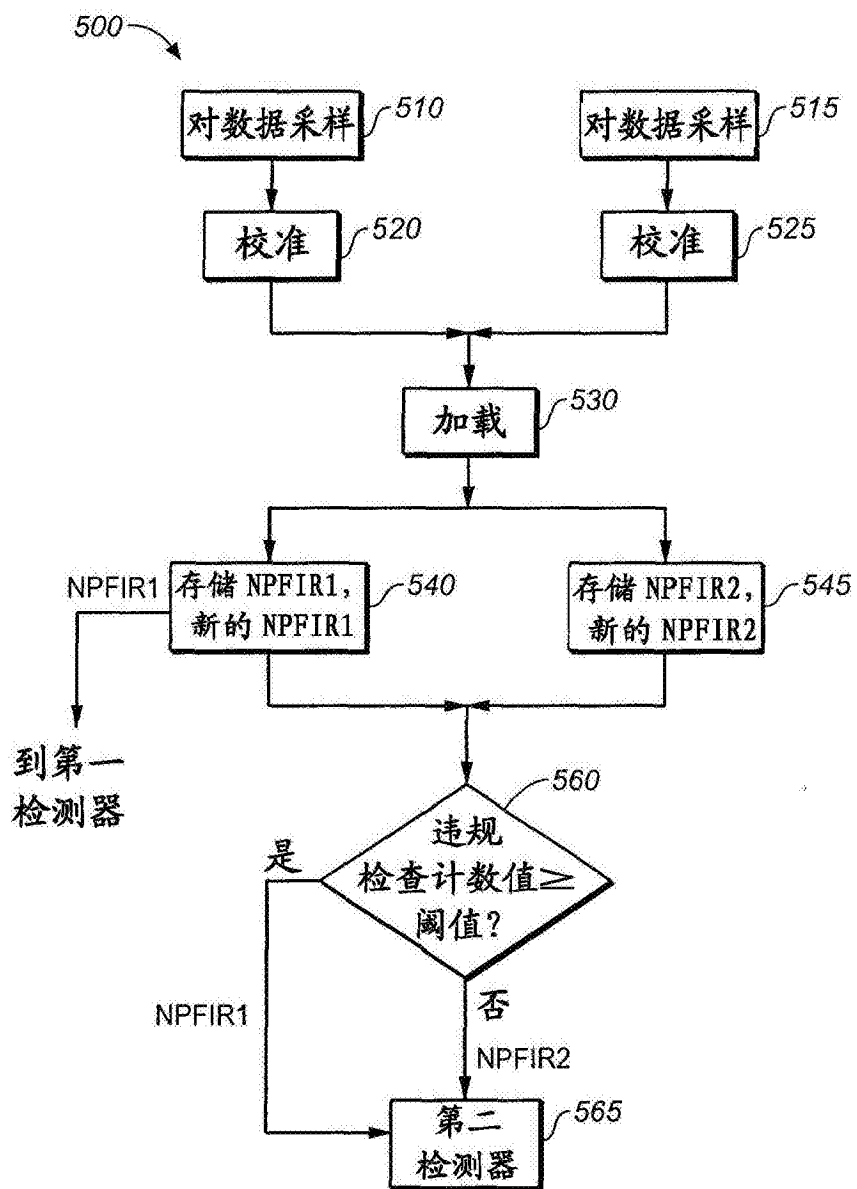


图 5

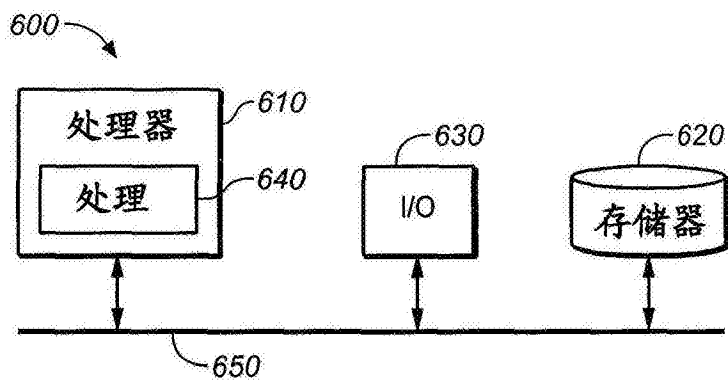


图 6