

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 3 月 30 日 (2006.3.30)

【公開番号】特開 2002-368080 (P2002-368080A)

【公開日】平成 14 年 12 月 20 日 (2002.12.20)

【出願番号】特願 2001-169631 (P2001-169631)

【国際特許分類】

H 0 1 L 21/762 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/82 (2006.01)

H 0 1 L 21/76 (2006.01)

H 0 1 L 29/78 (2006.01)

【F I】

H 0 1 L 21/76 D

H 0 1 L 27/08 3 3 1 A

H 0 1 L 27/10 4 6 1

H 0 1 L 27/08 1 0 2 C

H 0 1 L 27/04 A

H 0 1 L 21/82 D

H 0 1 L 21/76 L

H 0 1 L 29/78 3 0 1 R

【手続補正書】

【提出日】平成 18 年 2 月 15 日 (2006.2.15)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体集積回路装置

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 M I S F E T が形成された活性領域を囲む素子分離部の少なくともゲート長方向の一方の分離幅を相対的に狭くして、前記 M I S F E T の電気的特性変化を相対的に大きくし、

前記素子分離部の分離幅を相対的に広くして、前記 M I S F E T の電気的特性変化を相対的に小さくし、

前記分離幅と前記電気的特性変化との関係に基づいて、前記分離幅を調整することにより、前記 M I S F E T の所望する特性を得ることを特徴とする半導体集積回路装置。

【請求項 2】 M I S F E T のゲート電極からゲート長方向の素子分離部までの少な

くとも一方の距離を相対的に大きくして、前記M I S F E Tの電気的特性変化を相対的に小さくし、

前記M I S F E Tのゲート電極からゲート長方向の素子分離部までの距離を相対的に小さくして、前記M I S F E Tの電気的特性変化を相対的に大きくし、

前記M I S F E Tのゲート電極からゲート長方向の素子分離部までの距離と前記電気的特性変化との関係に基づいて、前記M I S F E Tのゲート電極からゲート長方向の素子分離部までの少なくとも一方の距離を調整することにより、前記M I S F E Tの所望する特性を得ることを特徴とする半導体集積回路装置。

【請求項3】 M I S F E Tが形成された活性領域を囲む素子分離部の少なくともゲート長方向の一方の分離幅を相対的に狭くして、前記M I S F E Tの電気的特性変化を相対的に大きくし、

前記素子分離部の分離幅を相対的に広くして、前記M I S F E Tの電気的特性変化を相対的に小さくし、

前記M I S F E Tのゲート電極からゲート長方向の素子分離部までの少なくとも一方の距離を相対的に大きくして、前記M I S F E Tの電気的特性変化を相対的に小さくし、

前記M I S F E Tのゲート電極からゲート長方向の素子分離部までの距離を相対的に小さくして、前記M I S F E Tの電気的特性変化を相対的に大きくし、

前記分離幅と前記電気的特性変化との関係に基づいて、前記分離幅を調整すると共に、前記M I S F E Tのゲート電極からゲート長方向の素子分離部までの距離と前記電気的特性変化との関係に基づいて、前記M I S F E Tのゲート電極からゲート長方向の素子分離部までの少なくとも一方の距離を調整することにより、前記M I S F E Tの所望する特性を得ることを特徴とする半導体集積回路装置。

【請求項4】 M I S F E Tが形成された活性領域と、前記活性領域とゲート長方向に隣接するダミー活性領域との間の素子分離部の分離幅を相対的に狭くして、前記M I S F E Tの電気的特性変化を相対的に大きくし、

前記素子分離部の分離幅を相対的に広くして、前記M I S F E Tの電気的特性変化を相対的に小さくし、

前記分離幅と前記電気的特性変化との関係に基づいて前記分離幅を調整することにより、前記M I S F E Tの所望する特性を得ることを特徴とする半導体集積回路装置。

【請求項5】 M I S F E Tのゲート電極からゲート長方向の素子分離部までの少なくとも一方の距離を相対的に大きくして、前記M I S F E Tの電気的特性変化を相対的に小さくし、

前記M I S F E Tのゲート電極からゲート長方向の素子分離部までの距離を相対的に小さくして、前記M I S F E Tの電気的特性変化を相対的に大きくし、

前記M I S F E Tのゲート電極からゲート長方向の素子分離部までの距離と前記電気的特性変化との関係に基づいて、前記M I S F E Tのゲート電極からゲート長方向の素子分離部までの少なくとも一方の距離を調整することにより、前記M I S F E Tの所望する特性を得る半導体集積回路装置において、

前記M I S F E Tが形成された活性領域上にダミーゲート電極が形成されていることを特徴とする半導体集積回路装置。

【請求項6】 M I S F E Tが形成された活性領域を囲む素子分離部の少なくともゲート長方向の一方の分離幅を相対的に狭くして、前記M I S F E Tの電気的特性変化を相対的に大きくし、

前記素子分離部の分離幅を相対的に広くして、前記M I S F E Tの電気的特性変化を相対的に小さくし、

前記M I S F E Tのゲート電極からゲート長方向の素子分離部までの少なくとも一方の距離を相対的に大きくして、前記M I S F E Tの電気的特性変化を相対的に小さくし、

前記M I S F E Tのゲート電極からゲート長方向の素子分離部までの距離を相対的に小さくして、前記M I S F E Tの電気的特性変化を相対的に大きくし、

前記分離幅と前記電気的特性変化との関係に基づいて、前記分離幅を調整すると共に、

前記MISFETのゲート電極からゲート長方向の素子分離部までの距離と前記電気的特性変化との関係に基づいて、前記MISFETのゲート電極からゲート長方向の素子分離部までの少なくとも一方の距離を調整することにより、前記MISFETの所望する特性を得る半導体集積回路装置において、

前記MISFETが形成された活性領域上にダミーゲート電極が形成されていることを特徴とする半導体集積回路装置。

【請求項7】 請求項1～6のいずれか1項に記載の半導体集積回路装置であって、前記MISFETが形成された活性領域を囲む素子分離部のゲート幅方向の分離幅は、 $0.35\mu\text{m}$ 以上であることを特徴とする半導体集積回路装置。

【請求項8】 請求項1～6のいずれか1項に記載の半導体集積回路装置であって、前記素子分離部は溝アイソレーションまたはLOCOSアイソレーションで構成されることを特徴とする半導体集積回路装置。

【請求項9】 請求項1～6のいずれか1項に記載の半導体集積回路装置であって、前記MISFETの特性は、しきい値電圧または駆動電流であることを特徴とする半導体集積回路装置。

【請求項10】 基板の主面上にしきい値電圧が互いに異なる第1のMISFETと第2のMISFETとを有する半導体集積回路装置において、

分離幅が相対的に広い素子分離部で囲まれた第1活性領域に前記第1のMISFETが形成され、少なくともゲート長方向の一方を分離幅が相対的に狭い素子分離部で囲まれた第2活性領域に前記第2のMISFETが形成されることを特徴とする半導体集積回路装置。

【請求項11】 基板の主面上にしきい値電圧が互いに異なる第1のMISFETと第2のMISFETとを有する半導体集積回路装置において、

前記第1のMISFETが形成される第1活性領域のゲート電極からゲート長方向の素子分離部までの距離が相対的に大きく、前記第2のMISFETが形成される第2活性領域のゲート電極からゲート長方向の素子分離部までの少なくとも一方の距離が相対的に小さいことを特徴とする半導体集積回路装置。

【請求項12】 基板の主面上にしきい値電圧が互いに異なる第1のMISFETと第2のMISFETとを有する半導体集積回路装置において、

分離幅が相対的に広い素子分離部で囲まれた第1活性領域に前記第1のMISFETが形成され、少なくともゲート長方向の一方を分離幅が相対的に狭い素子分離部で囲まれた第2活性領域に前記第2のMISFETが形成され、前記第1活性領域のゲート電極からゲート長方向の素子分離部までの距離が相対的に大きく、前記第2活性領域のゲート電極からゲート長方向の素子分離部までの少なくとも一方の距離が相対的に小さいことを特徴とする半導体集積回路装置。

【請求項13】 請求項10記載の半導体集積回路装置であって、

前記第1活性領域のゲート電極からゲート長方向の素子分離部までの一方の距離と、前記第2活性領域のゲート電極からゲート長方向の素子分離部までの一方の距離とがほぼ同じであることを特徴とする半導体集積回路装置。

【請求項14】 請求項11記載の半導体集積回路装置であって、

前記第1活性領域を囲む素子分離部のゲート長方向の一方の分離幅と、前記第2活性領域を囲む素子分離部のゲート長方向の一方の分離幅とがほぼ同じであり、前記第1活性領域を囲む素子分離部のゲート長方向の他方の分離幅と、前記第2活性領域を囲む素子分離部のゲート長方向の他方の分離幅とがほぼ同じであることを特徴とする半導体集積回路装置。

【請求項15】 請求項10または12記載の半導体集積回路装置であって、

相対的に狭い素子分離部の分離幅は、 $0.35\mu\text{m}$ 以下であることを特徴とする半導体集積回路装置。

【請求項16】 請求項11または12記載の半導体集積回路装置であって、

前記第2のMISFETのゲート電極からゲート長方向の素子分離部までの間にダミー

ゲート電極が形成されていることを特徴とする半導体集積回路装置。

【請求項 17】 請求項 1、3、4、10 または 12 記載の半導体集積回路装置であって、

素子分離部の分離幅を相対的に狭くすることにより M I S F E T のチャネル領域へ及ぼす応力の影響を大きくして、しきい値電圧の変化を相対的に大きくし、素子分離部の分離幅を相対的に広くすることにより M I S F E T のチャネル領域へ及ぼす応力の影響を小さくして、しきい値電圧の変化を相対的に小さくすることを特徴とする半導体集積回路装置。

【請求項 18】 請求項 2、3、5、6、11 または 16 記載の半導体集積回路装置であって、

M I S F E T のゲート電極からゲート長方向の素子分離部までの距離を相対的に大きくすることにより M I S F E T のチャネル領域へ及ぼす応力の影響を小さくして、しきい値電圧の変化を相対的に小さくし、M I S F E T のゲート電極からゲート長方向の素子分離部までの距離を相対的に小さくすることにより M I S F E T のチャネル領域へ及ぼす応力の影響を大きくして、しきい値電圧の変化を相対的に大きくすることを特徴とする半導体集積回路装置。

【請求項 19】 請求項 10 ~ 16 のいずれか 1 項に記載の半導体集積回路装置であって、前記第 1 の M I S F E T と前記第 2 の M I S F E T とは、同一電源電圧で動作することを特徴とする半導体集積回路装置。