

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 4 月 3 日 (03.04.2014)



(10) 国际公布号
WO 2014/048167 A1

- (51) 国际专利分类号:
H04L 7/00 (2006.01)
- (21) 国际申请号: PCT/CN2013/080010
- (22) 国际申请日: 2013 年 7 月 24 日 (24.07.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210365607.0 2012 年 9 月 27 日 (27.09.2012) CN
- (71) 申请人 (对除美国外的所有指定国): 烽火通信科技股份有限公司 (FIBERHOME TELECOMMUNICATION TECHNOLOGIES CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区关东科技园东信路 5 号, Hubei 430074 (CN)。
- (72) 发明人: 及
- (71) 申请人 (仅对美国): 朱冬艳 (ZHU, Dongyan) [CN/CN]; 中国湖北省武汉市东湖开发区关东科技园东信路 5 号, Hubei 430074 (CN)。 章灿辉 (ZHANG, Canhui) [CN/CN]; 中国湖北省武汉市东湖开发区关东科技园东信路 5 号, Hubei 430074 (CN)。 林雪 (LIN, Xue) [CN/CN]; 中国湖北省武汉市东湖开发区关东科技园东信路 5 号, Hubei 430074 (CN)。 袁卫军 (YUAN, Weijun) [CN/CN]; 中国湖北省武汉

市东湖开发区关东科技园东信路 5 号, Hubei 430074 (CN)。 计世荣 (JI, Shirong) [CN/CN]; 中国湖北省武汉市东湖开发区关东科技园东信路 5 号, Hubei 430074 (CN)。 吴海波 (WU, Haibo) [CN/CN]; 中国湖北省武汉市东湖开发区关东科技园东信路 5 号, Hubei 430074 (CN)。

(74) 代理人: 北京捷诚信通专利事务所 (普通合伙) (BEIJING PCSU PATENT OFFICE); 中国北京市西城区三里河一区 5-5, Beijing 100045 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,

[见续页]

(54) Title: SYSTEM TIME SYNCHRONIZATION DEVICE AND METHOD IN PACKET TRANSPORT NETWORK

(54) 发明名称: 分组传送网络中的系统时间同步装置及方法

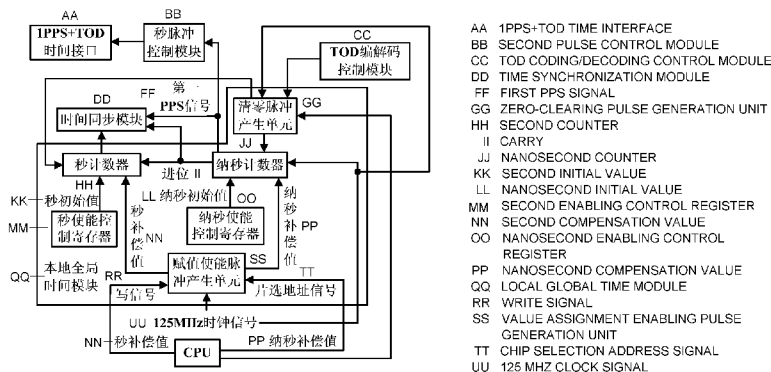


图 2 / FIG. 2

(57) Abstract: Disclosed are a system time synchronization device and method in a packet transport network, which relate to a packet transport network in optical communications. The system time synchronization device comprises a CPU, a time synchronization module, an FPGA, a 1PPS+TOD time interface, an ingress time stamp module, an egress time stamp module, a first PTP port, and a second PTP port, the FPGA being connected with the CPU through the time synchronization module, the first PTP port being connected with the CPU through the ingress time stamp module, the second PTP port being connected with the CPU through the egress time stamp module, and the FPGA also being connected with the CPU and the 1PPS+TOD time interface, respectively. By way of software-hardware combination, the present invention can effectively and rapidly realize the system time synchronization of nano-second-level precision between a master station and a slave station in a packet transport network, and realize the high-precision timing of the entire network.

(57) 摘要:

[见续页]



WO 2014/048167 A1

IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, **本国际公布:**

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

— 包括国际检索报告(条约第 21 条(3))。

根据细则 4.17 的声明:

— 关于申请人有权申请并被授予专利(细则 4.17(ii))

本发明公开了一种分组传送网络中的系统时间同步装置及方法,涉及光通信中的分组传送网络,该系统时间同步装置包括 CPU、时间同步模块、FPGA、1PPS+TOD 时间接口、入口时戳模块、出口时戳模块、第一 PTP 端口、第二 PTP 端口, FPGA 通过时间同步模块与 CPU 相连,第一 PTP 端口通过入口时戳模块与 CPU 相连,第二 PTP 端口通过出口时戳模块与 CPU 相连, FPGA 还分别与 CPU、1PPS+TOD 时间接口相连。本发明通过软硬件结合的方式,能有效快速地完成分组传送网络中主从站之间纳秒级精度的系统时间同步,实现整个网络的高精度定时。

分组传送网络中的系统时间同步装置及方法

技术领域

本发明涉及光通信中的分组传送网络，特别是涉及一种分组传送网络中的系统时间同步装置及方法。

背景技术

随着 3G/4G 业务的应用及普及，业务向 IP（Internet Protocol，网络之间互连的协议）化多业务发展，分组传送网络是以分组为核心的传送网络，替代 MSTP（Multi-Service Transfer Platform，基于 SDH 的多业务传送平台）网络成为了主流的传送承载网络。分组传送网络不仅需要兼容传统的 SDH（Synchronous Digital Hierarchy，同步数字系列）网络的频率同步，还对时间同步提出了更高精确度，更准确的定时要求。时间同步是 CDMA（Code Division Multiple Access，码分多址）和 TD-SCDMA（Time Division-Synchronous Code Division Multiple Access，时分同步码分多址）、TD-LTE（TD-SCDMA Long Term Evolution，TD-SCDMA 长期演进）业务的基本需求，实现时间同步是通信系统网络可靠工作的保障。

传统的定时采用 GPS（Global Positioning System，全球定位系统）卫星定时，卫星定时受天线安装、天气、无线电波等不利因素的限制；故新的通信网络提出了 GPS 结合地面时间传送的方式。起初地面时间同步链路采用 NTP（Network Time Protocol，网络时间协议）传送，NTP 通过软件进行定时，只能满足毫秒级别的时间传递精度，时间精度低，无法满足纳秒级精度的要求。为满足无线时间同步基站的微秒级时间的精度要求，提出了 PTP（Precision Time Protocol，精确时间协议），即 IEEE（Institute of Electrical and Electronics Engineers，美国电气和电子工程师协会）1588v2 精确时间同步协议，目的是为实现控制及测试系统的精确的时间同步，IEEE1588 协议可以实现基站时钟的地面传送。时间同步指源端与宿端在相对应的有效瞬间，其相位差或频率差保持在一定精度允许范围之内。

随着网络数据 IP 多业务的发展，对时间同步的要求越来越高，目前的时间同步技术使用软件打时戳的方式，存在操作系统进程的调度、抖动延迟等不确定因素，影响时间同步的精度。

发明内容

本发明的目的是为了克服上述背景技术的不足，提供一种分组传送网络中的系统时间

同步装置及方法，通过软硬件结合的方式，能有效快速地实现分组传送网络中主从站之间纳秒级精度的系统时间同步，实现整个网络的高精度定时。

本发明提供的分组传送网络中的系统时间同步装置，包括 CPU、时间同步模块、FPGA、1PPS+TOD 时间接口，所述 FPGA 通过时间同步模块与 CPU 相连，FPGA 还分别与 CPU、1PPS+TOD 时间接口相连，其中：所述 CPU 用于：管理 FPGA；按移动 1PPS+TOD 时间接口标准配置 1PPS+TOD 时间接口的输入/输出工作模式，1PPS+TOD 时间接口处于输入工作模式时，CPU 接收带有时戳的 PTP 报文，提取并记录 PTP 报文的时戳，联合 FPGA 计算出本地时间偏离主时间的纳秒补偿值、秒补偿值，将纳秒补偿值、秒补偿值配置到 FPGA 中；1PPS+TOD 时间接口处于输出工作模式时，CPU 周期性的产生 PTP 报文，并将时间同步模块发来的时戳封装到 PTP 报文中，形成带有时戳的 PTP 报文并发送；所述时间同步模块用于：产生时戳并发送到 CPU；接收 CPU 发来的带有时戳的 PTP 报文、FPGA 发来的含有纳秒同步信息的信号，联合 FPGA 调整本地时钟，保持纳秒信息同步，实现本地时钟和主时钟同步；所述 FPGA 用于：联合时间同步模块维护本地的全局时间，支持软件赋初值；1PPS+TOD 时间接口处于输入工作模式时，FPGA 接收到从外部直接输入的标准时间信息，联合 CPU 计算出本地时间偏离主时间的纳秒补偿值、秒补偿值，进行纳秒级别、秒级别的正负时间补偿，从而实现分组传送网络中设备的系统时间同步；1PPS+TOD 时间接口处于输出工作模式时，FPGA 将本地经过 1588 协议调整后的精确时间信息输出到 1PPS+TOD 时间接口；所述 1PPS+TOD 时间接口用于：处于输入工作模式时，将接收的来自外部网络的 TOD 信息、PPS 信息发送到 FPGA；处于输出工作模式时，将来自 FPGA 的 TOD 信息、PPS 信息发送到外部网络，基站或其他需要时间同步的设备直接从该接口获取时间同步信息。

在上述技术方案中，所述系统时间同步装置还包括入口时戳模块、出口时戳模块、第一 PTP 端口、第二 PTP 端口，所述第一 PTP 端口通过入口时戳模块与 CPU 相连，所述第二 PTP 端口通过出口时戳模块与 CPU 相连，其中：所述第一 PTP 端口用于：接收来自外部网络的数据包，根据数据包中的 PTP 报文类型识别符，识别出带有时戳的 PTP 报文，将带有时戳的 PTP 报文转发到入口时戳模块，与上游设备同步；所述入口时戳模块用于：接收第一 PTP 端口发来的带有时戳的 PTP 报文，记录接收时间，并将带有时戳的 PTP 报文发送给 CPU；所述出口时戳模块用于：接收 CPU 发来的带有时戳的 PTP 报文，再发送到第二 PTP 端口，并记录发送时间；所述第二 PTP 端口用于：接收出口时戳模块发来的 PTP 报文，将接收的 PTP 报文发送到外部网络的端口。

在上述技术方案中，所述 FPGA 包括本地全局时间模块、秒脉冲控制模块和 TOD 编解码控制模块，本地全局时间模块分别与秒脉冲控制模块、TOD 编解码控制模块、时间同步模块、CPU 相连，秒脉冲控制模块与 1PPS+TOD 时间接口相连，TOD 编解码控制模块还分别与 CPU、1PPS+TOD 时间接口相连，其中：所述本地全局时间模块用于：接收 CPU 发来

的纳秒初值装载脉冲、纳秒初值、秒初值装载脉冲、秒初值，装载纳秒初值和秒初值，在纳秒初值的基础上进行纳秒计数的累加操作，在秒初值的基础上进行秒计数的累加操作，在纳秒计数、秒计数的累加操作过程中维护本地全局时间；所述秒脉冲控制模块用于：采用并发选收的方式对 PPS 信号进行输入/输出的处理，将本地全局时间模块发来的第一 PPS 信号发送到 1PPS+TOD 时间接口，将 1PPS+TOD 时间接口发来的第二 PPS 信号广播到时间同步模块；所述 TOD 编解码控制模块用于：选择 1PPS+TOD 时间接口的输入/输出工作模式，当 1PPS+TOD 时间接口处于输入工作模式时，按移动规范进行 TOD 接口解码输入信号，并产生清零信号，发送给本地全局时间模块；当 1PPS+TOD 时间接口处于输出工作模式时，按移动规范进行 TOD 接口编码输出信号。

在上述技术方案中，所述本地全局时间模块包括纳秒计数器和秒计数器，所述纳秒计数器与秒计数器相连，纳秒计数器、秒计数器均与时间同步模块相连，纳秒计数器还通过秒脉冲控制模块与 1PPS+TOD 时间接口相连，所述纳秒计数器用于：根据 CPU 发来的纳秒初值装载脉冲、纳秒初值，装载纳秒初值，在纳秒初值的基础上开始进行计数累加操作；所述秒计数器用于：根据 CPU 发来的秒初值装载脉冲、秒初值，装载秒初值，在秒初值的基础上开始进行秒计数的累加操作。

在上述技术方案中，所述纳秒计数器是系统时钟为 30 位的纳秒计数器。

在上述技术方案中，所述秒计数器是系统时钟为 32 位的秒计数器。

在上述技术方案中，所述本地全局时间模块还包括纳秒使能控制寄存器、秒使能控制寄存器，所述纳秒使能控制寄存器与纳秒计数器相连，所述秒使能控制寄存器与秒计数器相连，所述纳秒使能控制寄存器用于：先禁止纳秒计数器计数，再使能纳秒计数器开始计数，并将纳秒计数器映射成只读寄存器；所述秒使能控制寄存器用于：先禁止秒计数器计数，再使能秒计数器开始计数，并将秒计数器映射成只读寄存器。

在上述技术方案中，所述 CPU 还用于：从只读寄存器中获取纳秒计数器、秒计数器的当前计数值，并计算出当前时间值。

在上述技术方案中，所述纳秒计数器还用于：以 125MHz 频率的时钟信号，在 125MHz 时钟的上升沿每次加 8 纳秒，进行步长为 8 纳秒的时间累加计数，累加计满 1 秒时，纳秒计数器向秒计数器进位，并产生含有纳秒同步信息的第一 PPS 信号，纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块，纳秒计数器中的时间值为当前本地全局的纳秒时间值。

在上述技术方案中，所述秒计数器还用于：在进位有效时加 1，以 1 秒钟为步长进行累加计数，秒计数器中的时间值为当前本地全局的秒时间值。

在上述技术方案中，所述本地全局时间模块还包括赋值使能脉冲产生单元，所述赋值使能脉冲产生单元分别与 CPU、纳秒计数器、秒计数器相连，所述赋值使能脉冲产生单元用于：接收 CPU 发来的写信号、片选地址信号，利用 CPU 发来的写信号和片选地址信号，

综合出一个写脉冲信号，并通过系统 125M 时钟信号进行同步化处理，产生两个 125MHz 脉冲宽度的赋值使能脉冲，其中，一个赋值使能脉冲作为纳秒补偿信号，另一个赋值使能脉冲作为秒补偿信号；纳秒补偿信号为高电平时，赋值使能脉冲产生单元触发纳秒计数器进行一次纳秒偏差数据的补偿；秒补偿信号为高电平时，赋值使能脉冲产生单元触发秒计数器进行一次秒偏差数据的补偿。

在上述技术方案中，所述赋值使能脉冲产生单元还用于接收 CPU 发来的纳秒补偿值、秒补偿值，当纳秒补偿信号为高电平时，赋值使能脉冲产生单元将纳秒补偿信号和 CPU 发来的纳秒补偿值发送到纳秒计数器，触发纳秒计数器进行一次纳秒偏差数据的补偿；当秒补偿信号为高电平时，赋值使能脉冲产生单元将秒补偿信号和 CPU 发来的秒补偿值发送到秒计数器，触发秒计数器进行一次秒偏差数据的补偿。

在上述技术方案中，所述纳秒计数器还用于：检测到纳秒补偿信号有效时，结合赋值使能脉冲产生单元发来的纳秒补偿值，对当前纳秒数据进行纳秒补偿。

在上述技术方案中，所述纳秒计数器通过设置纳秒加减标志位，对当前纳秒数据进行正负纳秒补偿。

在上述技术方案中，所述纳秒加减标志位为 0 时，本地时钟落后于输入信号，纳秒计数器对当前纳秒数据进行正纳秒补偿；纳秒加减标志位为 1 时，本地时钟超前于输入信号，纳秒计数器对当前纳秒数据进行负纳秒补偿。

在上述技术方案中，所述纳秒计数器对当前纳秒数据进行正纳秒补偿时，在纳秒补偿信号的上升沿将纳秒补偿值加上纳秒计数器的当前值，赋值到下一个纳秒计数周期，纳秒计数器在此基础上继续计数，直至纳秒计数器计数满 1 秒，纳秒计数器向秒计数器进位，并产生含有纳秒同步信息的第一 PPS 信号，纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块；秒脉冲控制模块将纳秒计数器发来的第一 PPS 信号发送到 1PPS+TOD 时间接口，1PPS+TOD 时间接口再将秒脉冲控制模块发来的第一 PPS 信号发送到外部网络；时间同步模块根据纳秒计数器发来的第一 PPS 信号，保持纳秒信息同步。

在上述技术方案中，所述纳秒计数器对当前纳秒数据进行负纳秒补偿时，在纳秒补偿信号的上升沿将纳秒补偿值减去纳秒计数器的当前值，赋值到下一个纳秒计数周期，纳秒计数器在此基础上继续计数，直至纳秒计数器减到零时，纳秒计数器向秒计数器借位；秒计数器在此基础上继续计数，直至纳秒计数器计数满 1 秒，纳秒计数器向秒计数器进位，并产生含有纳秒同步信息的第一 PPS 信号，纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块；秒脉冲控制模块将纳秒计数器发来的第一 PPS 信号发送到 1PPS+TOD 时间接口，1PPS+TOD 时间接口再将秒脉冲控制模块发来的第一 PPS 信号发送到外部网络；时间同步模块根据纳秒计数器发来的第一 PPS 信号，保持纳秒信息同步。

在上述技术方案中，所述秒计数器还用于：检测到秒补偿信号有效时，结合赋值使能脉冲产生单元发来的秒补偿值，对当前秒数据进行秒补偿。

在上述技术方案中，所述秒计数器通过设置秒加减标志位，对当前秒数据进行正负秒补偿。

在上述技术方案中，所述秒加减标志位为 0 时，本地时钟落后于输入信号，秒计数器对当前秒数据进行正秒补偿；秒加减标志位为 1 时，本地时钟超前于输入信号，秒计数器对当前秒数据进行负秒补偿。

在上述技术方案中，所述秒计数器对当前秒数据进行正秒补偿时，在秒补偿信号的上升沿将秒补偿值加上秒计数器的当前值，赋值到下一个秒计数周期，秒计数器在此基础上继续计数。

在上述技术方案中，所述秒计数器对当前秒数据进行负秒补偿时，在秒补偿信号的上升沿将秒补偿值减去秒计数器的当前值，赋值到下一个秒计数周期，秒计数器在此基础上继续计数。

在上述技术方案中，所述 CPU 还用于进行清零配置数据的操作，设置清零寄存器的内容。

在上述技术方案中，所述本地全局时间模块还包括清零脉冲产生单元，所述清零脉冲产生单元分别与纳秒计数器、秒计数器、CPU、TOD 编解码控制模块相连，所述清零脉冲产生单元用于：CPU 发现时间偏差较大或者同步源发生改变时，产生一个清零指令，将清零指令发送到清零脉冲产生单元；清零脉冲产生单元接收到 CPU 发来的清零指令和 TOD 编解码控制模块发来的清零信号时，通过系统 125M 时钟信号进行同步化处理，产生一个 125MHz 脉冲宽度的清零脉冲，同时发送到纳秒计数器、秒计数器。

在上述技术方案中，所述纳秒计数器还用于：接收到所述清零脉冲产生单元发来的清零脉冲时，触发清零操作。

在上述技术方案中，所述秒计数器还用于：接收到所述清零脉冲产生单元发来的清零脉冲时，触发清零操作。

在上述技术方案中，所述 CPU 还用于：实现时间同步以后，CPU 根据实际工程应用选择单步式工作模式或双步式工作模式，在单步式工作模式下，CPU 发送 1588 协议包中的同步报文到外部网络，同步报文的发送时戳为纳秒级精度的时戳；在双步式工作模式下，CPU 发送 1588 协议包中的同步报文、以及带有同步报文发送时间的跟随报文到外部网络，同步报文的发送时戳为纳秒级精度的时戳。

在上述技术方案中，所述 1PPS+TOD 时间接口的物理接头采用 RJ45 接口。

本发明还提供一种基于上述系统时间同步装置的分组传送网络中的系统时间同步方法，包括以下步骤：S1、准备工作：设备上电后，先禁止纳秒计数器、秒计数器计数，再使能纳秒计数器、秒计数器开始计数，同时将纳秒计数器和秒计数器均映射成只读寄存器，CPU 从只读寄存器中获取纳秒计数器、秒计数器的当前计数值，并计算出当前时间值；S2、赋初值：CPU 写装载比特位，在 125M 时钟信号下产生纳秒初值装载脉冲、秒初

值装载脉冲，并将纳秒初值装载脉冲和确定的纳秒初值发送到纳秒计数器，将秒初值装载脉冲和确定的秒初值发送到秒计数器；纳秒计数器检测到 CPU 发来的纳秒初值装载脉冲、纳秒初值，装载纳秒初值；秒计数器检测到 CPU 发来的秒初值装载脉冲、秒初值，装载秒初值；S3、维护本地全局时间：纳秒计数器在纳秒初值的基础上开始进行纳秒计数的累加操作，并在纳秒计数的累加操作过程中维护本地全局时间，实现时间同步；秒计数器在秒初值的基础上开始进行秒计数的累加操作，并在秒计数的累加操作过程中维护本地全局时间，实现时间同步。

在上述技术方案中，步骤 S3 包括以下步骤：所述纳秒计数器以 125MHz 频率的时钟信号，在 125MHz 时钟的上升沿每次加 8 纳秒，进行步长为 8 纳秒的时间累加计数，累加计满 1 秒时，纳秒计数器向秒计数器进位，并产生含有纳秒同步信息的第一 PPS 信号，纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块；秒计数器则在进位有效时加 1，以 1 秒钟为步长进行累加计数，纳秒计数器、秒计数器里的时间值均为当前本地全局的时间值。

在上述技术方案中，步骤 S3 还包括以下步骤：所述秒脉冲控制模块将纳秒计数器发来的第一 PPS 信号发送到 1PPS+TOD 时间接口，1PPS+TOD 时间接口再将秒脉冲控制模块发来的第一 PPS 信号发送到外部网络；时间同步模块根据纳秒计数器发来的第一 PPS 信号，保持纳秒信息同步。

在上述技术方案中，步骤 S3 还包括以下步骤：所述 1PPS+TOD 时间接口将接收到的来自外部网络的含有纳秒同步信息的第二 PPS 信号发送到秒脉冲控制模块，秒脉冲控制模块将第二 PPS 信号广播到时间同步模块，时间同步模块根据第二 PPS 信号，保持纳秒信息同步。

在上述技术方案中，步骤 S3 还包括以下步骤：在纳秒计数器、秒计数器在正常累加计数的过程中，发生纳秒数据和秒数据的偏差时，CPU 联合 FPGA 中的全局时间模块对纳秒偏差数据和秒偏差数据进行补偿。

在上述技术方案中，所述 CPU 联合 FPGA 中的全局时间模块对纳秒偏差数据和秒偏差数据进行补偿的过程如下：CPU 的 1588 软件通过接收到的带有时戳的 PTP 时间报文，计算出本地时间偏离主时间的纳秒补偿值、秒补偿值，CPU 将产生的写信号、片选地址信号、纳秒补偿值、秒补偿值发送给赋值使能脉冲产生单元；赋值使能脉冲产生单元利用 CPU 发来的写信号和片选地址信号，综合出一个写脉冲信号，并通过系统 125M 时钟信号进行同步化处理，产生两个 125MHz 脉冲宽度的赋值使能脉冲，其中，一个赋值使能脉冲作为纳秒补偿信号，另一个赋值使能脉冲作为秒补偿信号；纳秒补偿信号为高电平时，触发纳秒计数器进行一次纳秒偏差数据的补偿；秒补偿信号为高电平时，触发秒计数器进行一次秒偏差数据的补偿。

在上述技术方案中，所述纳秒补偿信号为高电平时，赋值使能脉冲产生单元将纳秒补

偿信号和 CPU 发来的纳秒补偿值发送给纳秒计数器；纳秒计数器检测到纳秒补偿信号有效时，结合赋值使能脉冲产生单元发来的纳秒补偿值，对当前纳秒数据进行纳秒补偿。

在上述技术方案中，所述纳秒计数器通过设置纳秒加减标志位，对当前纳秒数据进行正负纳秒补偿。

在上述技术方案中，所述纳秒加减标志位为 0 时，本地时钟落后于输入信号，纳秒计数器对当前纳秒数据进行正纳秒补偿；纳秒加减标志位为 1 时，本地时钟超前于输入信号，纳秒计数器对当前纳秒数据进行负纳秒补偿。

在上述技术方案中，所述纳秒计数器对当前纳秒数据进行正纳秒补偿时，在纳秒补偿信号的上升沿将纳秒补偿值加上纳秒计数器的当前值，赋值到下一个纳秒计数周期，纳秒计数器在此基础上继续计数，直至纳秒计数器计数满 1 秒，纳秒计数器向秒计数器进位，并产生含有纳秒同步信息的第一 PPS 信号，纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块；秒脉冲控制模块将纳秒计数器发来的第一 PPS 信号发送到 1PPS+TOD 时间接口，1PPS+TOD 时间接口再将秒脉冲控制模块发来的第一 PPS 信号发送到外部网络；时间同步模块根据纳秒计数器发来的第一 PPS 信号，保持纳秒信息同步。

在上述技术方案中，所述纳秒计数器对当前纳秒数据进行负纳秒补偿时，在纳秒补偿信号的上升沿将纳秒补偿值减去纳秒计数器的当前值，赋值到下一个纳秒计数周期，纳秒计数器在此基础上继续计数，直至纳秒计数器减到零时，纳秒计数器向秒计数器借位；秒计数器在此基础上继续计数，直至纳秒计数器计数满 1 秒，纳秒计数器向秒计数器进位，并产生含有纳秒同步信息的第一 PPS 信号，纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块；秒脉冲控制模块将纳秒计数器发来的第一 PPS 信号发送到 1PPS+TOD 时间接口，1PPS+TOD 时间接口再将秒脉冲控制模块发来的第一 PPS 信号发送到外部网络；时间同步模块根据纳秒计数器发来的第一 PPS 信号，保持纳秒信息同步。

在上述技术方案中，所述秒补偿信号为高电平时，赋值使能脉冲产生单元将秒补偿信号和 CPU 发来的秒补偿值发送给秒计数器；秒计数器检测到秒补偿信号有效时，结合赋值使能脉冲产生单元发来的秒补偿值，对当前秒数据进行秒补偿。

在上述技术方案中，所述秒计数器通过设置秒加减标志位，对当前秒数据进行正负秒补偿。

在上述技术方案中，所述秒加减标志位为 0 时，本地时钟落后于输入信号，秒计数器对当前秒数据进行正秒补偿；秒加减标志位为 1 时，本地时钟超前于输入信号，秒计数器对当前秒数据进行负秒补偿。

在上述技术方案中，所述秒计数器对当前秒数据进行正秒补偿时，在秒补偿信号的上升沿将秒补偿值加上秒计数器的当前值，赋值到下一个秒计数周期，秒计数器在此基础上继续计数。

在上述技术方案中，所述秒计数器对当前秒数据进行负秒补偿时，在秒补偿信号的上

升沿将秒补偿值减去秒计数器的当前值，赋值到下一个秒计数周期，秒计数器在此基础上继续计数。

在上述技术方案中，步骤 S3 之后还包括以下步骤：CPU 发现时间偏差较大或者同步源发生改变时，产生一个清零指令，将清零指令发送到清零脉冲产生单元；清零脉冲产生单元接收到 CPU 发来的清零指令和 TOD 编解码控制模块发来的清零信号时，通过系统 125M 时钟信号进行同步化处理，产生一个 125MHz 脉冲宽度的清零脉冲，同时发送到纳秒计数器和秒计数器，纳秒计数器、秒计数器接收到清零脉冲时，触发清零操作，重新开始计数。

在上述技术方案中，步骤 S3 之后还包括以下步骤：实现时间同步以后，CPU 根据实际工程应用选择单步式工作模式或双步式工作模式，在单步式工作模式下，CPU 发送 1588 协议包中的同步报文到外部网络，同步报文的发送时戳为纳秒级精度的时戳；在双步式工作模式下，CPU 发送 1588 协议包中的同步报文、以及带有同步报文发送时间的跟随报文到外部网络，同步报文的发送时戳为纳秒级精度的时戳。

与现有技术相比，本发明的优点如下：

本发明在主站从站频率同步的基础上，通过 FPGA 调整时间偏差、维护本地全局时间与主时间同步，灵活度高，便于升级维护；CPU 在主从站之间传递 PTP 报文信息，计算时间偏差，通过软硬件结合的方式，利用时戳补偿等技术对时间进行处理，具有较高网络可靠性，能有效快速实现分组传送网络中主从站之间纳秒级精度的系统时间同步，实现整个网络的高精度定时，解决了软件打时戳的同步精度低的问题，在分组传送网络的同步领域具有很广泛的应用前景。

附图说明

图 1 是本发明实施例中系统时间同步装置的结构框图。

图 2 是本发明实施例中本地全局时间模块的结构框图。

具体实施方式

下面结合附图及具体实施例对本发明作进一步的详细描述。

参见图 1 所示，本发明实施例提供一种分组传送网络中的系统时间同步装置，包括 CPU、时间同步模块、FPGA（Field-Programmable Gate Array，现场可编程门阵列）、1PPS+TOD（1Pulse Per Second+Time of Day，秒脉冲日时间）时间接口、入口时戳模块、出口时戳模块、第一 PTP 端口、第二 PTP 端口，FPGA 通过时间同步模块与 CPU 相连，第一 PTP 端口通过入口时戳模块与 CPU 相连，第二 PTP 端口通过出口时戳模块与 CPU 相连，FPGA 还分别与 CPU、1PPS+TOD 时间接口相连。

第一 PTP 端口用于：接收来自外部网络的数据包，根据数据包中的 PTP 报文类型识别

符，识别出带有时戳的 PTP 报文，将带有时戳的 PTP 报文转发到入口时戳模块，与上游设备同步。

入口时戳模块用于：接收第一 PTP 端口发来的带有时戳的 PTP 报文，记录接收时间，并将带有时戳的 PTP 报文发送给 CPU。

时间同步模块用于：产生时戳并发送到 CPU；接收 CPU 发来的带有时戳的 PTP 报文、FPGA 发来的含有纳秒同步信息的信号，联合 FPGA 调整本地时钟，保持纳秒信息同步，实现本地时钟和主时钟同步。

CPU 用于：管理 FPGA；按移动 1PPS+TOD 时间接口标准配置 1PPS+TOD 时间接口同步的输入/输出工作模式；当 1PPS+TOD 时间接口处于输入工作模式时，CPU 接收入口时戳模块发来的带有时戳的 PTP 报文，提取并记录 PTP 报文的时戳，联合 FPGA 计算出本地时间偏离主时间的纳秒补偿值、秒补偿值，将纳秒补偿值、秒补偿值配置到 FPGA 中；当 1PPS+TOD 时间接口处于输出工作模式时，CPU 周期性的产生 PTP 报文，并将时间同步模块发来的时戳封装到 PTP 报文中，形成带有时戳的 PTP 报文，并发送到出口时戳模块；进行清零配置数据的操作，设置清零寄存器的内容。实现时间同步以后，CPU 根据实际工程应用选择单步式工作模式或双步式工作模式，在单步式工作模式下，CPU 发送 1588 协议包中的同步报文到外部网络，同步报文的发送时戳为纳秒级精度的时戳；在双步式工作模式下，CPU 发送 1588 协议包中的同步报文、以及带有同步报文发送时间的跟随报文到外部网络，同步报文的发送时戳为纳秒级精度的时戳。

出口时戳模块用于：接收 CPU 发来的带有时戳的 PTP 报文，再发送到第二 PTP 端口，并记录发送时间。

第二 PTP 端口用于：接收出口时戳模块发来的 PTP 报文，将接收的 PTP 报文发送到外部网络的端口。

FPGA 用于：联合时间同步模块维护本地的全局时间，支持软件赋初值；当 1PPS+TOD 时间接口处于输入工作模式时，FPGA 接收到从外部直接输入的标准时间信息，联合 CPU 计算出本地时间偏离主时间的纳秒补偿值、秒补偿值，进行纳秒级别、秒级别的正负时间补偿，从而实现分组传送网络中设备的系统时间同步；当 1PPS+TOD 时间接口处于输出工作模式时，FPGA 将本地经过 1588 协议调整后的精确时间信息输出到 1PPS+TOD 时间接口，以便 1PPS+TOD 时间接口将精确时间信息发送到外部网络。

1PPS+TOD 时间接口用于：将来自 FPGA 的 TOD (Time of Day, 日时间) 信息、PPS (Pulse Per Second, 秒脉冲) 信息发送到外部网络，基站或其他需要时间同步的设备直接从该接口获取时间同步信息；将接收的来自外部网络的 TOD 信息、PPS 信息发送到 FPGA；物理接头采用 RJ45 接口。

参见图 1 所示，FPGA 包括本地全局时间模块、秒脉冲控制模块和 TOD 编解码控制模块，其中，本地全局时间模块分别与秒脉冲控制模块、TOD 编解码控制模块、时间同步模

块、CPU 相连，秒脉冲控制模块与 1PPS+TOD 时间接口相连，TOD 编解码控制模块还分别与 CPU、1PPS+TOD 时间接口相连。

本地全局时间模块用于：接收 CPU 发来的纳秒初值装载脉冲、纳秒初值、秒初值装载脉冲、秒初值，装载纳秒初值和秒初值，在纳秒初值的基础上进行纳秒计数的累加操作，在秒初值的基础上进行秒计数的累加操作，在纳秒计数、秒计数的累加操作过程中维护本地全局时间。

秒脉冲控制模块用于：采用并发选收的方式对 PPS 信号进行输入/输出的处理，将本地全局时间模块发来的第一 PPS 信号发送到 1PPS+TOD 时间接口，将 1PPS+TOD 时间接口发来的第二 PPS 信号广播到时间同步模块。

TOD 编解码控制模块用于：选择 1PPS+TOD 时间接口的输入/输出工作模式，当 1PPS+TOD 时间接口处于输入工作模式时，按移动规范进行 TOD 接口解码输入信号，并产生清零信号，发送给本地全局时间模块；当 1PPS+TOD 时间接口处于输出工作模式时，按移动规范进行 TOD 接口编码输出信号。

参见图 2 所示，本地全局时间模块包括系统时钟为 30 位的纳秒计数器、系统时钟为 32 位的秒计数器、纳秒使能控制寄存器、秒使能控制寄存器、赋值使能脉冲产生单元、清零脉冲产生单元，纳秒计数器、秒计数器均与时间同步模块相连，纳秒计数器还通过秒脉冲控制模块与 1PPS+TOD 时间接口相连，纳秒使能控制寄存器与纳秒计数器相连，秒使能控制寄存器与秒计数器相连，纳秒计数器与秒计数器相连，赋值使能脉冲产生单元分别与 CPU、纳秒计数器、秒计数器相连，清零脉冲产生单元分别与纳秒计数器、秒计数器、CPU、TOD 编解码控制模块相连。

纳秒计数器用于：根据 CPU 发来的纳秒初值装载脉冲、纳秒初值，装载纳秒初值，在纳秒初值的基础上开始进行计数累加操作：以 125MHz 频率的时钟信号，在 125MHz 时钟的上升沿每次加 8 纳秒，进行步长为 8 纳秒的时间累加计数，累加计满 1 秒时，纳秒计数器向秒计数器进位，并产生含有纳秒同步信息的第一 PPS 信号，纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块，纳秒计数器中的时间值为当前本地全局的纳秒时间值。

秒计数器用于：根据 CPU 发来的秒初值装载脉冲、秒初值，装载秒初值，在秒初值的基础上开始进行秒计数的累加操作：在进位有效时加 1，以 1 秒钟为步长进行累加计数，秒计数器中的时间值为当前本地全局的秒时间值。

纳秒使能控制寄存器用于：先禁止纳秒计数器计数，再使能纳秒计数器开始计数，并将纳秒计数器映射成只读寄存器。

秒使能控制寄存器用于：先禁止秒计数器计数，再使能秒计数器开始计数，并将秒计数器映射成只读寄存器。

赋值使能脉冲产生单元用于：接收 CPU 发来的写信号、片选地址信号、纳秒补偿值、

秒补偿值, 利用 CPU 发来的写信号和片选地址信号, 综合出一个写脉冲信号, 并通过系统 125M 时钟信号进行同步化处理, 产生两个 125MHz 脉冲宽度的赋值使能脉冲, 其中, 一个赋值使能脉冲作为纳秒补偿信号, 另一个赋值使能脉冲作为秒补偿信号; 当纳秒补偿信号为高电平时, 赋值使能脉冲产生单元将纳秒补偿信号和 CPU 发来的纳秒补偿值发送到纳秒计数器, 触发纳秒计数器进行一次纳秒偏差数据的补偿; 当秒补偿信号为高电平时, 赋值使能脉冲产生单元将秒补偿信号和 CPU 发来的秒补偿值发送到秒计数器, 触发秒计数器进行一次秒偏差数据的补偿。

纳秒计数器还用于: 检测到纳秒补偿信号有效时, 结合赋值使能脉冲产生单元发来的纳秒补偿值, 对当前纳秒数据进行纳秒补偿。纳秒计数器通过设置纳秒加减标志位, 对当前纳秒数据进行正负纳秒补偿。纳秒加减标志位为 0 时, 本地时钟落后于输入信号, 纳秒计数器对当前纳秒数据进行正纳秒补偿; 纳秒加减标志位为 1 时, 本地时钟超前于输入信号, 纳秒计数器对当前纳秒数据进行负纳秒补偿。纳秒计数器对当前纳秒数据进行正纳秒补偿时, 在纳秒补偿信号的上升沿将纳秒补偿值加上纳秒计数器的当前值, 赋值到下一个纳秒计数周期, 纳秒计数器在此基础上继续计数, 直至纳秒计数器计数满 1 秒, 纳秒计数器向秒计数器进位, 并产生含有纳秒同步信息的第一 PPS 信号, 纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块; 秒脉冲控制模块将纳秒计数器发来的第一 PPS 信号发送到 1PPS+TOD 时间接口, 1PPS+TOD 时间接口再将秒脉冲控制模块发来的第一 PPS 信号发送到外部网络; 时间同步模块根据纳秒计数器发来的第一 PPS 信号, 保持纳秒信息同步。纳秒计数器对当前纳秒数据进行负纳秒补偿时, 在纳秒补偿信号的上升沿将纳秒补偿值减去纳秒计数器的当前值, 赋值到下一个纳秒计数周期, 纳秒计数器在此基础上继续计数, 直至纳秒计数器减到零时, 纳秒计数器向秒计数器借位; 纳秒计数器在此基础上继续计数, 直至纳秒计数器计数满 1 秒, 纳秒计数器向秒计数器进位, 并产生含有纳秒同步信息的第一 PPS 信号, 纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块; 秒脉冲控制模块将纳秒计数器发来的第一 PPS 信号发送到 1PPS+TOD 时间接口, 1PPS+TOD 时间接口再将秒脉冲控制模块发来的第一 PPS 信号发送到外部网络; 时间同步模块根据纳秒计数器发来的第一 PPS 信号, 保持纳秒信息同步。

秒计数器还用于: 检测到秒补偿信号有效时, 结合赋值使能脉冲产生单元发来的秒补偿值, 对当前秒数据进行秒补偿。秒计数器通过设置秒加减标志位, 对当前秒数据进行正负秒补偿。秒加减标志位为 0 时, 本地时钟落后于输入信号, 秒计数器对当前秒数据进行正秒补偿; 秒加减标志位为 1 时, 本地时钟超前于输入信号, 秒计数器对当前秒数据进行负秒补偿。秒计数器对当前秒数据进行正秒补偿时, 在秒补偿信号的上升沿将秒补偿值加上秒计数器的当前值, 赋值到下一个秒计数周期, 秒计数器在此基础上继续计数。秒计数器对当前秒数据进行负秒补偿时, 在秒补偿信号的上升沿将秒补偿值减去秒计数器的当前值, 赋值到下一个秒计数周期, 秒计数器在此基础上继续计数。

清零脉冲产生单元用于：CPU 发现时间偏差较大或者同步源发生改变时，产生一个清零指令，将清零指令发送到清零脉冲产生单元；清零脉冲产生单元接收到 CPU 发来的清零指令和 TOD 编解码控制模块发来的清零信号时，通过系统 125M 时钟信号进行同步化处理，产生一个 125MHz 脉冲宽度的清零脉冲，同时发送到纳秒计数器、秒计数器，纳秒计数器、秒计数器接收到清零脉冲时，触发清零操作。

在上述系统时间同步装置的基础上，本发明实施例还提供一种分组传送网络中的系统时间同步方法，包括以下步骤：

S1、准备工作：设备上电后，先禁止纳秒计数器、秒计数器计数，再使能纳秒计数器、秒计数器开始计数，同时将纳秒计数器和秒计数器均映射成只读寄存器，CPU 从只读寄存器中获取纳秒计数器、秒计数器的当前计数值，并计算出当前时间值。

S2、赋初值：CPU 写装载比特位，在 125M 时钟信号下产生纳秒初值装载脉冲、秒初值装载脉冲，并将纳秒初值装载脉冲和确定的纳秒初值发送到纳秒计数器，将秒初值装载脉冲和确定的秒初值发送到秒计数器；纳秒计数器检测到 CPU 发来的纳秒初值装载脉冲、纳秒初值，装载纳秒初值；秒计数器检测到 CPU 发来的秒初值装载脉冲、秒初值，装载秒初值。

S3、维护本地全局时间：纳秒计数器在纳秒初值的基础上开始进行纳秒计数的累加操作，并在纳秒计数的累加操作过程中维护本地全局时间，实现时间同步；秒计数器在秒初值的基础上开始进行秒计数的累加操作，并在秒计数的累加操作过程中维护本地全局时间，实现时间同步。

纳秒计数器以 125MHz 频率（对应 8 纳秒周期）的时钟信号，在 125MHz 时钟的上升沿每次加 8 纳秒（即分辨率为 8 纳秒），进行步长为 8 纳秒的时间累加计数。基于第一 PTP 端口、第二 PTP 端口支持路径延迟的不对称调整，调整的范围为 0 纳秒~100 微秒，调整的步长要求不大于 10 纳秒，所以本发明实施例设计的时间调整的步长为 8 纳秒，能够达到调整范围的要求，同时第一 PTP 端口、第二 PTP 端口均支持时延调整设置功能。纳秒计数器进行以 8 纳秒为步长的累加计数，累加计满 1 秒（即计满 125000000 个 8 纳秒周期）时，纳秒计数器向秒计数器进位，并产生含有纳秒同步信息的第一 PPS 信号，纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块；秒计数器则在进位有效时加 1，以 1 秒钟为步长进行累加计数，纳秒计数器、秒计数器里的时间值均为当前本地全局的时间值。

秒脉冲控制模块将纳秒计数器发来的第一 PPS 信号发送到 1PPS+TOD 时间接口，1PPS+TOD 时间接口再将秒脉冲控制模块发来的第一 PPS 信号发送到外部网络；时间同步模块根据纳秒计数器发来的第一 PPS 信号，保持纳秒信息同步。

1PPS+TOD 时间接口将接收到的来自外部网络的含有纳秒同步信息的第二 PPS 信号发送到秒脉冲控制模块，秒脉冲控制模块将第二 PPS 信号广播到时间同步模块，时间同步模

块根据第二 PPS 信号，保持纳秒信息同步。

在纳秒计数器、秒计数器正常进行累加计数的过程中，容易发生纳秒数据和秒数据的偏差，此时 CPU 联合 FPGA 中的全局时间模块对纳秒偏差数据和秒偏差数据进行补偿，补偿过程如下：CPU 的 1588 软件通过接收到的带有时戳的 PTP 时间报文，计算出本地时间偏离主时间的纳秒补偿值、秒补偿值，CPU 将产生的写信号、片选地址信号、纳秒补偿值、秒补偿值发送给赋值使能脉冲产生单元；赋值使能脉冲产生单元利用 CPU 发来的写信号和片选地址信号，综合出一个写脉冲信号，并通过系统 125M 时钟信号进行同步化处理，产生两个 125MHz 脉冲宽度的赋值使能脉冲，其中，一个赋值使能脉冲作为纳秒补偿信号，另一个赋值使能脉冲作为秒补偿信号；纳秒补偿信号为高电平时，赋值使能脉冲产生单元将纳秒补偿信号和 CPU 发来的纳秒补偿值发送给纳秒计数器，触发纳秒计数器进行一次纳秒偏差数据的补偿；纳秒计数器检测到纳秒补偿信号有效时，结合赋值使能脉冲产生单元发来的纳秒补偿值，对当前纳秒数据进行纳秒补偿；秒补偿信号为高电平时，赋值使能脉冲产生单元将秒补偿信号和 CPU 发来的秒补偿值发送给秒计数器，触发秒计数器进行一次秒偏差数据的补偿；秒计数器检测到秒补偿信号有效时，结合赋值使能脉冲产生单元发来的秒补偿值，对当前秒数据进行秒补偿。

纳秒计数器通过设置纳秒加减标志位，对当前纳秒数据来进行正负纳秒补偿：纳秒加减标志位为 0 时，本地时钟落后于输入信号，纳秒计数器对当前纳秒数据进行正纳秒补偿；纳秒加减标志位为 1 时，本地时钟超前于输入信号，纳秒计数器对当前纳秒数据进行负纳秒补偿。

纳秒计数器对当前纳秒数据进行正纳秒补偿时，纳秒计数器做加法运算：在纳秒补偿信号的上升沿将纳秒补偿值加上纳秒计数器的当前值，赋值到下一个纳秒计数周期，纳秒计数器在此基础上继续计数，直至纳秒计数器计数满 1 秒，纳秒计数器向秒计数器进位，并产生含有纳秒同步信息的第一 PPS 信号，纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块；秒脉冲控制模块将纳秒计数器发来的第一 PPS 信号发送到 1PPS+TOD 时间接口，1PPS+TOD 时间接口再将秒脉冲控制模块发来的第一 PPS 信号发送到外部网络；时间同步模块根据纳秒计数器发来的第一 PPS 信号，保持纳秒信息同步。

纳秒计数器对当前纳秒数据进行负纳秒补偿时，纳秒计数器做减法运算：在纳秒补偿信号的上升沿将纳秒补偿值减去纳秒计数器的当前值，赋值到下一个纳秒计数周期，纳秒计数器在此基础上继续计数，直至纳秒计数器减到零时，纳秒计数器向秒计数器借位；纳秒计数器在此基础上继续计数，直至纳秒计数器计数满 1 秒，纳秒计数器向秒计数器进位，并产生含有纳秒同步信息的第一 PPS 信号，纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块；秒脉冲控制模块将纳秒计数器发来的第一 PPS 信号发送到 1PPS+TOD 时间接口，1PPS+TOD 时间接口再将秒脉冲控制模块发来的第一 PPS 信号发送到外部网络；时间同步模块根据纳秒计数器发来的第一 PPS 信号，保持纳秒信息同步。

秒计数器通过设置秒加减标志位，对当前秒数据进行正负秒补偿：秒加减标志位为 0 时，本地时钟落后于输入信号，秒计数器对当前秒数据进行正秒补偿；秒加减标志位为 1 时，本地时钟超前于输入信号，秒计数器对当前秒数据进行负秒补偿。秒计数器对当前秒数据进行正秒补偿时，秒计数器做加法运算：在秒补偿信号的上升沿将秒补偿值加上秒计数器的当前值，赋值到下一个秒计数周期，秒计数器在此基础上继续计数。秒计数器对当前秒数据进行负秒补偿时，秒计数器做减法运算：在秒补偿信号的上升沿将秒补偿值减去秒计数器的当前值，赋值到下一个秒计数周期，秒计数器在此基础上继续计数。

当 CPU 发现时间偏差较大或者同步源发生改变时，产生一个清零指令，将清零指令发送到清零脉冲产生单元；清零脉冲产生单元接收到 CPU 发来的清零指令和 TOD 编解码控制模块发来的清零信号时，通过系统 125M 时钟信号进行同步化处理，产生一个 125MHz 脉冲宽度的清零脉冲，同时发送到纳秒计数器、秒计数器，纳秒计数器、秒计数器接收到清零脉冲时，触发清零操作，重新开始计数。

实现时间同步以后，CPU 根据实际工程应用选择单步式工作模式或双步式工作模式，在单步式工作模式下，CPU 发送 1588 协议包中的同步报文到外部网络，同步报文的发送时戳为纳秒级精度的时戳；在双步式工作模式下，CPU 发送 1588 协议包中的同步报文、以及带有同步报文发送时间的跟随报文到外部网络，同步报文的发送时戳为纳秒级精度的时戳。

显然，本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围，倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明包含这些改动和变型在内。本说明书中未作详细描述的内容属于本领域专业技术人员公知的现有技术。

权 利 要 求 书

1、一种分组传送网络中的系统时间同步装置，其特征在于：包括 CPU、时间同步模块、FPGA、1PPS+TOD 时间接口，所述 FPGA 通过时间同步模块与 CPU 相连，FPGA 还分别与 CPU、1PPS+TOD 时间接口相连，其中：

所述 CPU 用于：管理 FPGA；按移动 1PPS+TOD 时间接口标准配置 1PPS+TOD 时间接口的输入/输出工作模式，1PPS+TOD 时间接口处于输入工作模式时，CPU 接收带有时戳的 PTP 报文，提取并记录 PTP 报文的时戳，联合 FPGA 计算出本地时间偏离主时间的纳秒补偿值、秒补偿值，将纳秒补偿值、秒补偿值配置到 FPGA 中；1PPS+TOD 时间接口处于输出工作模式时，CPU 周期性的产生 PTP 报文，并将时间同步模块发来的时戳封装到 PTP 报文中，形成带有时戳的 PTP 报文并发送；

所述时间同步模块用于：产生时戳并发送到 CPU；接收 CPU 发来的带有时戳的 PTP 报文、FPGA 发来的含有纳秒同步信息的信号，联合 FPGA 调整本地时钟，保持纳秒信息同步，实现本地时钟和主时钟同步；

所述 FPGA 用于：联合时间同步模块维护本地的全局时间，支持软件赋初值；1PPS+TOD 时间接口处于输入工作模式时，FPGA 接收到从外部直接输入的标准时间信息，联合 CPU 计算出本地时间偏离主时间的纳秒补偿值、秒补偿值，进行纳秒级别、秒级别的正负时间补偿，从而实现分组传送网络中设备的系统时间同步；1PPS+TOD 时间接口处于输出工作模式时，FPGA 将本地经过 1588 协议调整后的精确时间信息输出到 1PPS+TOD 时间接口；

所述 1PPS+TOD 时间接口用于：处于输入工作模式时，将接收的来自外部网络的 TOD 信息、PPS 信息发送到 FPGA；处于输出工作模式时，将来自 FPGA 的 TOD 信息、PPS 信息发送到外部网络，基站或其他需要时间同步的设备直接从该接口获取时间同步信息。

2、如权利要求 1 所述的分组传送网络中的系统时间同步装置，其特征在于：所述系统时间同步装置还包括入口时戳模块、出口时戳模块、第一 PTP 端口、第二 PTP 端口，所述第一 PTP 端口通过入口时戳模块与 CPU 相连，所述第二 PTP 端口通过出口时戳模块与 CPU 相连，其中：

所述第一 PTP 端口用于：接收来自外部网络的数据包，根据数据包中的 PTP 报文类型识别符，识别出带有时戳的 PTP 报文，将带有时戳的 PTP 报文转发到入口时戳模块，与上游设备同步；

所述入口时戳模块用于：接收第一 PTP 端口发来的带有时戳的 PTP 报文，记录接收时间，并将带有时戳的 PTP 报文发送给 CPU；

所述出口时戳模块用于：接收 CPU 发来的带有时戳的 PTP 报文，再发送到第二 PTP 端口，并记录发送时间；

所述第二 PTP 端口用于：接收出口时戳模块发来的 PTP 报文，将接收的 PTP 报文发送到外部网络的端口。

3、如权利要求 2 所述的分组传送网络中的系统时间同步装置，其特征在于：所述 FPGA 包括本地全局时间模块、秒脉冲控制模块和 TOD 编解码控制模块，本地全局时间模块分别与秒脉冲控制模块、TOD 编解码控制模块、时间同步模块、CPU 相连，秒脉冲控制模块与 1PPS+TOD 时间接口相连，TOD 编解码控制模块还分别与 CPU、1PPS+TOD 时间接口相连，其中：

所述本地全局时间模块用于：接收 CPU 发来的纳秒初值装载脉冲、纳秒初值、秒初值装载脉冲、秒初值，装载纳秒初值和秒初值，在纳秒初值的基础上进行纳秒计数的累加操作，在秒初值的基础上进行秒计数的累加操作，在纳秒计数、秒计数的累加操作过程中维护本地全局时间；

所述秒脉冲控制模块用于：采用并发选收的方式对 PPS 信号进行输入/输出的处理，将本地全局时间模块发来的第一 PPS 信号发送到 1PPS+TOD 时间接口，将 1PPS+TOD 时间接口发来的第二 PPS 信号广播到时间同步模块；

所述 TOD 编解码控制模块用于：选择 1PPS+TOD 时间接口的输入/输出工作模式，当 1PPS+TOD 时间接口处于输入工作模式时，按移动规范进行 TOD 接口解码输入信号，并产生清零信号，发送给本地全局时间模块；当 1PPS+TOD 时间接口处于输出工作模式时，按移动规范进行 TOD 接口编码输出信号。

4、如权利要求 3 所述的分组传送网络中的系统时间同步装置，其特征在于：所述本地全局时间模块包括纳秒计数器和秒计数器，所述纳秒计数器与秒计数器相连，纳秒计数器、秒计数器均与时间同步模块相连，纳秒计数器还通过秒脉冲控制模块与 1PPS+TOD 时间接口相连，所述纳秒计数器用于：根据 CPU 发来的纳秒初值装载脉冲、纳秒初值，装载纳秒初值，在纳秒初值的基础上开始进行计数累加操作；所述秒计数器用于：根据 CPU 发来的秒初值装载脉冲、秒初值，装载秒初值，在秒初值的基础上开始进行秒计数的累加操作。

5、如权利要求 4 所述的分组传送网络中的系统时间同步装置，其特征在于：所述纳秒计数器是系统时钟为 30 位的纳秒计数器。

6、如权利要求 5 所述的分组传送网络中的系统时间同步装置，其特征在于：所述秒计数器是系统时钟为 32 位的秒计数器。

7、如权利要求 6 所述的分组传送网络中的系统时间同步装置，其特征在于：所述本地全局时间模块还包括纳秒使能控制寄存器、秒使能控制寄存器，所述纳秒使能控制寄存器与纳秒计数器相连，所述秒使能控制寄存器与秒计数器相连，所述纳秒使能控制寄存器用于：先禁止纳秒计数器计数，再使能纳秒计数器开始计数，并将纳秒计数器映射成只读寄存器；所述秒使能控制寄存器用于：先禁止秒计数器计数，再使能秒计数器开始计数，并将秒计数器映射成只读寄存器。

8、如权利要求 7 所述的分组传送网络中的系统时间同步装置，其特征在于：所述 CPU 还用于：从只读寄存器中获取纳秒计数器、秒计数器的当前计数值，并计算出当前时间值。

9、如权利要求 8 所述的分组传送网络中的系统时间同步装置，其特征在于：所述纳秒计数器还用于：以 125MHz 频率的时钟信号，在 125MHz 时钟的上升沿每次加 8 纳秒，进行步长为 8 纳秒的时间累加计数，累加计满 1 秒时，纳秒计数器向秒计数器进位，并产生含有纳秒同步信息的第一 PPS 信号，纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块，纳秒计数器中的时间值为当前本地全局的纳秒时间值。

10、如权利要求 9 所述的分组传送网络中的系统时间同步装置，其特征在于：所述秒计数器还用于：在进位有效时加 1，以 1 秒钟为步长进行累加计数，秒计数器中的时间值为当前本地全局的秒时间值。

11、如权利要求 10 所述的分组传送网络中的系统时间同步装置，其特征在于：所述本地全局时间模块还包括赋值使能脉冲产生单元，所述赋值使能脉冲产生单元分别与 CPU、纳秒计数器、秒计数器相连，所述赋值使能脉冲产生单元用于：接收 CPU 发来的写信号、片选地址信号，利用 CPU 发来的写信号和片选地址信号，综合出一个写脉冲信号，并通过系统 125M 时钟信号进行同步化处理，产生两个 125MHz 脉冲宽度的赋值使能脉冲，其中一个赋值使能脉冲作为纳秒补偿信号，另一个赋值使能脉冲作为秒补偿信号；纳秒补偿信号为高电平时，赋值使能脉冲产生单元触发纳秒计数器进行一次纳秒偏差数据的补偿；秒补偿信号为高电平时，赋值使能脉冲产生单元触发秒计数器进行一次秒偏差数据的补偿。

12、如权利要求 11 所述的分组传送网络中的系统时间同步装置，其特征在于：所述赋值使能脉冲产生单元还用于接收 CPU 发来的纳秒补偿值、秒补偿值，当纳秒补偿信号为高电平时，赋值使能脉冲产生单元将纳秒补偿信号和 CPU 发来的纳秒补偿值发送到纳秒计数器，触发纳秒计数器进行一次纳秒偏差数据的补偿；当秒补偿信号为高电平时，赋值使能脉冲产生单元将秒补偿信号和 CPU 发来的秒补偿值发送到秒计数器，触发秒计数器进行一次秒偏差数据的补偿。

13、如权利要求 12 所述的分组传送网络中的系统时间同步装置，其特征在于：所述纳秒计数器还用于：检测到纳秒补偿信号有效时，结合赋值使能脉冲产生单元发来的纳秒补偿值，对当前纳秒数据进行纳秒补偿。

14、如权利要求 13 所述的分组传送网络中的系统时间同步装置，其特征在于：所述纳秒计数器通过设置纳秒加减标志位，对当前纳秒数据进行正负纳秒补偿。

15、如权利要求 14 所述的分组传送网络中的系统时间同步装置，其特征在于：所述纳秒加减标志位为 0 时，本地时钟落后于输入信号，纳秒计数器对当前纳秒数据进行正纳秒补偿；纳秒加减标志位为 1 时，本地时钟超前于输入信号，纳秒计数器对当前纳秒数据进行负纳秒补偿。

16、如权利要求 15 所述的分组传送网络中的系统时间同步装置，其特征在于：所述纳

秒计数器对当前纳秒数据进行正纳秒补偿时, 在纳秒补偿信号的上升沿将纳秒补偿值加上纳秒计数器的当前值, 赋值到下一个纳秒计数周期, 纳秒计数器在此基础上继续计数, 直至纳秒计数器计数满 1 秒, 纳秒计数器向秒计数器进位, 并产生含有纳秒同步信息的第一 PPS 信号, 纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块; 秒脉冲控制模块将纳秒计数器发来的第一 PPS 信号发送到 1PPS+TOD 时间接口, 1PPS+TOD 时间接口再将秒脉冲控制模块发来的第一 PPS 信号发送到外部网络; 时间同步模块根据纳秒计数器发来的第一 PPS 信号, 保持纳秒信息同步。

17、如权利要求 15 所述的分组传送网络中的系统时间同步装置, 其特征在于: 所述纳秒计数器对当前纳秒数据进行负纳秒补偿时, 在纳秒补偿信号的上升沿将纳秒补偿值减去纳秒计数器的当前值, 赋值到下一个纳秒计数周期, 纳秒计数器在此基础上继续计数, 直至纳秒计数器减到零时, 纳秒计数器向秒计数器借位; 纳秒计数器在此基础上继续计数, 直至纳秒计数器计数满 1 秒, 纳秒计数器向秒计数器进位, 并产生含有纳秒同步信息的第一 PPS 信号, 纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块; 秒脉冲控制模块将纳秒计数器发来的第一 PPS 信号发送到 1PPS+TOD 时间接口, 1PPS+TOD 时间接口再将秒脉冲控制模块发来的第一 PPS 信号发送到外部网络; 时间同步模块根据纳秒计数器发来的第一 PPS 信号, 保持纳秒信息同步。

18、如权利要求 12 所述的分组传送网络中的系统时间同步装置, 其特征在于: 所述秒计数器还用于: 检测到秒补偿信号有效时, 结合赋值使能脉冲产生单元发来的秒补偿值, 对当前秒数据进行秒补偿。

19、如权利要求 18 所述的分组传送网络中的系统时间同步装置, 其特征在于: 所述秒计数器通过设置秒加减标志位, 对当前秒数据进行正负秒补偿。

20、如权利要求 19 所述的分组传送网络中的系统时间同步装置, 其特征在于: 所述秒加减标志位为 0 时, 本地时钟落后于输入信号, 秒计数器对当前秒数据进行正秒补偿; 秒加减标志位为 1 时, 本地时钟超前于输入信号, 秒计数器对当前秒数据进行负秒补偿。

21、如权利要求 20 所述的分组传送网络中的系统时间同步装置, 其特征在于: 所述秒计数器对当前秒数据进行正秒补偿时, 在秒补偿信号的上升沿将秒补偿值加上秒计数器的当前值, 赋值到下一个秒计数周期, 秒计数器在此基础上继续计数。

22、如权利要求 20 所述的分组传送网络中的系统时间同步装置, 其特征在于: 所述秒计数器对当前秒数据进行负秒补偿时, 在秒补偿信号的上升沿将秒补偿值减去秒计数器的当前值, 赋值到下一个秒计数周期, 秒计数器在此基础上继续计数。

23、如权利要求 22 所述的分组传送网络中的系统时间同步装置, 其特征在于: 所述 CPU 还用于进行清零配置数据的操作, 设置清零寄存器的内容。

24、如权利要求 23 所述的分组传送网络中的系统时间同步装置, 其特征在于: 所述本地全局时间模块还包括清零脉冲产生单元, 所述清零脉冲产生单元分别与纳秒计数器、秒计

数器、CPU、TOD 编解码控制模块相连，所述清零脉冲产生单元用于：CPU 发现时间偏差较大或者同步源发生改变时，产生一个清零指令，将清零指令发送到清零脉冲产生单元；清零脉冲产生单元接收到 CPU 发来的清零指令和 TOD 编解码控制模块发来的清零信号时，通过系统 125M 时钟信号进行同步化处理，产生一个 125MHz 脉冲宽度的清零脉冲，同时发送到纳秒计数器、秒计数器。

25、如权利要求 24 所述的分组传送网络中的系统时间同步装置，其特征在于：所述纳秒计数器还用于：接收到所述清零脉冲产生单元发来的清零脉冲时，触发清零操作。

26、如权利要求 25 所述的分组传送网络中的系统时间同步装置，其特征在于：所述秒计数器还用于：接收到所述清零脉冲产生单元发来的清零脉冲时，触发清零操作。

27、如权利要求 1 至 26 中任一项所述的分组传送网络中的系统时间同步装置，其特征在于：所述 CPU 还用于：实现时间同步以后，CPU 根据实际工程应用选择单步式工作模式或双步式工作模式，在单步式工作模式下，CPU 发送 1588 协议包中的同步报文到外部网络，同步报文的发送时戳为纳秒级精度的时戳；在双步式工作模式下，CPU 发送 1588 协议包中的同步报文、以及带有同步报文发送时间的跟随报文到外部网络，同步报文的发送时戳为纳秒级精度的时戳。

28、如权利要求 1 至 26 中任一项所述的分组传送网络中的系统时间同步装置，其特征在于：所述 1PPS+TOD 时间接口的物理接头采用 RJ45 接口。

29、一种基于权利要求 4 至 28 任一项所述系统时间同步装置的分组传送网络中的系统时间同步方法，其特征在于包括以下步骤：

S1、准备工作：设备上电后，先禁止纳秒计数器、秒计数器计数，再使能纳秒计数器、秒计数器开始计数，同时将纳秒计数器和秒计数器均映射成只读寄存器，CPU 从只读寄存器中获取纳秒计数器、秒计数器的当前计数值，并计算出当前时间值；

S2、赋初值：CPU 写装载比特位，在 125M 时钟信号下产生纳秒初值装载脉冲、秒初值装载脉冲，并将纳秒初值装载脉冲和确定的纳秒初值发送到纳秒计数器，将秒初值装载脉冲和确定的秒初值发送到秒计数器；纳秒计数器检测到 CPU 发来的纳秒初值装载脉冲、纳秒初值，装载纳秒初值；秒计数器检测到 CPU 发来的秒初值装载脉冲、秒初值，装载秒初值；

S3、维护本地全局时间：纳秒计数器在纳秒初值的基础上开始进行纳秒计数的累加操作，并在纳秒计数的累加操作过程中维护本地全局时间，实现时间同步；秒计数器在秒初值的基础上开始进行秒计数的累加操作，并在秒计数的累加操作过程中维护本地全局时间，实现时间同步。

30、如权利要求 29 所述的分组传送网络中的系统时间同步方法，其特征在于：步骤 S3 包括以下步骤：所述纳秒计数器以 125MHz 频率的时钟信号，在 125MHz 时钟的上升沿每次加 8 纳秒，进行步长为 8 纳秒的时间累加计数，累加计满 1 秒时，纳秒计数器向秒计数器

进位，并产生含有纳秒同步信息的第一 PPS 信号，纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块；秒计数器则在进位有效时加 1，以 1 秒钟为步长进行累加计数，纳秒计数器、秒计数器里的时间值均为当前本地全局的时间值。

31、如权利要求 30 所述的分组传送网络中的系统时间同步方法，其特征在于：步骤 S3 还包括以下步骤：所述秒脉冲控制模块将纳秒计数器发来的第一 PPS 信号发送到 1PPS+TOD 时间接口，1PPS+TOD 时间接口再将秒脉冲控制模块发来的第一 PPS 信号发送到外部网络；时间同步模块根据纳秒计数器发来的第一 PPS 信号，保持纳秒信息同步。

32、如权利要求 31 所述的分组传送网络中的系统时间同步方法，其特征在于：步骤 S3 还包括以下步骤：所述 1PPS+TOD 时间接口将接收到的来自外部网络的含有纳秒同步信息的第二 PPS 信号发送到秒脉冲控制模块，秒脉冲控制模块将第二 PPS 信号广播到时间同步模块，时间同步模块根据第二 PPS 信号，保持纳秒信息同步。

33、如权利要求 32 所述的分组传送网络中的系统时间同步方法，其特征在于：步骤 S3 还包括以下步骤：在纳秒计数器、秒计数器在正常累加计数的过程中，发生纳秒数据和秒数据的偏差时，CPU 联合 FPGA 中的全局时间模块对纳秒偏差数据和秒偏差数据进行补偿。

34、如权利要求 33 所述的分组传送网络中的系统时间同步方法，其特征在于：所述 CPU 联合 FPGA 中的全局时间模块对纳秒偏差数据和秒偏差数据进行补偿的过程如下：CPU 的 1588 软件通过接收到的带有时戳的 PTP 时间报文，计算出本地时间偏离主时间的纳秒补偿值、秒补偿值，CPU 将产生的写信号、片选地址信号、纳秒补偿值、秒补偿值发送给赋值使能脉冲产生单元；赋值使能脉冲产生单元利用 CPU 发来的写信号和片选地址信号，综合出一个写脉冲信号，并通过系统 125M 时钟信号进行同步化处理，产生两个 125MHz 脉冲宽度的赋值使能脉冲，其中，一个赋值使能脉冲作为纳秒补偿信号，另一个赋值使能脉冲作为秒补偿信号；纳秒补偿信号为高电平时，触发纳秒计数器进行一次纳秒偏差数据的补偿；秒补偿信号为高电平时，触发秒计数器进行一次秒偏差数据的补偿。

35、如权利要求 34 所述的分组传送网络中的系统时间同步方法，其特征在于：所述纳秒补偿信号为高电平时，赋值使能脉冲产生单元将纳秒补偿信号和 CPU 发来的纳秒补偿值发送给纳秒计数器；纳秒计数器检测到纳秒补偿信号有效时，结合赋值使能脉冲产生单元发来的纳秒补偿值，对当前纳秒数据进行纳秒补偿。

36、如权利要求 35 所述的分组传送网络中的系统时间同步方法，其特征在于：所述纳秒计数器通过设置纳秒加减标志位，对当前纳秒数据进行正负纳秒补偿。

37、如权利要求 36 所述的分组传送网络中的系统时间同步方法，其特征在于：所述纳秒加减标志位为 0 时，本地时钟落后于输入信号，纳秒计数器对当前纳秒数据进行正纳秒补偿；纳秒加减标志位为 1 时，本地时钟超前于输入信号，纳秒计数器对当前纳秒数据进行负纳秒补偿。

38、如权利要求 37 所述的分组传送网络中的系统时间同步方法，其特征在于：所述纳

秒计数器对当前纳秒数据进行正纳秒补偿时, 在纳秒补偿信号的上升沿将纳秒补偿值加上纳秒计数器的当前值, 赋值到下一个纳秒计数周期, 纳秒计数器在此基础上继续计数, 直至纳秒计数器计数满 1 秒, 纳秒计数器向秒计数器进位, 并产生含有纳秒同步信息的第一 PPS 信号, 纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块; 秒脉冲控制模块将纳秒计数器发来的第一 PPS 信号发送到 1PPS+TOD 时间接口, 1PPS+TOD 时间接口再将秒脉冲控制模块发来的第一 PPS 信号发送到外部网络; 时间同步模块根据纳秒计数器发来的第一 PPS 信号, 保持纳秒信息同步。

39、如权利要求 37 所述的分组传送网络中的系统时间同步方法, 其特征在于: 所述纳秒计数器对当前纳秒数据进行负纳秒补偿时, 在纳秒补偿信号的上升沿将纳秒补偿值减去纳秒计数器的当前值, 赋值到下一个纳秒计数周期, 纳秒计数器在此基础上继续计数, 直至纳秒计数器减到零时, 纳秒计数器向秒计数器借位; 纳秒计数器在此基础上继续计数, 直至纳秒计数器计数满 1 秒, 纳秒计数器向秒计数器进位, 并产生含有纳秒同步信息的第一 PPS 信号, 纳秒计数器将第一 PPS 信号同时发送到时间同步模块和秒脉冲控制模块; 秒脉冲控制模块将纳秒计数器发来的第一 PPS 信号发送到 1PPS+TOD 时间接口, 1PPS+TOD 时间接口再将秒脉冲控制模块发来的第一 PPS 信号发送到外部网络; 时间同步模块根据纳秒计数器发来的第一 PPS 信号, 保持纳秒信息同步。

40、如权利要求 34 所述的分组传送网络中的系统时间同步方法, 其特征在于: 所述秒补偿信号为高电平时, 赋值使能脉冲产生单元将秒补偿信号和 CPU 发来的秒补偿值发送给秒计数器; 秒计数器检测到秒补偿信号有效时, 结合赋值使能脉冲产生单元发来的秒补偿值, 对当前秒数据进行秒补偿。

41、如权利要求 40 所述的分组传送网络中的系统时间同步方法, 其特征在于: 所述秒计数器通过设置秒加减标志位, 对当前秒数据进行正负秒补偿。

42、如权利要求 41 所述的分组传送网络中的系统时间同步方法, 其特征在于: 所述秒加减标志位为 0 时, 本地时钟落后于输入信号, 秒计数器对当前秒数据进行正秒补偿; 秒加减标志位为 1 时, 本地时钟超前于输入信号, 秒计数器对当前秒数据进行负秒补偿。

43、如权利要求 42 所述的分组传送网络中的系统时间同步方法, 其特征在于: 所述秒计数器对当前秒数据进行正秒补偿时, 在秒补偿信号的上升沿将秒补偿值加上秒计数器的当前值, 赋值到下一个秒计数周期, 秒计数器在此基础上继续计数。

44、如权利要求 42 所述的分组传送网络中的系统时间同步方法, 其特征在于: 所述秒计数器对当前秒数据进行负秒补偿时, 在秒补偿信号的上升沿将秒补偿值减去秒计数器的当前值, 赋值到下一个秒计数周期, 秒计数器在此基础上继续计数。

45、如权利要求 29 至 44 中任一项所述的分组传送网络中的系统时间同步方法, 其特征在于: 步骤 S3 之后还包括以下步骤: CPU 发现时间偏差较大或者同步源发生改变时, 产生一个清零指令, 将清零指令发送到清零脉冲产生单元; 清零脉冲产生单元接收到 CPU 发来

的清零指令和 TOD 编解码控制模块发来的清零信号时，通过系统 125M 时钟信号进行同步化处理，产生一个 125MHz 脉冲宽度的清零脉冲，同时发送到纳秒计数器和秒计数器，纳秒计数器、秒计数器接收到清零脉冲时，触发清零操作，重新开始计数。

46、如权利要求 29 至 44 中任一项所述的分组传送网络中的系统时间同步方法，其特征在于：步骤 S3 之后还包括以下步骤：实现时间同步以后，CPU 根据实际工程应用选择单步式工作模式或双步式工作模式，在单步式工作模式下，CPU 发送 1588 协议包中的同步报文到外部网络，同步报文的发送时戳为纳秒级精度的时戳；在双步式工作模式下，CPU 发送 1588 协议包中的同步报文、以及带有同步报文发送时间的跟随报文到外部网络，同步报文的发送时戳为纳秒级精度的时戳。

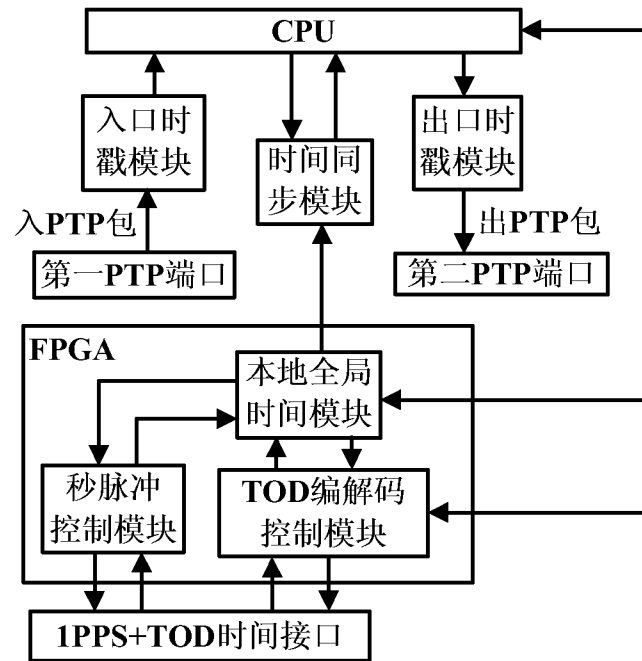


图 1

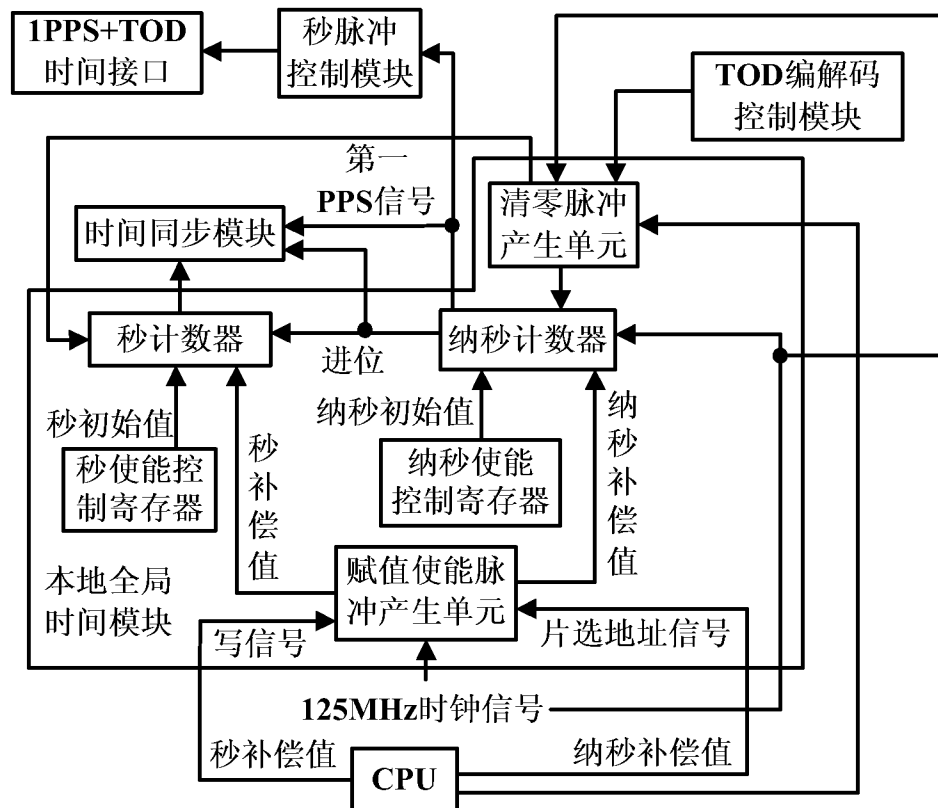


图 2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/080010

A. CLASSIFICATION OF SUBJECT MATTER

H04L 7/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H04L, H04W, H04Q

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI, IEEE: grouping, 1588, precision time protocol, pulse per second, time of day, field programmable gate array, packet, timestamp, synchron+, nanosecond, ns, accuracy, precision, PTP, PPS, 1PPS, TOD, FPGA

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	CN 102868515 A (FIBERHOME TELECOMMUNICATION TECHNOLOGIES CO., LTD.), 09 January 2013 (09.01.2013), claims 1-46	1-46
A	CN 101729240 A (BEIJING ZHONGCHUANG TELECOM TEST CO., LTD.), 09 June 2010 (09.06.2010), the whole document	1-46
A	CN 102299788 A (FIBERHOME TELECOMMUNICATION TECHNOLOGIES CO., LTD.), 28 December 2011 (28.12.2011), the whole document	1-46
A	CN 102195768 A (DIGITAL CHINA NETWORKS (BEIJING) LIMITED), 21 September 2011 (21.09.2011), the whole document	1-46
A	US 2011/0228888 A1 (HARMAN INTERNATIONAL INDUSTRIES, INCORPORATED), 22 September 2011 (22.09.2011), the whole document	1-46

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 October 2013 (08.10.2013)	Date of mailing of the international search report 31 October 2013 (31.10.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHANG, Yujie Telephone No.: (86-10) 62413561

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2013/080010

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102868515 A	09.01.2013	None	
CN 101729240 A	09.06.2010	None	
CN 102299788 A	28.12.2011	None	
CN 102195768 A	21.09.2011	None	
US 2011/0228888 A1	22.09.2011	WO 2011115896 A1	22.09.2011
		WO 2011115904 A1	22.09.2011
		WO 2011115900 A1	22.09.2011
		WO 2011115898 A1	22.09.2011
		US 2011228768 A1	22.09.2011
		US 2011231566 A1	22.09.2011
		US 2011231565 A1	22.09.2011
		EP 2548355 A1	23.01.2013
		EP 2548354 A1	23.01.2013

国际检索报告

国际申请号

PCT/CN2013/080010

A. 主题的分类

H04L 7/00 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H04L, H04W, H04Q

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, EPODOC, WPI, CNKI, IEEE: 分组, 时戳, 时间戳, 同步, 纳秒, 精度, 1588, 精确时间协议, 秒脉冲, 日时间, 现场可编程门阵列, packet, timestamp, synchron+, nanosecond, ns, accuracy, precision, PTP, PPS, 1PPS, TOD, FPGA

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
P, X	CN 102868515 A (烽火通信科技股份有限公司) 09.1 月 2013 (09.01.2013) 权利要求 1-46	1-46
A	CN 101729240 A (北京中创信测科技股份有限公司) 09.6 月 2010 (09.06.2010) 全文	1-46
A	CN 102299788 A (烽火通信科技股份有限公司) 28.12 月 2011 (28.12.2011) 全文	1-46
A	CN 102195768 A (神州数码网络(北京)有限公司) 21.9 月 2011 (21.09.2011) 全文	1-46
A	US 2011/0228888 A1 (HARMAN INTERNATIONAL INDUSTRIES, INCORPORATED) 22.9 月 2011 (22.09.2011) 全文	1-46



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇
引用文件的公布日而引用的或者因其他特殊理由而引
用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了
理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的
发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件
结合并且这种结合对于本领域技术人员为显而易见时,
要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

08.10 月 2013 (08.10.2013)

国际检索报告邮寄日期

31.10 月 2013 (31.10.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

张玉洁

电话号码: (86-10) 62413561

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2013/080010

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 102868515 A	09.01.2013	无	
CN 101729240 A	09.06.2010	无	
CN 102299788 A	28.12.2011	无	
CN 102195768 A	21.09.2011	无	
US 2011/0228888 A1	22.09.2011	WO 2011115896 A1	22.09.2011
		WO 2011115904 A1	22.09.2011
		WO 2011115900 A1	22.09.2011
		WO 2011115898 A1	22.09.2011
		US 2011228768 A1	22.09.2011
		US 2011231566 A1	22.09.2011
		US 2011231565 A1	22.09.2011
		EP 2548355 A1	23.01.2013
		EP 2548354 A1	23.01.2013