



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 01 12 80
(21) PV 8341-80
(89) 943709, SU

(40) Zveřejněno 15 02 84
(45) Vydáno 01 04 85

(11) **231 105**
B1

(51) Int. Cl.³
G 06 F 7/38

(75)
Autor vynálezu

CIVILIN PETR ILJIČ,
SOLOCHIN ALEXANDR ANDREJEVIČ,
FILIN ADOLF VASILJEVIČ,
KABALEVSKIJ ALEXANDR NIKOLAJEVIČ,
FILINOV JEVGENIJ NIKOLAJEVIČ, MOSKVA, (SU)

(54)

Aritmetické logické zařízení

Vynález se vztahuje na oblast výpočetní techniky a může být využit u výpočetních systémů jako periferní speciální procesor, aparátově plnící operace násobení, dělení, logické/aritmetické posunutí, normalizace.

Cílem vynálezu je zvýšení rychlé práce zařízení a snížení rozsahu zařízení.

Zařízení obsahuje první, druhý a třetí registr, první, druhý a třetí multiplexor, registr slova stavu, registr cyklů, registr operací, sčítačku-odčítačku, první, druhou a třetí programující logickou matici a vazbu mezi nimi.

Zařízení pracuje rychle a kompaktně.

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

Заявлено: 17.07.79

Заявка: № 2817758/18-24

МКИ G 06 F 7/38

Авторы: П.И.Цивлин, А.А.Солохин, А.В.Филин, А.Н.Кабалевский и Е.Н.Филинов

Заявитель: Институт электронных управляющих машин

Название изобретения: АРИФМЕТИКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО

Изобретение относится к области цифровой вычислительной техники и может быть использовано при проектировании арифметико-логических устройств малых ЭВМ.

Малые ЭВМ часто не содержат в системе команд операций умножения, деления, сдвигов на большое число разрядов, нормализации, что приводит к значительному увеличению времени выполнения программ, включающих указанные операции. Для повышения производительности комплексов на базе малых ЭВМ в их состав включается специальный вычислитель, аппаратно выполняющий указанные выше операции.

Известно устройство для умножения и деления, содержащее блок синхронизации, блок управления, элементы И, первый и второй регистры операндов, сумматор, буферный регистр, блок фиксации положения запятой, счетчик циклов, блок анализа операндов, элементы ИЛИ, два триггера /1/.

Такое устройство не может выполнять такие операции, как сдвиг и нормализация операндов.

Известно арифметическое устройство, содержащее регистр первого операнда, регистр второго операнда, регистр-накопитель, блок формирования знака результата и признака переполнения, регистр результата, регистр знака операндов, шину управления, три блока формирования позиционного признака непозиционного кода, блок умножения, блок деления, блок сдвига, регистр признака переполнения /2/.

Недостатком этого устройства является большой объем оборудования.

Наиболее близким аналогом является арифметико-логичес-

кое устройство, содержащее регистры операндов, блок распространения переносов, полусумматор, коммутаторы, блок элементов И, регистр результата и блок управления /3/.

Это устройство не обладает достаточным быстродействием при его использовании для выполнения многотактных сдвигов.

Целью изобретения является повышение быстродействия устройства.

Для достижения поставленной цели в арифметико-логическом устройстве, содержащем первый, второй и третий регистры, первый, второй и третий коммутаторы, сумматор-вычитатель и блок управления, содержащий регистр слова состояния, регистр циклов и регистр операций, выход сумматора-вычитателя подключен к первым входам данных первого и второго коммутаторов, выходы которых соединены со входами первого и второго регистров соответственно, выход первого регистра подключен к первому входу данных третьего коммутатора, второй и третий входы данных которого подключены к выходам регистра слова состояния и регистра циклов блока управления соответственно, выход третьего коммутатора подключен к первому входу сумматора-вычитателя, блок управления содержит первую, вторую и третью программируемые логические матрицы, входы первой из которых подключены к выходам регистра слова состояния, регистра циклов, сумматора-вычитателя, первого и второго регистров, регистра операций и к шине адреса устройства, выходы первой программируемой логической матрицы подключены ко входам управления сумматора-вычитателя, первого, второго и третьего коммутаторов и входу регистра операций, входы второй программируемой логической матрицы подключены к выходам первого, второго и третьего регистров, сумматора-вычитателя, третьего коммутатора, регистра циклов, регистра слова состояния и регистра операций и к шине адреса устройства, а выход соединен со входом регистра слова состояния, входы третьей программируемой логической матрицы подключены к выходу регистра операций и выходу регистра циклов, а выход соединен со входом регистра циклов, выход второго регистра подключен к четвер-

тому входу данных третьего коммутатора и второму входу данных второго коммутатора, второй вход данных первого коммутатора подключен к выходу первого регистра, выход третьего коммутатора подключен к выходной шине данных устройства и входу третьего регистра, выход которого подключен ко второму входу сумматора-вычитателя, входная шина данных устройства подключена к пятому входу данных третьего коммутатора и входу регистра циклов.

На чертеже изображена блок-схема арифметико-логического устройства.

Устройство выполнено следующим образом. Выход I регистра 2 подключен ко входу 3 данных коммутатора 4, входу 5 данных коммутатора 6, входу 7 программируемой логической матрицы 8, входу 9 программируемой логической матрицы 10. Выход II коммутатора 6 соединен с выходной шиной 12 данных устройства, входом 13 регистра 14, входом 15 сумматора-вычитателя 16, входом 17 программируемой логической матрицы 8. Выход 18 регистра 14 соединен со входом 19 сумматора-вычитателя 16, входом 20 программируемой логической матрицы 8. Выход 21 сумматора-вычитателя 16 соединен со входом 22 данных коммутатора 4, входом 23 данных коммутатора 24, входом 25 программируемой логической матрицы 8, входом 26 программируемой логической матрицы 10. Выход 27 коммутатора 4 соединен со входом 28 регистра 2. Выход 29 коммутатора 24 соединен со входом 30 регистра 31, выход 32 которого соединен со входом 33 данных коммутатора 6, входом 34 данных коммутатора 24, входом 35 программируемой логической матрицы 8, входом 36 программируемой логической матрицы 10, входная шина 37 данных соединена со входом 38 коммутатора 6, входом 39 регистра 40 циклов. Вход 39 регистра 40 циклов соединен также с выходом 41 программируемой логической матрицы 42, вход 43 которой соединен с выходом 44 регистра 40 циклов, входом 45 данных коммутатора 6, входом 46 программируемой логической матрицы 8, входом 47 программируемой логической матрицы 10. Выход 48 программируемой логической матрицы 8 соединен со входом 49 регистра 50 слова состояния, выход 51 которого соединен со входом 52

программируемой логической матрицы 8, входом 53 программируемой логической матрицы 10 и входом 54 данных коммутатора 6. Вход 55 программируемой логической матрицы 10 соединен с шиной 56 адреса устройства и входом 57 программируемой логической матрицы 8. Выходы 58, 59, 60, 61, 62 программируемой логической матрицы 10 соединены соответственно со входом управления 63 сумматора-вычитателя 16, входом управления 64 коммутатора 4, входом управления 65 коммутатора 24, входом управления 66 коммутатора 6, входом 67 регистра 68 операций, выход 69 которого подключен ко входу 70 программируемой логической матрицы 10, входу 71 программируемой логической матрицы 8 и входу 72 программируемой логической матрицы 42. Программируемые логические матрицы 8, 10, 42 и регистры 40, 50, 68 образуют блок 73 управления.

Данное устройство подключается к центральному процессору ЭВМ на правах внешнего устройства с помощью универсальной магистрали связи. В наборе линий магистрали связи имеются шина адреса и шина данных. Центральный процессор устанавливает на шине адреса магистрали связи адрес регистра и производит с ним обмен информацией по шине данных.

Рассмотрим работу устройства на примере выполнения наиболее часто используемой операции в программах с плавающей запятой - операции нормализации числа.

На шине адреса 56 устанавливается адрес регистра 2, а на входной шине 37 данных - операнд, при этом программируемая логическая матрица 10 формирует на своих выходах 61, 58, 59 управляющие сигналы, настраивающие коммутатор 6, сумматор-вычитатель 16 и коммутатор 4 соответственно на пропуск информации со входной шины 37 данных на вход 28 регистра 2, где происходит ее запоминание.

На шине 56 адреса устанавливается адрес регистра 31, а на входной шине 37 данных - операнд. Программируемая логическая матрица 10 формирует на своих выходах 61, 58, 59 управляющие сигналы, настраивающие коммутатор 6, сумматор-вычитатель 16 и коммутатор 24 соответственно на пропуск

информации со входной шины 37 данных на вход 30 регистра 3I, где происходит запоминание информации.

Таким образом регистр 2 содержит младшую часть числа, а регистр 3I - старшую часть числа.

Затем на шине 56 адреса устанавливается адрес операции, подлежащей исполнению / в данном случае - операции нормализации /. Программируемая логическая матрица IO формирует на своем выходе 62 признак операции нормализации, который запоминается в регистре 68 операций. Программируемая логическая матрица 8 в соответствии с содержимым регистров 2 и 3I, а также адресом выполняемой операции формирует на своем выходе 48 код, который запоминается в регистре 50 слова состояния. Регистр 40 циклов сбрасывается в ноль.

В результате установки на выходе 69 регистра 68 признака операции нормализации программируемые логические матрицы IO, 8 и 42 через входы 70, 7I, 72 соответственно настраиваются на выполнение алгоритма нормализации числа. При этом на выходах 59 и 60 программируемой логической матрицы IO формируются управляющие сигналы, обеспечивающие сдвиг информации, поступающей на входы 3 и 34 коммутаторов 4 и 24 соответственно на один разряд влево. Сдвинутая информация поступает непосредственно с выходов коммутаторов 4 и 24 на соответствующие входы 28 и 30 регистров 2 и 3I, где запоминается.

Описанный процесс сдвига информации в регистрах 2 и 3I продолжается до тех пор, пока число не будет признано нормализованным.

После каждого сдвига информации в регистрах 2 и 3I программируемая логическая матрица 8 производит анализ состояния разрядов этих регистров и подготавливает на выходе 48 соответствующий код, который запоминается в регистре 50. На вход 43 программируемой логической матрицы 42 после сдвига операнда поступает информация о текущем состоянии регистра 40 циклов, на основании которой / а также с учетом признака выполняемой операции, поступающего на вход 72 / на выходе 4I программируемой логической матрицы 42 формируется код нового состояния регистра 40 циклов, пред-

ставляющий собой число произведенных сдвигов.

В момент времени, когда число становится нормализованным, программируемая логическая матрица 8 формирует признак конца операции, производится сброс регистра 68 операций в исходное состояние.

Таким образом, после выполнения устройством операции нормализации регистры 2 и 3I содержат нормализованный операнд / мантиссу числа /, регистр 40 циклов - информацию о количестве произведенных сдвигов, регистр 50 слова состояния содержит информацию о текущем состоянии регистров 2 и 3I.

При выполнении устройством операции сдвига, умножения и деления загрузка операндов в регистры 2 и 3I производится аналогично вышеизложенному. При выполнении операции деления / умножения / делитель / множимое / заносится непосредственно с выхода II коммутатора 6 в регистр I4, который сохраняет записанный код числа в процессе выполнения операции.

Управление вычислительным процессом в ходе выполнения операций производится так же, как и при выполнении операции нормализации, программируемыми логическими матрицами 8, 10, 42 в соответствии с признаком операции, записанным в регистре 68 операций.

Наличие в устройстве возможности непосредственной передачи информации с выходов регистров 2 и 3I на соответствующие им входы 3 и 34 коммутаторов 4 и 24 соответственно, позволяет с максимальным быстродействием / минуя коммутатор 6 и сумматор-вычитатель I6 / осуществлять реверсивные сдвиги информации в регистрах 2 и 3I, что особенно важно при выполнении операции сдвига и нормализации.

Введение в блок управления программируемых логических матриц позволяет осуществлять гибкое управление вычислительным процессом, существенно увеличивает быстродействие устройства за счет создания одноступенчатых логических структур.

Формула изобретения

Арифметико-логическое устройство, содержащее первый, второй и третий регистры, первый, второй и третий коммутаторы, сумматор-вычитатель и блок управления, содержащий регистр слова состояния, регистр циклов и регистр операций, выход сумматора-вычитателя подключен к первым входам данных первого и второго коммутаторов, выходы которых соединены со входами первого и второго регистров соответственно, выход первого регистра подключен к первому входу данных третьего коммутатора, второй и третий входы данных которого подключены к выходам регистра слова состояния и регистра циклов блока управления соответственно, выход третьего коммутатора подключен к первому входу сумматора-вычитателя, отличающееся тем, что с целью повышения быстродействия, блок управления содержит первую, вторую и третью программируемые логические матрицы, входы первой из которых подключены к выходам регистра слова состояния, регистра циклов, сумматора-вычитателя, первого и второго регистров, регистра операций и к шине адреса устройства, выходы первой программируемой логической матрицы подключены ко входам управления сумматора-вычитателя, первого, второго и третьего коммутаторов и входу регистра операций, входы второй программируемой логической матрицы подключены к выходам первого, второго и третьего регистров, сумматора-вычитателя, третьего коммутатора, регистра циклов, регистра слова состояния и регистра операций и к шине адреса устройства, а выход соединен со входом регистра слова состояния, входы третьей программируемой логической матрицы подключены к выходу регистра операций и выходу регистра циклов, а выход соединен со входом регистра циклов, выход второго регистра подключен к четвертому входу данных третьего коммутатора и второму входу данных второго коммутатора, второй вход данных первого коммутатора подключен к выходу первого регистра, выход третьего коммутатора подключен к выходной шине данных устройства и входу третьего регистра, выход которого подключен ко второму входу сумматора-вычи-

тателя, входная шина данных устройства подключена к пятому входу данных третьего коммутатора и входу регистра циклов.

Источники информации, принятые во внимание при экспертизе:

1. Авторское свидетельство СССР № 600555, кл. G 06 F 7/52, 1975.

2. Авторское свидетельство СССР № 601689, кл. G 06 F 7/38, 1975.

3. Авторское свидетельство СССР № 648979, кл. G 06 F 7/38, 1975 / прототип /.

АННОТАЦИЯ

Изобретение относится к области вычислительной техники и может быть использовано в вычислительных системах в качестве периферийного специального процессора, аппаратно выполняющего операции умножение, деление, логический/арифметический сдвиг, нормализация.

Целью изобретения является увеличение быстродействия устройства и сокращение объема оборудования.

Устройство содержит первый, второй и третий регистры, первый, второй и третий мультиплексоры, регистр слова состояния, регистр циклов, регистр операций, сумматор-вычитатель, первую вторую и третью программируемые логические матрицы и связи между ними.

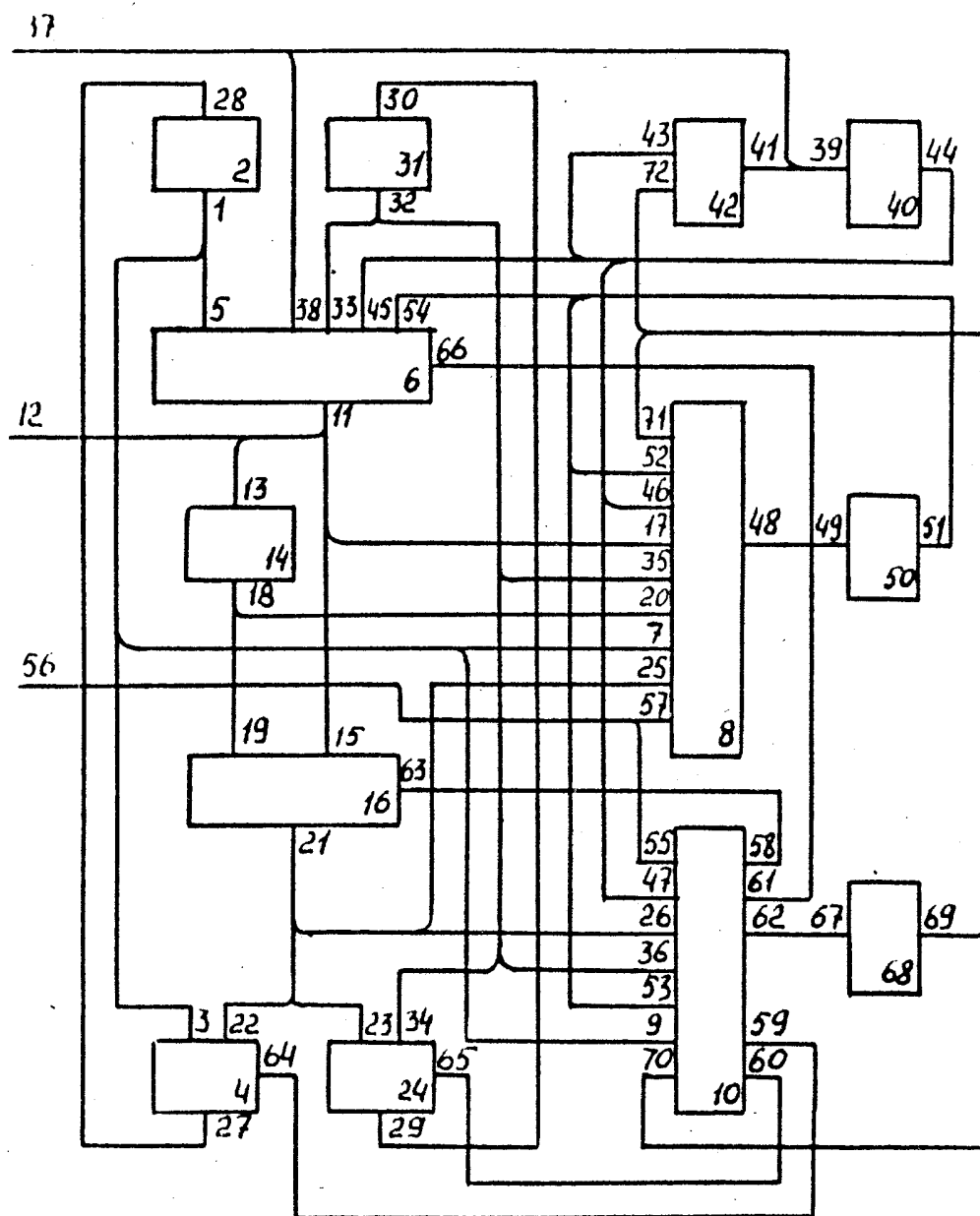
Устройство обладает высоким быстродействием и компактностью.

Předmět vynálezu

Aritmetické logické zařízení, které obsahuje první, druhý a třetí rejstřík, první, druhý a třetí komutátor, sčítačku a odečítačku a blok řízení, který obsahuje rejstřík slova stavu, rejstřík cyklů a rejstřík operací, výstup sčítačky a odečítačky je spojen s prvními výstupy údajů prvního a druhého komutátoru, jejichž výstupy jsou spojeny se vstupy prvního a druhého rejstříku shodně, výstup prvního rejstříku je připojen k prvnímu vstupu údajů třetího komutátoru, jeho druhý a třetí vstup údajů jsou připojeny k výstupům rejstříku slova stavu, výstup třetího komutátoru je připojen k prvnímu vstupu sčítačky a odečítačky, se vyznačuje tím, že s cílem zvýšení rychlosti činnosti obsahuje blok řízení první a třetí programovou logickou matici, z nichž vstupy první jsou připojeny k výstupům rejstříku slova, rejstříku cyklů, sčítačky a odečítačky, prvního a druhého rejstříku, rejstříku operací a k přípojnici adresy zařízení, výstupy první programové logické matice jsou připojeny k výstupům řízení sčítačky a odečítačky, prvního, druhého a třetího komutátoru a ke vstupu rejstříku operací, vstupy druhé programové matice jsou připojeny k výstupům prvního, druhého a třetího rejstříku, sčítačky a odečítačky, třetího komutátoru, rejstříku cyklů, rejstříku slova stavu a k přípojnici adresy zařízení a výstup je spojen se vstupem rejstříku slova stavu, vstupy třetí programové logické matice jsou připojeny k výstupu rejstříku operací a k výstupu rejstříku cyklů a výstup je spojen se vstupem rejstříku cyklů, výstup druhého rejstříku je připojen ke čtvrtému vstupu údajů třetího komutátoru a druhému vstupu druhého komutátoru, druhý vstup údajů prvního komutátoru je připojen k výstupu rejstříku, výstup třetího komutátoru je připojen ke vstupní spojnici údajů zařízení a vstupu třetího rejstříku, jehož výstup je připojen ke druhému vstupu sčítačky a odečítačky, vstupní spojnice údajů zařízení je připojena k pátému výstupu údajů třetího komutátoru a vstupu rejstříku cyklů.

8341-80

231105



$\Phi_{112.1}$

A