

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200510009302.6

[51] Int. Cl.

G11C 16/02 (2006.01)

G11C 13/00 (2006.01)

H01L 27/10 (2006.01)

G06F 13/00 (2006.01)

[45] 授权公告日 2009 年 8 月 26 日

[11] 授权公告号 CN 100533596C

[22] 申请日 2005.2.18

[21] 申请号 200510009302.6

[30] 优先权

[32] 2004. 2. 20 [33] JP [31] 2004 - 043948

[32] 2005. 1. 7 [33] JP [31] 2005 - 001979

[73] 专利权人 株式会社瑞萨科技

地址 日本东京

[72] 发明人 长田健一 竹村理一郎 高浦则克

松崎望 河原尊之

[56] 参考文献

WO03065377A1 2003.8.7

EP1376598A1 2004.1.2

CN1448951A 2003.10.15

CN1424764A 2003.6.18

审查员 王 越

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 李德山

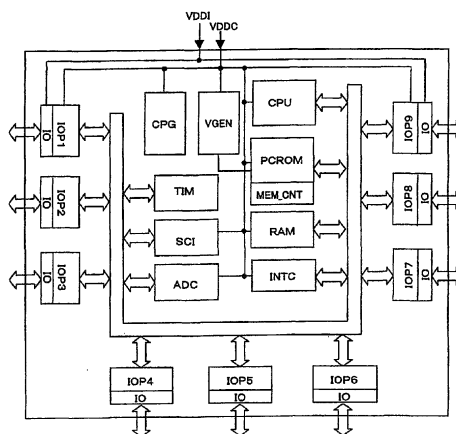
权利要求书 3 页 说明书 32 页 附图 31 页

[54] 发明名称

半导体器件

[57] 摘要

一种半导体器件，具有多个存储单元、中央处理单元、计测 RESET 时间的定时器电路、计测 SET 时间的定时器电路，通过使存储单元中使用的 NMOS 晶体管的阈值电压比外围电路低，容易地进行复位动作。该半导体器件的特征在于：改变在 RESET 和 SET 中流过的电流的方向，通过高速驱动位线，防止错误动作。使用最小尺寸的 CMOS 晶体管，以核心电压（例如 1.2V）使相变元件工作时，因为 CMOS 晶体管的偏移，所以误写入、数据破坏成为问题。根据本发明，能以最小尺寸的单元晶体管实现低电压下的稳定工作。



1. 一种半导体器件，在一个半导体衬底上形成存储块和连接在外部端子上的输入输出电路，其特征在于：

所述存储块具有：多条字线；与所述多条字线交叉的多条位线；配置在所述多条字线和所述多条位线的各个交点上的多个存储单元；

所述多个存储单元分别具有：第一 MOS 晶体管；存储元件；连接所述第一 MOS 晶体管的栅极的第一节点；第二节点和第三节点，其中，在第二节点和第三节点之间连接有所述第一 MOS 晶体管的源极、漏极和所述存储元件；

所述存储元件根据流入其中的电流值的不同，其电阻值变化；

所述第一节点连接在所述多条字线中对应的 1 条上；

所述第二节点连接在所述多条位线中对应的 1 条上；

所述输入输出电路具有连接在所述外部端子上的第二 MOS 晶体管；

所述第一 MOS 晶体管的阈值电压的绝对值比所述第二 MOS 晶体管的阈值电压的绝对值小。

2. 根据权利要求 1 所述的半导体器件，其特征在于：

所述半导体器件包括在所述一个半导体衬底上形成的中央处理单元；

所述中央处理单元具有第三 MOS 晶体管；

所述第一 MOS 晶体管的阈值电压比所述中央处理单元中使用的第三 MOS 晶体管的阈值电压的绝对值小；

所述中央处理单元中使用的第三 MOS 晶体管的阈值电压比所述第二 MOS 晶体管的阈值电压的绝对值小。

3. 根据权利要求 1 所述的半导体器件，其特征在于：

所述第二 MOS 晶体管的氧化膜厚度大于所述第一 MOS 晶体管的氧化膜厚度。

4. 根据权利要求 2 所述的半导体器件，其特征在于：

提供给所述中央处理单元和所述中央处理单元所包含的内部存储器的电压比提供给所述输入输出电路的电压小；

所述第一 MOS 晶体管的氧化膜厚度和所述第三 MOS 晶体管的氧化膜厚度比所述第二 MOS 晶体管的氧化膜厚度薄。

5. 根据权利要求 1 所述的半导体器件，其特征在于：

所述半导体器件还具有连接在所述多个存储单元的各所述第三节点上的多条源线和分别连接在所述多条源线上的多个源驱动器。

6. 根据权利要求 5 所述的半导体器件，其特征在于：

在待机状态下，把彼此相对应的所述多条位线和所述多条源线之间的电位差设置为第一电压；在进行读出动作时，把连接成为读出对象的存储单元的位线和源线之间的电位差设置为比所述第一电压大的第二电压。

7. 根据权利要求 5 所述的半导体器件，其特征在于：

在写入第一信息的写入操作和写入第二信息的写入操作之间，使流向所述第一 MOS 晶体管的源极漏极之间的电流方向变化。

8. 根据权利要求 1 所述的半导体器件，其特征在于：

所述半导体器件具有：主位线；连接在所述主位线和所述多条位线之间的选择电路。

9. 根据权利要求 1 所述的半导体器件，其特征在于：

在对所述存储元件写入第一信息的写入操作和写入第二信息时的写入操作之间，使电流流过所述存储元件的定时不同。

10. 根据权利要求 9 所述的半导体器件，其特征在于：

在对所述存储元件写入第一信息时，使所述第二节点和所述第三节点之间的电压为第一电压，在对所述存储元件写入第二信息时，使所述第二节点和所述第三节点之间的电压为比所述第一电压大的第二电压。

11. 根据权利要求 1 所述的半导体器件，其特征在于：

在所述多条位线上分别连接放电电路。

12. 根据权利要求 1 所述的半导体器件，其特征在于：

所述存储元件是相变元件。

13. 根据权利要求 1 所述的半导体器件，其特征在于：

所述半导体器件在写入所述第一信息时对所述存储元件外加电压的时间比写入所述第二信息时对所述存储元件外加电压的时间长，在读出已写入所述存储元件中的信息时对所述存储元件外加电压的时间比写入所述第二信息时对所述存储元件外加电压的时间短。

14. 根据权利要求 1 所述的半导体器件，其特征在于：

所述半导体器件，在所述多条位线上分别连接着 128 个所述存储单元。

半导体器件

技术领域

本发明涉及半导体器件和半导体存储器件，特别是涉及非易失性存储器和搭载非易失性存储器的系统 LSI（微型计算机）。

背景技术

以高速、高集成度的非易失性存储器为目标，相变存储器的开发正在不断发展。关于相变存储器，在非专利文献 1、2、3 和专利文献 1 中有描述。例如如非专利文献 1 所述，在相变存储器中，称作硫属化合物材料的相变材料利用根据状态，电阻变化，存储信息。通过流过电流，发热，使状态变化，进行相变电阻的改写。通过保持在比较高的温度，进行称作复位（RESET）动作的高电阻化（非晶体化），通过在充分的期间中保持在比较低的温度，进行称作设置（SET）动作的低电阻化（结晶化）。在不使相变电阻的状态变化的范围中流过电流，进行相变材料的读出动作。

在非专利文献 2 中和专利文献 1 中，描述相变电阻的特性。在非专利文献 3 中描述由相变电阻和 NMOS 晶体管构成的存储单元。

在这些文献中，不停留在高速的 ROM（Read-only Memory），也描述非易失性 RAM（Random Access Memory）的可能性，也提及具有 ROM 和 RAM 的功能的集成存储器。相变存储器中，相变电阻的电极面积小时用小的电力就使相变电阻进行相变，所以容易定标。另外，相变电阻大幅度变化，所以能实现高速的读出动作。从这些理由期待基于相变存储器的高速非易失性存储器的实现。

[非专利文献 1]2002 IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 202-203.

[非专利文献 2]2002 IEEE International Electron Devices

Meeting, Technical Digest, pp.923-926.

[非专利文献 3]2003 Non-Volatile Semiconductor Memory Workshop, Digest of Technical Papers, pp. 91-92.

[专利文献 1]特开 2003-100084 号公报

发明内容

本发明者在进行本发明时,研究把相变元件与微型计算机混载使用。当与微型计算机混载使用时,为了减小相变存储块的面积,考虑相变存储块中使用的 MOS 晶体管使用微型计算机的中央处理单元等中使用的最小加工尺寸的 MOS 晶体管。但是,最小加工尺寸的 MOS 晶体管有必要使用中央处理单元等中使用的核心电压(例如 1.2V)。这是因为如果对 MOS 晶体管供给比核心电压还高的电压,则在耐压的关系上,有可能破坏 MOS 晶体管。但是,注意到如果使用中央处理单元等中使用的 MOS 晶体管,则电流只产生 40 微安培左右,需要比较大的电流的复位动作变得困难。因此,为了提高提供给相变元件的电压,例如如果使用输入输出电路中使用的耐压高的 MOS 晶体管,则面积增大。

另外,在 SET 时需要比 RESET 时更小的电流,在读出时,需要比 SET 时更小的电流,但是在中央处理单元等中使用的最小加工尺寸的 MOS 晶体管的电流偏移大,所以难以控制电压的外加,从而使各工作电流不重复。因此,在 SET 时误写入 RESET 数据、在读入、读出时数据破坏成为问题。

如上所述,尽管相变存储块根据流向相变元件的电流的大小使其电阻变化,从而存储信息,但是如果对利用相变元件的存储块使用微型计算机等中使用的 MOS 晶体管,则难以取得大的电流,需要比较大的电流的复位动作变得困难。另外,因为存在 MOS 晶体管笔记的电流偏移,所以在设置动作时流向相变元件的电流值和复位动作时流向相变元件的电流值之间必须取大的差额。

在本说明书中描述的发明中,如果要简单地说明有代表性的概

要，则如下所述。

第一在于，具有存储单元和输入输出电路，使存储单元中使用的 MOS 晶体管的阈值电压的绝对值比输入输出电路中使用的 MOS 晶体管的阈值电压的绝对值小。更希望存储单元中使用的 MOS 晶体管的阈值电压的绝对值比中央处理单元中使用的 MOS 晶体管的阈值电压的绝对值小。

第二在于，对于存储单元设置在与字线相同的方向延伸的源线，对所述源线设置源驱动器电路。更希望所述源线在读出动作时为比接地电位高的电位。

第三在于，在对于存储信息的存储单元的设置动作时和复位动作时，使流向源线和位线的电流方向变化。

第四在于，在待机时对连接在存储单元上的字线供给负电压。

第五在于，在对于存储单元的读出动作时，对位线供给比写入时供给的电压还小的电压。

第六在于，对于存储单元设置与在与字线相同的方向延伸的源线，使连接在源线上的存储单元的数比连接在位线上的存储单元的数多。

第七在于，采用设置全局位线，在所述全局位线上连接多条位线的结构。

第八在于，任意组合第一～第七结构。

根据本发明，就能实现低电压条件下的稳定工作。

附图说明

下面简要说明附图。

图 1 是表示应用本发明的微型计算机的框图。

图 2 是图 1 的微型计算机的要部的概念图。

图 3 是图 2 所示的微型计算机的要部的动作波形图。

图 4 是图 2 所示的定时器电路的电路框图。

图 5 是表示图 2 所示的存储块的一个实施例的电路图。

图 6 是表示图 2 的存储块中使用的存储单元的电路图。

图 7 是图 1 所示的微型计算机的截面的概念图的一个例子。

图 8 是图 1 所示的微型计算机的截面的概念图的其他例子

图 9 是图 5 所示的存储块的动作波形图。

图 10 是表示图 2 所示的存储块的一个实施例的电路图。

图 11 是表示图 10 所示的存储块的动作波形图。

图 12 是表示图 2 所示的存储块的一个实施例的电路图。

图 13 是表示图 12 所示的存储块的动作波形图。

图 14 是表示图 2 所示的存储块的一个实施例的电路图。

图 15 是表示图 14 所示的存储块的动作波形图。

图 16 是表示图 2 所示的存储块的一个实施例的电路图。

图 17 是表示图 16 所示的存储块的动作波形图。

图 18 是表示图 16 所示的存储块的动作波形图。

图 19 是表示图 2 所示的存储块的一个实施例的电路图。

图 20 是表示图 2 所示的存储块中的布局的图。

图 21 是表示图 2 所示的存储块中的布局的图。

图 22 是表示图 2 所示的存储块中的布局的图。

图 23 是表示图 1 的微型计算机的要部的概念图。

图 24 是图 23 所示的微型计算机的要部的动作波形图。

图 25 是表示图 2 所示的存储块的一个实施例的电路图。

图 26 是表示图 25 所示的存储块的动作波形图。

图 27 是表示图 2 所示的存储块的一个实施例的电路图。

图 28 是表示图 27 所示的存储块的动作波形图。

图 29 是存储器阵列的平面图和剖视图。

图 30 是表示图 2 所示的存储块的一个实施例的电路图。

图 31 是表示图 29 所示的存储块的动作波形图。

符号的说明。

10、20—系统 LSI; 100、110、120、130、200、210—存储块;

102、103、111、112、115、116—字驱动器电路；104、105、106、107、134、135、136、137、—预充电电路；108、109、150、151—写入和读出电路；138、139、140、141—放电电路；142、143、144、145—Y开关电路；ADD—地址；ADEC—译码电路；AND—与电路；ARRAY—存储器阵列；BL—位线；CELL—存储单元；CK_MEM—存储专用时钟；CKINV—写入电路或与电路；CLR—清除信号；CMP—比较电路；CNT—控制信号；CNTL—控制电路；CONTROL—控制电路；CPU—中央处理单元；DC—控制信号；FF—门闩电路；INV—倒相电路；IO—输入输出电路；MEM_CNT—存储器控制器；MN—N沟道型MOS晶体管；MP—P沟道型MOS晶体管；NWell—N井； n^+ —扩散层； p^+ —扩散层；PC—控制信号；PCM—存储元件；PWell—P井；RDATA—读出数据；RDARAI—读出的数据；RE—读出允许信号；RESEREND—控制信号；RS—控制信号；SA—控制信号；SETEND—控制信号；SIO—栅极氧化膜；SL—源线；SRAM—存储器；TF、TR—转变时间；TIMER_RESET—定时器电路；TIMER_SET—定时器电路；VWDS—电源线；VSL—电源线；VBL—电源线；VREF—电源线；WCH—比较结果；WDATA—写入数据；WDATAI—写入数据；WE—写入允许信号；WL—字线；YSWT、YSWB—控制信号；YSRT、YSRB—控制信号；YS_AMP—控制信号；AMP—与电路；HMP—开关；YSW—控制信号；HBUF—写入电路；RD、RDB—控制信号；GSA—全局读出电路；GWA—全局写入电路；164、165、166、167—写入用Y开关电路；CNTC—接点；VIA—转接孔；Vrd—电源线。

具体实施方式

下面，参照附图说明本发明的半导体存储器件的适合的几个事例。构成实施例的各功能块的电路元件并未特别限制，但是通过公开的CMOS（互补MOS晶体管）的集成电路技术，形成在单晶硅那样的一个半导体衬底上。在附图中，未特别记述MOS晶体管的衬底电位的连接，但是如果是MOS晶体管可正常工作的范围，就未特别限

定该连接方法。另外，在未特别提及时，信号的低电平为“L”，高电平为“H”。

图 1 是应用本发明的单片微型计算机 10 的一例。未特别限制单片微型计算机，但是包含中央处理单元 CPU、中断控制电路 INTC、利用相变元件 4 兆字节的存储块 PCROM、1 千字节的内存 RAM、定时器 TIM、串行通信接口 SCI、A/D 转换器 ADC、第一~第 9 输入输出端口 IOP1~IOP9、时钟脉冲发生器 CPG，通过公开的半导体制造技术形成在一个半导体衬底上。

中央处理单元 CPU、中断控制电路 INTC、4 兆字节的相变存储器 PCROM、1 千字节的内存 RAM、定时器 TIM、SCI、A/D 转换器 ADC、第一~第 9 输入输出端口 IOP1~IOP9 通过内部总线 1000 相互连接，通过中央处理单元 CPU 的控制进行读写。所述内部总线 1000 包含地址总线、数据总线、读出信号、写入信号、功能块选择信号、系统时钟。系统时钟以未图示的晶振为基准，由时钟脉冲发生器 CPG 适当生成。另外，也能不连接晶振，输入外部时钟。电压发生电路 VGEN 接受外部电压 VDDC（例如 1.2V），提供相变存储器 PCROM 使用的电压。须指出的是，在本实施例中，外部电压提供 VDDC 和 VDDI（例如 3.3V），VDDC 提供给中央处理单元 CPU，VDDI 提供给输入输出电路 IO。须指出的是，当从外部只供给一种电压时，可以把由电压发生电路 VGEN 产生的电压提供给中央处理单元 CPU 等电路块。

中断控制电路 INTC 控制来自定时器 TIM、串行通信接口 SCI、A/D 转换器 730 的中断要求信号，对 CPU 要求中断。在地址总线输出、数据总线输入输出、总线控制信号输入输出、中断要求信号输入输出中兼用输入输出端口 IOP1~IOP9。通过工作模式和软件，选择这些兼用功能。另外，各输入输出端口 IOP1~IOP9 通过输入输出电路 IO 连接在外部端子上。另外，对输入输出电路 IO 供给比提供给中央处理单元 CPU 等的内部电路的电压还高的电压。

图 2 是表示用于说明本发明的所述单片微型计算机的要部的概念图。图 2 中表示使用相变元件构成的存储块 100、控制存储块 100 的

存储器控制器 MEM_CNT、门电路 (FF0、FF1、FF2、FF3)、中央处理单元 CPU、输入输出电路 IO。

后面说明存储块 100 的细节。存储器控制器 MEM_CNT 由控制电路 CONTROL、用于确认是否正确写入数据的比较电路 CMP 构成。在控制电路 CONTROL 中包含计测写入动作即让存储单元低电阻化的设置动作的时间的定时器电路 TIMER_SET 和计测让存储单元高电阻化的复位动作的时间的定时器电路 TIMER_RESET。存储器控制器 MEM_CNT 取得写入数据 WDATA 和写入允许信号 WE、读出允许信号 RE，声称写入数据 WDATAI 和控制信号 CNT，控制存储块 100。定时器电路 TIMER_SET 把使设置动作结束的控制信号 SETEND 向存储块 100 输出，定时器电路 TIMER_RESET 把使复位动作结束的控制信号 RESETEND 向存储块 100 输出。比较电路 CMP 比较由存储块 100 读出的 RDARAI 和写入数据 WDATAI，输出比较结果 WCH。在门电路 (FF0、FF1、FF2、FF3) 中输入由图 1 的时钟发生电路 CPG 生成的存储器专用时钟 CK_MEM。

下面参照图 3 说明动作。首先处于待机状态 STANDBY。接着在写入周期 WRITE 中写入数据。地址 ADD、写入数据 WDATA、写入允许信号 WE 从中央处理单元 CPU 提供给门电路 (FF0、FF1、FF2)，如果存储器专用时钟 CK_MEM 从“L”变为“H”，则地址 ADD 取入存储块 100 中，写入数据 WDATA、写入允许信号 WE 取入存储器控制器 MEM_CNT 中。存储器控制器 MEM_CNT 生成写入数据 WDATAI 和控制信号 CNT，发送给存储块 100，从而开始存储块 100 中的写入动作。在本说明书中，写入周期 WRITE 划分为设置周期和复位周期。首先进行设置动作，通过定时器电路 TIMER_SET 计测 SET 时间。如果经过所需的计测 SET 时间，就把设置动作结束信号 SETEND 发送给存储块 100，从而在存储块 100 中结束设置动作，开始复位动作。同时开始由定时器电路 TIMER_RESET 开始 RESET 时间的计测，如果经过所需的时间，就把复位动作结束信号 SETEND 发送给存储块 100，从而结束存储块 100 中的复位动作。然后，按照必要，为了确认

是否正确进行写入，进行校验动作。在校验动作中，从存储块 100 读出写入的数据，用比较电路 CMP 比较读出的数据 RDATAI 和写入数据 WDATAI，当一致时，WCH 从“L”变为“H”，确认正确地写入。如果不一致时，再度进行写入。如果正确进行写入，就把写入结束信号 WEND 发送给中央处理单元 CPU。须指出的是，校验动作能删除，此时比较电路 CMP 能删除。

在 READ 周期中读出数据。地址 ADD 和读出允许信号 RE 从中央处理单元 CPU 提供给门电路 (FF0、FF3)，如果存储器专用时钟 CK_MEM 从“L”变为“H”，则地址 ADD 取入存储块 100 中，读出允许信号 RE 取入到存储器控制器 MEM_CNT 中。存储器控制器 MEM_CNT 生成控制信号 CNT，发送给存储块 100，从而开始存储块 100 的读出动作。读出的数据 RDATAI 经由存储器控制器 MEM_CNT 发送给中央处理单元 CPU，读出动作结束。须指出的是，WRITE 动作和 READ 动作当然没必要连续。

接着图 4 表示图 1 所示的定时器电路 (TIMER_SET、TIMER_RESET) 的细节。定时器电路 TIMER_SET 成为串联 n 个双稳态多谐振荡器电路 FF_A 的电路。另外，定时器电路 TIMER_RESET 成为串联 m 个双稳态多谐振荡器电路 FF_B 的电路。在双稳态多谐振荡器电路 FF 中，当清除信号端子 CLR 为“L”电平时，总向输出端子 Q 输出“L”电平。当清除信号端子 CLR 为“H”时，时钟端子 CK 如果从“L”变为“H”，就把输入端子 D 的直向输出端子 Q 输出。在各双稳态多谐振荡器电路 FF 中，输出端子 Q 通过倒相电路 INV 连接在输入端子 D 上。在定时器电路 TIMER_SET 的第一级双稳态多谐振荡器电路 FF_A_0 和定时器电路 TIMER_RESET 的第一级双稳态多谐振荡器电路 FF_B_0 的时钟端子 CK 上输入来自中央处理单元 CPU 的基本时钟信号 CK_CPU。在其他双稳态多谐振荡器电路 FF 中，在时钟端子 CK 上连接前级的双稳态多谐振荡器电路的输出端子 Q。在定时器电路 TIMER_SET 双稳态多谐振荡器电路 FF_A 的清除信号端子 CLR 上连接清除信号 CLR_CPU。定时器电路 TIMER_SET 的最终级的双

稳态多谐振荡器电路 FF_A_n 的输出变为 SETEND。另外，在定时器电路 TIMER_RESET 的双稳态多谐振荡器电路 FF_B 的清除信号端子 CLR 上连接 SETEND 信号。

在定时器工作之前，清除信号 CLR_CPU 是 "L"，如果变为 "H"，就用定时器电路 TIMER_SET 开始 SET 时间的计测。如果基本时钟信号 CK_CPU 转变 $2n-1$ 次，则控制信号 SETEND 从 "L" 变为 "H"，输出 SET 结束时刻。因此有必要预先设定 n 的值，从而能取得所需的 SET 时间。如果控制信号 SETEND 从 "L" 变为 "H"，则这次用定时器电路 TIMER_RESET 开始 RESET 时间的计测。如果基本时钟信号 CK_CPU 转变 $2m-1$ 次，则控制信号 RESETEND 从 "L" 变为 "H"，输出 RESET 结束时刻。因此，有必要预先设定 m 的值，从而能取得所需的 RESET 时间。

这样使用定时器进行设置动作和复位动作，通过使流向存储元件的时间不同，能防止错误动作。

<存储单元中使用得 MOS 晶体管的阈值>

接着参照图 5 详细说明存储块 100。存储器阵列 ARRAY 由多条字线 WL 和多条位线 BL 构成，在字线 WL 和位线 BL 的交点连接存储单元 CELL。各存储单元 CELL 如用存储单元 CELL00 例示的那样，在节点 N1 连接字线，在节点 N2 连接位线，在节点 N3 连接接地电位。图 6 表示各存储单元 CELL 的细节。存储单元分别由 N 沟道型 MOS 晶体管 MN00 和存储元件 PCM00 构成。存储元件 PCM00 例如是称作相变元件的元件，其特征在于：例如在结晶状态下，为 $1\text{ K}\Omega \sim 10\text{ K}\Omega$ 左右的低电阻，在非晶体状态下为 $100\text{ K}\Omega$ 以上的高电阻。此外存储元件 PCM00 通过作用于存储元件的温度能使其状态变化。具体而言，通过对存储元件作用高温，变为非晶体状态，通过作用低温，变为结晶状态。存储元件 PCM00 变为非晶体状态，还是变为晶体状态，通过变更流向存储元件 PCM00 的电流值和电流流向存储元件 PCM00 的时间，变更存储元件 PCM00 的状态。存储元件 PCM00 未特别限制，但是使用称作硫属化物材料的相变材料。作为硫属化物材料有 GeSbTe

(锗锑碲)和 ZeTn (锌碲)。在 N 沟道型 MOS 晶体管 MN00 的栅极上通过节点 1N1 连接字线 WL0, 控制 N 沟道型 MOS 晶体管, 从而选择状态下, 为导通状态, 在非选择状态下, 为断开状态。另外, 本实施例的存储元件根据存储元件 PCM00 的电阻值, 换言之, 流向位线和源线的电流值的大小, 读出信息。因此, 可以如图 (a) 所示, 存储元件 PCM00 的一方端子通过节点 N3 连接在接地电位上, 也可以如图 (b) 所示, 存储元件 PCM00 的一方端子通过节点 N2 连接在位线上。如果使用 (b) 所示的存储单元, 则 N 沟道型 MOS 晶体管的栅极直接连接在接地电位上, 所以 N 沟道型 MOS 晶体管的栅极和源极的电压增大, 能取得比 (a) 的存储单元还大的电流。须指出的是, 在本说明书中, 只要未特别提到, 使用 (a) 所示的存储单元。

在字线 WL 上连接字驱动器电路 (102、103)。例如字驱动器电路 102 由倒相电路 INV0 构成, 根据译码电路 ADEC 的数据选择一条字线 WL。

在位线 BL 上连接预充电电路 (104、105、106、107)。具体而言, 预充电电路 104 由 P 沟道型 MOS 晶体管 MP20 构成, 在漏极上连接位线 BL0, 在栅极上连接控制信号 PC0, 在源极上连接电源电位线。另外, 预充电电路 (104、105、106、107) 每隔一个, 连接在控制信号线 PC0、PC1 上。因此, 每隔一个地控制并行读出、写入的位线 BL。即与进行读出动作或写入动作的存储单元相邻的存储单元一定变为非选择状态。据此, 产生热的存储单元变为隔一个, 能防止局部产生热, 能提高半导体集成电路的稳定动作。

在位线上还连接写入和读出电路。例如, 写入和读出电路由对位线 BL0、BL1 的写入电路 WTC、读出位线 BL0 的数据的读出放大器 150、读出位线 BL1 的数据的读出放大器 151 构成。在写入和读出电路中, 输出输出数据 RDATAI0, 输入写入数据 WDATAI0。

控制电路 CNTL 从存储器控制器 MEM_CNT 接收控制信号 (SETEND、RESETEND、YADD、CNT), 生成控制信号 (RS、PC、YSW、YSR)。

图 7 表示本发明的剖视图。表示存储单元 CELL 内使用的 N 沟道型 MOS 晶体管 MN_MEN_LVT；存储器的外围电路和中央处理单元 CPU、门电路 FF 等核心电路中使用的 N 沟道型 MOS 晶体管 MN_CORE 和 P 沟道型 MOS 晶体管 MP_CORE；输入输出电路 IO 中使用 N 沟道型 MOS 晶体管 MN_IO 和 P 沟道型 MOS 晶体管 MP_IO。存储单元 CELL 和核心电路中使用的晶体管的栅极氧化膜（SI00、SI01、SI02）的厚度制造为相等，制造为比输入输出电路 IO 中使用的晶体管的栅极氧化膜（SI03、SI04）的厚度还薄的构造。另外，制造为栅极氧化膜（SI00、SI01、SI02）的横向长度（沟道长度）相等，比输入输出电路 IO 中使用的晶体管的栅极氧化膜（SI03、SI04）的横向长度还短的构造。另外，只要在输入输出电路 IO 中使用，就在 N 沟道型 MOS 晶体管 MN_IO 和 P 沟道型 MOS 晶体管 MP_IO 的源漏间供给高电压（例如 3.3V），存储单元 CELL 内使用的 N 沟道型 MOS 晶体管 MN_MEM_LVT、存储器的外围电路和中央处理单元 CPU、门电路 FF 等核心电路中使用的 N 沟道型 MOS 晶体管 MN_CORE 和 P 沟道型 MOS 晶体管 MP_CORE 的源漏间最大供给比提供给输入输出电路 IO 的电压还小的电压（例如 1.2V）。

在本实施例中，存储单元 CELL 中使用的晶体管 MN 比输入输出电路 IO 中使用的 MOS 晶体管的阈值电压小。对输入输出电路 IO 中使用的 MOS 晶体管供给高电压，所以为了抑制泄漏电流，使用 0.7V 左右的阈值比较高的 MOS 晶体管。而使用相变元件时，有必要取得充分的电流，所以使用与输入输出电路中使用的 MOS 晶体管相比，阈值电压小，例如具有 0.5V 左右的阈值电压的 MOS 晶体管。据此，与使用具有与输入输出电路 IO 同程度的阈值电压的 MOS 晶体管时相比，能取得大的电流，能进行设置动作。另外，因为能取得大电流值，所以设置动作、复位动作、复位动作的电流的切分变得容易。此时，通过为与中央处理单元中使用的 MOS 晶体管 MN CORE、MP CORE 同等的阈值电压，能抑制掩模的增加，减少半导体器件（微型计算机）的制造成本。

须指出的是，本实施例的存储元件在存储元件的结晶/非结晶状态（或电阻值）下存储信息，所以即使降低晶体管 MN 的阈值电压，也不会象用存储在电容器中的电荷量存储信息的 DRAM 那样破坏存储的信息。

图 8 表示本发明的剖视图的其他例子。与图 7 的不同点在于：在供给的最大电压相同的存储单元和中央处理单元中，存储单元中使用的 N 沟道型 MOS 晶体管 MN_MEM_LVT 的阈值电压绝对值比存储器的外围电路和中央处理单元 CPU、门电路 FF 等核心电路中使用的 N 沟道型 MOS 晶体管 MN_CORE 和 P 沟道型 MOS 晶体管 MP_CORE 的阈值电压的绝对值（例如 0.5V 左右）还小存储单元中使用的 MOS 晶体管的阈值电压的绝对值（例如 0.2V ~ 0V 左右）。通过这样，能取得更大电流。据此，能抑制面积的增加，取得设置动作所必要大的电流，能与微型计算机等混载。另外，因为能取得大电流，所以能取得设置动作和复位动作的差额，能取得相变存储器的稳定动作。

图 29 表示图 5 所示的存储器阵列 ARRAY 的平面图及其剖视图。在本实施例中，相变元件 PCM 成为各存储单元中固有具有的结构。另外，字线 WL 和源线 SL 在相同方向延伸，位线 BL 在与字线 WL 和源线 SL 交叉的方向延伸。选择晶体管和相变元件 PCM 通过接点 CNTC 连接，选择晶体管和位线 BL 通过转接孔 VIA 连接。在此，接点 CNTC 的平面状的大小比相变元件 PCM 的大小还小。即与相变元件 PCM 接触的接点 CNTC 的面积比相变元件 PCM 的面积小。据此，电流集中，能高效进行相变元件的写入。

参照图 9 说明详细的动作。首先，从待机状态 STANDBY 开始进行写入动作。写入动作由三个步骤构成。首先是把元件结晶，低电阻化的设置动作，接着是把元件变为非晶体，高电阻化的复位 RESET 动作，最后是检查是否正确进行写入动作的 VERIFY-READ 动作。如果设置动作开始，就输入地址 ADD 和写入数据 WDATAI。地址 ADD 划分为输入到译码电路 ADEC 中的 X 类地址 XADD 和输入到控制电

路 CNTL 中的 Y 类地址 YADD。X 类地址由译码电路 ADEC 译码，选择的一条字线 WD 从"L"转变为"H"。在本实施例中，选择字线 WD0。Y 类地址由控制电路 CNTL 译码，成为选择列的信号（YSW、YSR）。写入数据 WDATAI 由控制信号（YSWT、YSEB）控制，有选择地输入到位线 BL 中。在本实施例中，把控制信号（YSWT0、YSEB0）活性化，写入数据 WDATAI1 的数据输入到位线 BL2 中，位线上升。在此，写入电位为比电源电位还小的第一电位。通过以上的动作，对于存储单元 CELL02 的相变元件 PCM02，开始设置动作。在设置动作中，例如位线的电位为 0.8V，当与元件高电阻化时，数毫安程度的电流持续流过。通过使该状态持续 100 纳秒到数毫秒（例如 100 纳秒到 10 毫秒），元件结晶，低电阻化。而在预先低电阻化的元件上也外加同样的电压。此时，50 毫安以上的电流流到元件。另外，在设置动作结束，低电阻化的元件中也流过同样大的电流。

通过定时器电路 TIMER_SET 计测 SET 时间，如果变为所需的时间，则 SET 结束信号 SETEND 从"L"变为"H"，位线 BL2 缓慢地从第一电位转变为"L 则元件变为非晶体，电阻值上升，所以有必要至少用"。如果该转变过快，5 纳秒以上进行转变。如果转变结束，就开始对存储单元 CELL00 的复位动作。写入数据 WDATAI0 的数据输入到位线 BL0，位线变为比第一电位还大的第二电位，例如为电源电位 1.2V。当元件低电阻化时，数十毫安程度的电流从位线持续流向源线。通过使该状态持续 5 纳秒到数时纳秒（例如 20 纳秒~100 纳秒），元件变为熔化状态。

通过定时器电路 TIMER_RESET 计测 RESET 时间，如果变为所需的时间，则 RESET 结束信号 RESETEND 从"L"变为"H"，开始 RESET 结束动作。通过使位线 BL0 快速从"H"变为"L"，外加在元件上的电压急剧下降，急速冷却。通过急速冷却，存储元件 PCM00 不结晶，变为非晶体，成为高电阻。而预先在高电阻化的元件上也外加同样的电压。此时，数毫安以上的电流流向元件。但是，该时间如果为数 10 纳秒左右，则元件的电阻不变化，不成为问题。

接着,说明检查是否正确进行写入的 **VERIFY-READ** 动作。**VERIFY-READ** 动作开始时,通过使控制信号 **PC0** 为 "L",把写入的存储单元 **CELL** 的连接有位线 (**BL0**、**BL2**) 预充电到 0.5V。接着在使字线 **WL0** 从 "L" 活性化到 "H" 的同时,使预充电控制信号 **PC0** 从 "L" 变为 "H",电流从位线 (**BL0**、**BL2**) 流向源线 **SL0**。对存储单元 **CELL00** 写入高电阻的值,所以位线 **BL0** 几乎不变化。而对存储单元 **CELL02** 写入低电阻的值,所以位线 **BL2** 迅速放电。通过迅速(例如数纳秒)放电,限制产生的热量,存储元件 **PCM02** 的结晶构造不变化,能防止数据破坏。例如对存储元件 **PCM02** 的电压外加时间可以为 2 纳秒到 10 纳秒。位线的电位确定后,通过列控制信号 (**YSRT0**、**YSRB0**) 选择所需的放大电路 (**CINV0**、**CINV4**),读出位线 (**BL0**、**BL2**) 的信号,作为数据 (**RDATAI0**、**RDATA1**) 输出。

最后说明读出动作即 **READ** 动作。在 **READ** 动作开始时,通过使控制信号 **PC0** 为 "L",把写入的存储单元 **CELL** 的连接有位线 (**BL0**、**BL2**) 预充电到 0.5V。接着在使字线 **WL0** 从 "L" 活性化到 "H" 的同时,使预充电控制信号 **PC0** 从 "L" 变为 "H",电流从位线 (**BL0**、**BL2**) 流向源线 **SL0**。对存储单元 **CELL00** 写入高电阻的值,所以位线 **BL0** 几乎不变化。而对存储单元 **CELL02** 写入低电阻的值,所以位线 **BL2** 迅速放电。位线的电位确定后,通过列控制信号 (**YSRT0**、**YSRB0**) 选择所需的放大电路 (**CINV0**、**CINV4**),读出位线 (**BL0**、**BL2**) 的信号,作为数据 (**RDATAI0**、**RDATA1**) 输出。

须指出的是,在本实施例中,分时进行设置动作和复位动作,但是并不局限于此,可以并列进行设置动作和复位动作。

<源线控制>

图 10 是说明图 2 的存储块 100 的其他实施例的图。图 10 的存储块 100 与图 5 的存储块相比,不是使存储单元的第三节点为接地电位,而连接在源线 **SL** 上。另外,在各源线 **SL** 上连接源驱动器电路,成为能控制电位的结构。此外源线为了进行以字线单位的控制,在与字线延伸的方向相同的方向延伸。源驱动器电路由与电路 **AND0** 构成,能

通过译码电路 ADEC 的数据和控制信号 RS 控制源线 SL。写入电路由倒相器 CIVN1、3、5、7 构成。另外，连接在源线上的存储元件的数比连接在位线上的存储元件的数多。据此，位线的负载变轻，能以高速工作。

如上所述，如果使用最小加工尺寸的 MOS 晶体管，则难以取得设置动作、复位动作的差额。因此，在本实施例中，能控制源线，变更设置动作和复位动作中电流的方向。具体而言，比较小的电流流过的设置动作时，对位线供给比源线还高的电位，当比较大的电流流过的复位动作时，对源线供给比位线还高的电位。这样在设置动作和复位动作中电流方向相反，在需要大电流的 RESET 动作中，存储单元 CELL00 内的 N 沟道型 MOS 晶体管 MN00 的栅极和源极的电位差变为电源电压，能取得大的电流。在需要比较小的电流的设置动作中，存储单元 CELL02 的 N 沟道型 MOS 晶体管 MN02 的栅极和源极的电位差变为比电源电位还小的值，能抑制在比较小的电流，容易区别设置动作和复位动作。换言之，在设置动作时和复位动作时的电流值之间能取得大的差额。须指出的是，在设置动作中，对位线供给高的电位，所以节点 N3 一侧变为源极，在复位动作中，对源线供给高的电位，所以节点 N2 一侧变为源极。在设置动作中，栅极和源极的电位差之所以比电源电位还小，是因为栅极和源线 SL0 的电位差即使是电源电位，也存在存储元件 PCM02 引起的电压下降部分。此外在图 5 所示的存储块中，设置动作和复位动作都驱动位线，并且为了区别设置动作和复位动作，供给 2 个不同的电位。而在本实施例中，根据相变元件的特性，通过变更流向存储单元的电流的方向，使提供给位线的电位为 1 种，写入电路有时也能简化。须指出的是，在存储单元采用图 6(b) 所示的结构时，当然电位关系变为相反。此外只使电位相反，无法进行设置动作时，在设置动作和复位动作中，可以变更位线和源线之间的电位差。此时，能增大设置动作和复位动作中的电流差，所以控制变得容易。

下面参照图 11 说明详细的动作。设置动作开始之前的译码电路、

字驱动器电路等的动作与图 9 同样。在本实施例的设置动作中，例如位线的电位为电源电压的 1.2V，源线 SL 保持在 0V，当元件高电阻化时，数毫安程度的电流持续流过。该电压差可以是比电源电压小的值，可以是大的值，但是通过为相同的电源电压，能减小电压发生电路 VGEN 的规模。通过使该状态持续 100 纳秒到数毫秒（例如 100 纳秒到 10 毫秒），元件结晶，低电阻化。而在预先低电阻化的元件上也外加同样的电压。此时，50 毫安以上的电流流到元件。另外，在设置动作结束，低电阻化的元件中也流过同样大的电流。

通过定时器电路 TIMER_SET 计测 SET 时间，如果变为所需的时间，则 SET 结束信号 SETEND 从"L"变为"H"，源线 SL0 缓慢地从"L"转变为"H"。如果该转变过快，则元件变为非晶体，电阻值上升，所以至少需要 5 纳秒以上进行转变。如果源线 SL0 缓慢地转变，则处于浮动状态的位线（BL1、BL3）也缓慢地从"L"转变为"H"。如果转变结束，就开始对存储单元 CELL00 的复位动作。在复位动作中，例如位线的电位为 0V 源线 SL 保持电源电压 1.2V，当元件低电阻化时，数十毫安程度的电流从源线持续流向位线。通过使该状态持续 5 纳秒到数十纳秒（例如 20 纳秒~100 纳秒），元件变为熔化状态。

通过定时器电路 TIMER_RESET 计测 RESET 时间，如果变为所需的时间，则 RESET 结束信号 RESETEND 从"L"变为"H"，开始 RESET 结束动作。使控制信号 PC0 从"H"向"L"转变，使位线 BL0 迅速从"L"转变为"H"，外加在元件上的电压急剧下降，急速冷却。通过急速冷却，存储元件 PCM00 不结晶，变为非晶体，成为高电阻。变为非晶体所需的转变时间 TF（例如数纳秒）在以下为了驱动位线 BL，有必要把位线的电容和预充电用 P 沟道型 MOS 晶体管（MP20、MP22）的导通电阻的积设计为比转变时间 TF 还短。具体而言，连接在位线上的单元数可以为 128 位或 256 位。而预先在高电阻化的元件上也外加同样的电压。此时，数毫安以上的电流流向元件。但是，如果该时间为数 10 纳秒左右，则元件的电阻不变化，不成为问题。因此，通过使读出时在存储元件上外加电压的时间为 2 纳秒到 10 纳秒，能防

止存储破坏。

接着说明检查是否正确进行写入动作的 **VERIFY-READ** 动作。在 **VERIFY-READ** 动作的开始时，通过使控制信号 **PC0** 为 "L"，把写入的存储单元 **CELL** 的连接的位线 (**BL0**、**BL2**) 预充电到 1.2V。接着在使字线 **WL0** 从 "L" 活性化到 "H" 的同时，使预充电控制信号 **PC0** 从 "L" 变为 "H"，电流从位线 (**BL0**、**BL2**) 流向源线 **SL0**。对存储单元 **CELL00** 写入高电阻的值，所以位线 **BL0** 几乎不变化。而对存储单元 **CELL02** 写入低电阻的值，所以位线 **BL2** 迅速放电。通过迅速（例如数纳秒）放电，限制产生的热量，存储元件 **PCM02** 的结晶构造不变化，能防止数据破坏。位线的电位确定后，通过列控制信号 (**YSRT0**、**YSRB0**) 选择所需的放大电路 (**CINV0**、**CINV4**)，读出位线 (**BL0**、**BL2**) 的信号，作为数据 (**RDATAI0**、**RDATA1**) 输出。

最后，说明读出动作即 **READ** 动作。在 **READ** 动作开始时，通过使控制信号 **PC0** 为 "L"，把写入的存储单元 **CELL** 的连接位线 (**BL0**、**BL2**) 预充电到 1.2V。接着在使字线 **WL0** 从 "L" 活性化到 "H" 的同时，使预充电控制信号 **PC0** 从 "L" 变为 "H"，电流从位线 (**BL0**、**BL2**) 流向源线 **SL0**。对存储单元 **CELL00** 写入高电阻的值，所以位线 **BL0** 几乎不变化。而对存储单元 **CELL02** 写入低电阻的值，所以位线 **BL2** 迅速放电。位线的电位确定后，通过列控制信号 (**YSRT0**、**YSRB0**) 选择所需的放大电路 (**CINV0**、**CINV4**)，读出位线 (**BL0**、**BL2**) 的信号，作为数据 (**RDATAI0**、**RDATA1**) 输出。

如上所述，在设置动作和复位动作中电流方向相反，在需要大电流的复位动作中，存储单元 **CELL00** 内的 N 沟道型 MOS 晶体管 **MN00** 的栅极和源极的电位差变为电源电压，能取得大的电流。在需要比较小的电流的设置动作中，存储单元 **CELL02** 的 N 沟道型 MOS 晶体管 **MN02** 的栅极和源极的电位差变为比电源电位还小的值，能抑制在比较小的电流，容易区别设置动作和复位动作。分为从有必要缓慢转变的设置动作到复位动作时，驱动源线；在有必要迅速转变的复位动作结束时和读出动作时（包含校验读出时），驱动位线。因此，通过对

源线作用大的负载，减小位线的负载，不附加特别的电路，就能控制转变时间。

须指出的是，在本实施例中，减小存储单元的阈值电压，但是并不一定减小存储单元的阈值电压。在本实施例中，在不减小存储单元的阈值电压时，通过在设置动作和复位动作中变更流向存储单元 CELL 的电流的方向，也能取得上述的效果。但是，通过减小存储单元的阈值，能增大流向存储单元的电流，设置动作和复位动作的电流控制变得容易，能实现稳定的动作。

<读出时的泄漏电流的防止>

下面参照图 12，说明图 2 中的存储块 100 其他实施例。如上所述，通过增大使用最小加工尺寸的 MOS 晶体管取得的电流，能取得复位电流。但是，如果降低阈值电压，则即使是非选择状态，MOS 晶体管的泄漏电流也增大，泄漏电流在读出动作时流入位线，有时作为噪声无法忽视。另外，即使故意减小存储单元中使用的 MOS 晶体管的阈值电压，由于 MOS 晶体管的微细化，发生闩下电流等泄漏电流，有时作为噪声无法忽视。

因此图 12 所示的存储块 110 如果与图 10 比较，则变为字驱动器电路中包含的倒相电路 INV2 的接地电位端子连接在电源线 VWDS 上，在非选择状态下，供给比接地电位还低的负电位的结构。即在非选择状态下，对存储单元中包含的 MOS 晶体管的栅极供给负的电位，所以 MOS 晶体管的电阻值上升，泄漏电流难以流过。

下面参照图 13 说明动作。首先处于待机状态 STANDBY，字线的电位变为比接地电位还低的直，例如-0.3V。据此，在存储单元 CELL 的 N 沟道型 MOS 晶体管 MN 的栅极和源极之间外加负电压，能减少泄漏电流。接着进行写入动作。设置动作和复位动作与图 11 同样，省略说明。在校验读出时，选择的字线 WD 保持负电位。因此，在非选择单元 CELL 的 N 沟道型 MOS 晶体管 MN 的栅极和源极之间外加负电压，能减少泄漏电流。据此，能防止非选择存储单元 CELL 引起的位线 BL 的电荷拔出，能高速进行稳定的读出。另外，读出动作也与

校验读出动作同样。

接着, 参照图 14 说明解决非选择单元 CELL 的泄漏电流引起的噪声问题的实施例 2 的存储块 120。与图 10 的存储块的主要不同点在于: 源驱动器电路 SDR 由与电路 AND0、N 沟道型 MOS 晶体管(MN20、MN21)、P 沟道型 MOS 晶体管 MP30 构成。该信号、N 沟道型 MOS 晶体管(MN20、MN21)和 P 沟道型 MOS 晶体管 MP30 的栅极连接在译码电路 ADEC 的数据上。在 N 沟道型 MOS 晶体管 MN21 的漏极上连接电源线 VSL。对电源线 VSL 供给比接地电位高, 比电源电位小的源线预充电电位(例如 0.3V)。此外通过控制信号 RS 能控制源线 SL。在本实施例中, 源驱动器电路对待机状态或非选择状态的源线供给源线预充电电位。据此, 非选择状态的存储单元中包含的 MOS 晶体管的栅极和源极之间变为负电压, 能减少泄漏电流。

下面参照图 15 说明动作。须指出的是, 在此主要说明与图 11 不同的点。首先处于待机状态 STANDBY。接着字线的电位变为接地电位。把源线 SL 设定位比接地电位还高的值例如 0.3V。据此, 在存储单元 CELL 的 N 沟道型 MOS 晶体管 MN 的栅极和源极之间变为负电压, 能减少泄漏电流。接着进行写入动作。在本实施例中, 把源线预充电到 0.3V, 所以设置动作开始, 在选择字线 WD0 的同时, 源线 SL0 也变为接地电位。据此, 在位线 BL2 和源线 SL0 之间产生电位差, 存储元件 PCM02 结晶。接着 SET 结束信号 SETEND 从"L"变为"H", 源线 SL0 缓慢地从"L"向"H"转变。如果转变结束, 则在位线 BL0 和源线 SL0 之间产生电位差, 开始对存储单元 CELL00 的复位动作, 存储元件 PCM00 变为非结晶。

接着说明 VERIFY-READ 动作。在 VERIFY-READ 动作开始时, 首先把位线预充电到电源电位。接着, 如果把字线 WL0 活性化到"H", 电流就从位线(BL0、BL2)向源线 SL0 流动。在此, 非选择存储单元 CELL 的源线 SL 变为比接地电位还高的值, 所以在非选择单元 CELL 的 N 沟道型 MOS 晶体管 MN 的栅极和源极之间外加负电压, 能减少泄漏电流。据此, 能防止非选择存储单元 CELL 引起的位线

BL 的电荷拔出，能高速进行稳定的读出。另外，读出动作也与校验读出动作同样。

如上所述，使存储单元中使用的晶体管比 IO 电路中使用的 MOS 晶体管的阈值电压还小，并且能解决在设置动作和复位动作中改变电流的方向引起的泄漏电流的问题，稳定动作成为可能。

须指出的是，在图 12~图 15 中，使存储单元的阈值电压比 IO 电路中使用的 MOS 晶体管的阈值电压还小，但是也可以使存储单元的阈值电压不一定比 IO 电路中使用的 MOS 晶体管的阈值电压小。因为例如可以考虑到即使与用于输入输出电路 IO 的 MOS 晶体管的阈值电压相同也会发生泄漏电流的情况。但是通过减小存储单元中使用的 MOS 晶体管的阈值电压，能取得更大的电流，稳定的读出动作成为可能。另外，在设置动作和复位动作中变更流向存储单元的电流的方向，进行说明，但是并不局限于此。本实施例是当在存储单元中使用产生泄漏电流的 MOS 晶体管时，防止泄漏电流，减少读出时的噪声。

<防止读出时的信息破坏>

接着参照图 16 说明图 2 所示的存储块 100 其他实施例。相变元件具有根据提供的温度，电阻值变化的特性。因此，当使相变元件存储信息时，没必要改写信息，但是在读出时电流流过，所以产生热，信息有可能破坏。通过在读出时（包含校验读出时）快速把位线放电，能防止信息破坏。但是，由于附加在位线上的电容，有可能无法迅速放电。

因此在本实施例中，在读出动作时用比电源电位小，比源线的电位大的电位（例如 0.6V）把位线预充电，在读出时，抑制流向存储单元的电流值，防止信息破坏。图 16 表示在读出时抑制流向存储单元的电流值的存储块的实施例。与图 14 的主要不同点如下所述。

在位线 BL 上连接读出预充电电路（134、135、136、137）。例如预充电电路 134 由 P 沟道型 MOS 晶体管 MP40 构成，在漏极上连接位线 BL0，在栅极上连接控制信号 PC2，在源极上连接电源线 VBL。电源线 VBL 是比电源还低的电压，在读出时使用。

在位线 BL 上连接放电电路（138、139、140、141），例如放电电路 138 由 N 沟道型 MOS 晶体管 MN40，在漏极上连接位线 BL0，在栅极上连接控制信号 DC0，在源极上连接接地电位。放电电路用于把位于位线的电荷拔出为接地电位。在 Y 开关 142、143、144、145 中，位线和读出放大器 150 之间为 P 沟道型 MOS 晶体管，所以无法把位线拔出为接地电位，从而设置它。另外，通过设置放电电路，能高速拔出位线。须指出的是，在其他实施例中，为了高速拔出位线，也可以设置放电电路。

在位线 BL 上连接 Y 开关电路(142、143、144、145)。在 Y 开关电路(142、143、144、145)上连接写入和读出电路（150、151）。例如 Y 开关电路 142 由 P 沟道型 MOS 晶体管（MP45、MP50）构成。P 沟道型 MOS 晶体管 MP45 在写入时使用，在漏极上连接位线 BL0，在栅极上连接控制信号 YSW0，在源极上连接写入和读出电路 150。P 沟道型 MOS 晶体管 MP50 在读出时使用，在漏极上连接位线 BL0，在栅极上连接控制信号 YSR0，在源极上连接写入和读出电路 150。

写入和读出电路(150、151)的一个写入和读出电路 150 由写入电路（INV4、INV14）和读出电路构成。读出电路由 N 沟道型 MOS 晶体管（MN44、MN45、MN46）和 P 沟道型 MOS 晶体管(MP58、MP59)构成的读出放大电路、P 沟道型 MOS 晶体管(MP54、MP55、MP56)构成的读出放大预充电电路、P 沟道型 MOS 晶体管 MP57 构成的参考用 Y 开关电路和倒相电路 INV5 构成的输出电路构成。读出放大电路是由 P 沟道型 MOS 晶体管(MP58、MP59)、N 沟道型 MOS 晶体管（MN44、MN45）构成的双稳态多谐振荡器、使读出放大器活性化的 N 沟道型 MOS 晶体管 MN46 构成的门型读出放大电路。在 N 沟道型 MOS 晶体管 MN46 的栅极上连接控制信号 SA。读出预充电电路由电源线 VBL、连接读出放大电路的内部节点的 P 沟道型 MOS 晶体管 (MP54、MP55)和使读出放大电路的内部节点均衡的 P 沟道型 MOS 晶体管 MP56 构成。在 P 沟道型 MOS 晶体管(MP54、MP55、MP56)的栅极上连接控制信号 PC_AMP。参考用 Y 开关电路即 P 沟道型 MOS

晶体管 MP57 的栅极连接在控制信号 **YS_AMP** 上,源极连接在参考电压 **VREF** 上。在本实施例中,在读出时使位线 **BL** 为比电源电位还小的读出电源电位 **0.6V**,所以使用差动型的读出放大器。须指出的是,参考电压 **VREF** 可以为读出电源电位和接地电位之间的电位。例如在本实施例中,使用源电位 **VSL** (例如 **0.3V**),所以通过供给 **VSL** 电位地构成,能减小电压发生电路 **VGEN**。在写入和读出电路 **150** 中,输出读出数据 **RDATAI0**,输入写入数据 **WDATAI0**。通过这样构成,能在读出时使位线为比电源电位还小的电源电位,能减小流过存储元件的电流,能防止信息破坏,提高可靠性。

下面,参照图 17、图 18 说明动作。设置动作、复位动作与图 15 同样。须指出的是,在本实施例中,使设置动作时的位线和源线之间的电位差比复位动作时的位线和源线之间的电位差小。在图 15 中,考虑到在设置动作时,如果与复位动作时的位线和源线之间的电位差相同,则电流过分流过的情形。因此,在本实施例中,在设置动作时,保持预充电电位,用比复位动作还小的电位差进行设置动作。

下面说明校验读出动作。在 **VERIFY-READ** 动作开始时,通过使控制信号 **PC2** 为 "**L**",把写入的存储单元 **CELL** 的连接有位线 (**BL0**、**BL2**) 预充电到电源线 **VBL** 电位。电源线 **VBL** 的电位例如为比电源电位低的 **0.6V**。通过变为比电源电位低的值,能避免读出破坏。接着如果使字线 **WL0** 从 "**L**" 活性化到 "**H**" 的同时,使预充电控制信号 **PC2** 从 "**L**" 变为 "**H**",电流从位线 (**BL0**、**BL2**) 流向源线 **SL0**。对存储单元 **CELL00** 写入高电阻的值,所以位线 **BL0** 几乎不变化。而对存储单元 **CELL2** 写入低电阻的值,所以位线 **BL2** 迅速放电。位线的信号通过控制信号 **YSR0** 传递给读出放大电路 (**150**、**151**),由控制信号 **SA** 放大,作为读出数据 (**RDATAI0**、**RDATA1**) 输出。在读出放大电路的参考一侧供给参考电位 **VREF**,在位线 **BL0**,位线的电位比 **VREF** 还高,对读出数据 **RDARAI0** 输出 "**L**",在位线 **BL2** 中,位线的电位比 **VREF** 还低,对读出数据 **RDARAI1** 输出 "**H**"。如果由读出放大电路放大,就立刻把位线 (**BL0**、**BL2**) 放电为 **0V**。须指出

的是，读出动作与校验读出动作同样。

通过使读出时的位线和源线之间的电位差比写入时低，在读出时流向存储单元的电流减小，能防止信息破坏。

在本实施例中，表示通过降低外加在存储元件上的电压，防止读出破坏的例子，但是缩短对存储元件外加电压的时间对防止读出破坏也是有效的。此时，在字线导通后，把位线（BL0、BL2）预充电，用读出放大器把数据放大后，放电。连接在位线上的存储单元的数为128位或64位，通过减小寄生电容，以高速进行放电和预充电，使对元件外加电压的时间短到2ns以下，防止读出破坏。

（转变时间的控制）

参照图19说明图2中使用的存储块100的其他实施例。当在存储元件中使用相变元件时，如上所述，在从设置动作时向复位动作动作时的转变时、复位动作结束时和读出动作时（也包含校验读出时），在位线或源线的转变时间中存在制约。具体而言，在从设置动作时向复位动作动作的转变时，如果源线SL0的转变过快，则元件变为非晶体，电阻值上升，所以有必要至少花费5纳秒进行转变。接着在复位动作结束时，为了使存储元件不变为非晶体，有必要通过使位线BL0从"L"迅速转变为"H"，使外加在元件上的电压急剧下降，从而急速冷却。在读出动作时，有必要通过迅速（例如数纳秒）放电，限制产生的热量，使存储元件PCM02的结晶构造不变化，防止数据破坏。即源线的转变有必要花费时间，位线的转变有必要急速进行。

因此，有必要对源线提供大的负载，对位线提供小的负载。因此，连接在一条源线上的存储单元的数比连接在一条位线上的存储单元的数还大。

下面，参照图19说明用于使连接在一条源线上的存储单元的数比连接在一条位线上的存储单元的数还大的存储块。在图19的存储块中，具有：包含字线WL、位线BL以及存储单元CELL的多个存储器阵列ARRAY；预充电电路；多个包含读出预充电电路、Y开关电路的内存条BANK；公共连接在多个内存条BANK上的全局位线。另

外，全局位线 **GRBL** 包含读出全局位线 **GRBL** 和写入读出电路 **GWBL**，分别连接在读出电路 **SA**、写入电路 **WA** 上。**Y** 开关设置在全局位线和各内存条的位线之间，分为读出用和写入用。在此，读出用的 **Y** 开关 160、161、162、163，例如象 MOS 晶体管 **MN50**、**MN51** 那样，把源漏路线连接在接地电位和全局位线 **GRBL0** 之间，MOS 晶体管 **MN50** 的栅极连接在位线 **BL0** 上，MOS 晶体管 **MN51** 的栅极连接在控制线 **YSR0** 上。通过用 **Y** 开关以细致的单位分割位线，能减少连接在一条位线上的存储单元的数。另外，通过对各内存条 **BANK** 的位线设置复位结束时使用的预充电电路 104、105、106、107，能高速使位线上升。因为位线的负载小，所以读出时能高速放电，防止数据破坏。读出电路 **SA** 和写入电路 **WA** 在多个内存条 **BANK** 重是公共的，所以能减小面积。

须指出的是，在本实施例中，其特征在于：通过分割位线，减少连接在位线上的存储单元的电容，使高速放电成为可能，从而能防止信息破坏。能适当删除其他结构例如减小存储单元的阈值电压、变更设置时、复位时的电流方向。

<字驱动器电路、源驱动器电路的布局>

下面参照图 20～图 22 说明字驱动器电路 **WDR** 和源驱动器电路 **SDR** 的布局。图 20 是表示字驱动器电路 **WDR** 和源驱动器电路 **SDR** 的布局的第一例。字驱动器电路 **WDR** 和源驱动器电路 **SDR** 沿着包含字线 **WL**、位线 **BL**、存储单元 **CELL** 的存储器阵列 **ARRAY** 的 1 边配置。通过这样配置，布局变为简单，容易变更尺寸。须指出的是，在图中，只即在一个存储器阵列 **ARRAY**，但是可以由位于字驱动器电路 **WDR** 和源驱动器电路 **SDR** 的两侧的存储器阵列 **ARRAY** 共享字驱动器电路 **WDR** 和源驱动器电路 **SDR**。通过共享，能增加连接在一条源线上的存储单元数，从设置转变到复位时缓慢地转变，能防止误写入。

图 21 是表示字驱动器电路 **WDR** 和源驱动器电路 **SDR** 的布局的第二例。在图 21 中，对字驱动器电路 **WDR**，沿着包含字线 **WL**、位

线 BL、存储单元 CELL 的存储器阵列 ARRAY 的 1 边配置字驱动器电路 WDR，沿着相对的另一边配置源驱动器电路 SDR。通过这样把字驱动器电路 WDR、源驱动器电路 SDR 排列为 2 列，就能减小面积。

图 22 是表示字驱动器电路 WDR 和源驱动器电路 SDR 的布局的第三例。在图 22 中，字驱动器电路 WDR 和源驱动器电路 SDR 为一组，配置在包含字线 WL、位线 BL、存储单元 CELL 的存储器阵列的两侧。通过这样把字驱动器电路 WDR、源驱动器电路 SDR 排列为 2 列，能减小面积。另外，通过与位于字驱动器电路 WDR、源驱动器电路 SDR 的两侧的存储器阵列 ARRAY 共享，能进一步减小面积，并且能增加连接在一条源线上的存储单元数，在从设置时向复位时转变时缓慢地转变，能防止误写入。须指出的是，本布局能与其它实施例组合。

<基于内存的缓存>

下面参照图 23 说明实施例 1 中说明的系统 LSI (10) 的其它实施例即系统 LSI (20)。在硅衬底上，除了实施例 1 所示的系统 LSI10，还形成 1 次高速缓存器或基芯片 RAM 使用的存储器 SRAM。存储块 100 的细节能应用已经说明的各实施例。当中央处理单元 CPU 的工作频率，存储块 100 的工作频率慢时，存储器 SRAM 作为缓存器使用。通过这样作为缓存器使用，能吸收工作频率的不同，能高速使中央处理单元 CPU 工作。例如当在存储块 100 中存储中央处理单元应该处理的程序时，通过一个存储器访问对存储器 SRAM 转送 2 个命令，能吸收工作频率的不同。

下面，参照图 24 说明动作。首先处于待机状态 STANDBY。在第一周期 WRITE 中写入数据。地址 ADD、写入允许信号 WE 从中央处理单元 CPU 提供给门电路 (FF0、FF1、FF2)，写入数据 WDATA 从存储器 SRAM 提供给门电路 (FF0、FF1、FF2)，如果存储器专用时钟 CK_MEM 从“L”变为“H”，则地址 ADD 被取入存储块 100 中，写入数据 WDATA、写入允许信号 WE 被取入存储器控制器 MEM_CNT 中。被取入存储器控制器 MEM_CNT。存储器控制器

MEM_CNT 生成写入数据 WDATAI 和控制信号 CNT, 发送给存储块 100, 从而开始存储块 100 中的写入动作。首先进行设置动作, 通过定时器电路 TIMER_SET 计测 SET 时间。如果经过所需的时间, 就把设置动作结束信号 SETEND 发送给存储块 100, 从而在存储块 100 中结束设置动作, 开始复位动作。同时开始由定时器电路 TIMER_RESET 开始 RESET 时间的计测, 如果经过所需的时间, 就把复位动作结束信号 RESETEND 发送给存储块 100, 从而结束存储块 100 中的复位动作。然后, 按照必要, 为了确认是否正确进行写入, 进行校验动作。在校验动作中, 从存储块 100 读出写入的数据, 用比较电路 CMP 比较读出的数据 RDATAI 和写入数据 WDATAI, 当一致时, WCH 从“L”变为“H”, 确认正确地写入。如果不一致时, 再度进行写入。如果正确进行写入, 就把写入结束信号 WEND 发送给中央处理单元 CPU。

在第二周期 READ 中读出数据。地址 ADD 和读出允许信号 RE 从中央处理单元 CPU 提供给门电路 (FF0、FF3), 如果存储器专用时钟 CK_MEM 从“L”变为“H”, 则地址 ADD 取入存储块 100 中, 读出允许信号 RE 取入到存储器控制器 MEM_CNT 中。存储器控制器 MEM_CNT 生成控制信号 CNT, 发送给存储块 100, 从而开始存储块 100 的读出动作。读出的数据 RDATAI 经由存储器控制器 MEM_CNT 发送给存储器 SRAM, 读出动作结束。

<使用薄膜 MOS 的高压下的写入>

MOS 晶体管中, 氧化膜越薄, 就越能缩短栅极长度, 能减小面积。因此, 为了减小存储单元尺寸, 希望单元晶体管使用薄的氧化膜。在此, 薄的氧化膜例如是 3nm 的厚度, 从栅极耐压的观点能外加的电压为 1.2V 左右。但是, 在元件的写入中有时需要比这高的电压例如 2.4V 左右。在本实施例中, 参照图 25 说明使用薄膜的 MOS 晶体管, 使用高电压进行写入的情形。与图 16 的不同点如下所述。

在本实施例 200 中, 采用不进行列选择, 对全部列同时写入、读出数据的结构。此外读出放大电路 AMP 为单纯的形式。

构成 Y 开关电路 (142、143、144、145) 的写入用 Y 开关 HMP 是使用比存储单元的晶体管还厚的氧化膜的 MOS 晶体管, 例如氧化膜使用 8nm, 能外加电压达到 2.4V 左右。使用厚的氧化膜的 MOS 晶体管可以是与图 7 所示的输入输出电路 IO 中使用的 MOS 晶体管相同的氧化膜厚。写入用的 Y 开关 HMP 的控制信号 YSW 在选择时为接地电位, 在非选择时控制在 2.4V。

另外, 为了输出 0V 或 2.4V, 使用具有厚的氧化膜的 MOS 晶体管构成写入电路 HBUF。使用薄氧化膜构成其他晶体管。

字驱动器电路 (115、116) 与图 16 局部不同。例如字驱动器电路 115 由驱动字线 WL0 的倒相电路 INV0、控制源线的倒相电路 INV20、N 沟道型 MOS 晶体管 (MN20、MN21)、P 沟道型 MOS 晶体管 MP30 构成。电源线 VSL 在本实施例中是 0.8V, 通过 N 沟道型 MOS 晶体管 MN21 提供给源线。字驱动器电路 (115、116) 由译码器 ADEC 的输出和控制信号 (RDB、RD) 控制。

下面参照图 26 说明动作。在本实施例的写入中, 把单元 (CELL00、CELL01) 的存储元件 (PCM00、PCM01) 复位(定义为写入“0”), 把单元 (CELL02、CELL03) 的存储元件 (PCM02、PCM03) 设置 (定义为写入“1”)。在 STANDBY 状态下, 把位线 BL0、源线 SL、字线 WL 都控制为 0V。在设置动作中, 选择全部字线 WL, 变为 1.2V。此外控制信号 PC0 从“H”变为“L”, 从而全部位线 BL 也预充电到 1.2V。选择源线 SL, 只使源线 SL0 为 0V, 在其他非选择的源线 (SL1、、、) 在外加 1.2V。结果在连接在字线 WL0 上的全部存储单元 (CELL00、CELL01、CELL02、CELL03) 中, 单元晶体管 (MN00、MN01、MN02、MN03) 导通, 位线 BL 的电位变为 1.2V, 源线 SL 变为 0V, 电流流向存储元件 (PCM00、PCM01、PCM02、PCM03), 结晶, 低电阻化。

如果变为所需的时间, 就开始复位动作。在复位动作中, 通过 Y 开关电路 (142、143), 从写入电路使连接不进行复位动作的单元 (CELL00、CELL01) 的位线 (BL0、BL1) 变为 2.4V。单元 (CELL00、

CELL01) 的晶体管 (MN00、MN01) 导通, 位线的电位为 2.4V, 源线 SL0 保持 0V, 存储元件 (PCM00、PCM01) 变为熔化状态。而即使开始复位动作, 进行设置的存储元件 (PCM02、PCM03) 也继续设置动作。

如果经过所需的时间, 就开始复位的结束。使字线 WL 变为 0V, 使位线 BL 和源线变为 0.8V, 写入动作结束。存储元件 (PCM00、PCM01) 从熔化状态冷却, 变为非晶体, 变为高电阻。

在本方式中, 存储单元的晶体管的栅源间电压和栅漏间电压变为耐压以下的电源电压 1.2V。因此, 即使用薄膜的晶体管形成存储元件, 在存储元件上也能外加最大 2.4V 的电压。

接着说明检查是否正确进行写入动作的 VERIFY-READ 动作和 READ 动作。哪个动作都相同, 所以说明 VERIFY-READ。首先, 使字线 WL0 从 "L" 活性化到 "H"。然后, 使预充电控制信号 PC0 从 "H" 变为 "L", 把位线 BL 预充电到 1.2V, 刚变为 1.2V, 使预充电控制信号 PC0 变为不活性, 电流从位线 (BL0、BL2) 向源线 SL0 流动。对存储单元 (CELL00、CELL01) 写入高电阻的值, 所以位线 (BL0、BL1) 几乎不变化, 为 1.2V。而对存储单元 (CELL02、CELL03) 写入低电阻的值, 所以位线 (BL2、BL3) 放电, 下降到大约 0.8V 附近。位线的电位确定后, 通过读出放大电路 AMP 把数据放大, 作为读出数据 RDATAI 输出。

然后, 使控制信号 PC1 从 "H" 变为 "L", 使数据线回到电源线 VBL 的值 0.8V, 缓慢地使字线向 0V 转变。在本方式中, 可以判别字线是 1.2V 还是 0.8V, 用通常的读出电路也能充分进行读出。

<防止读出干扰>

当在存储元件中使用相变元件时, 在读出时电流流过, 所以元件发热, 当连续进行同一元件的读出时, 把复位状态的元件设置的读出干扰成为问题。为了把设置状态的元件复位, 需要相当的能量, 几乎不会成为问题。

本实施例是用于防止读出干扰的电路结构, 参照图 27 说明。与

图 19 的主要不同点如下所述。

在图 27 的存储块中,各内存条 BANK 包含:存储器阵列 ARRAY、译码电路 ADEC、字驱动器电路 115、控制电路 CNTL、预充电电路 (134、135、136、137)、放电电路 (138、139、140、141)、读出用 Y 开关电路 (142、143、144、145)、读出电路 (150、151)、驱动读出全局位线 GRBL 的 N 沟道型 MOS 晶体管(MN100、MN101)、写入用 Y 开关电路 (164、165、166、167)。

读出全局位线 GRBL 与全局读出电路 GSA 和各内存条 BANK 的 N 沟道型 MOS 晶体管(MN100、MN101)连接。写入全局位线 GWBL 与全局写入电路 GWA 和各内存条 BANK 的写入用 Y 开关电路(164、165、166、167)连接。

读出用 Y 开关电路 (142、143、144、145) 由 P 沟道型 MOS 晶体管 MP 构成,有选择地连接位线 BL 和读出电路 (150、151)。

读出电路 (150、151) 是与图 5 所示的读出电路 (150、151) 相同的结构。读出电路 (150、151) 的输出连接在 N 沟道型 MOS 晶体管(MN100、MN101)的栅极上。

接着参照图 28 说明动作。在本实施例中,源线 SL 连接在接地电位上。在设置动作中,选择字线 WL0,位线 BL2 通过 Y 开关电路 166 由全局写入电路 GWA_1 控制为 0.6V,设置存储单元 CELL02 的存储元件 PCM02。在复位动作中,选择字线 WL0,位线 BL0 通过 Y 开关电路 164 由全局写入电路 GWA_0 控制为 1.2V,把存储单元 CELL00 的存储元件 PCM00 复位。

接着说明校验读出动作。把字线 WL0 从"L"选择为"H"后,使预充电控制信号 PC0 从"H"变为"L",把位线 (BL0、BL2) 从 0V 预充电到电源线 VBL 电位 0.4V。预充电后,使控制信号 PC0 从"L"变为"H",使预充电不活性,使位线为浮动状态。然后电流从位线 BL 流向源线 SL0,位线 BL 的电位变化。对存储单元 CELL00 写入高电阻的值,所以位线 BL0 几乎不变化。而对存储单元 CELL02 写入低电阻的值,所以位线 BL2 放电。位线 BL 的变化由 Y 开关电路 (142、

144) 分别传递给读出电路 (150、151), 由控制信号 YS_AMP 放大、保持。该数据由 N 沟道型 MOS 晶体管 (MN100、MN101) 读出, 传递给全局位线 $GRBL$, 由全局读出电路 GSA 放大, 作为读出数据 ($RDATAI0$ 、 $RDATA1$) 输出。读出的数据由电路 (150、151) 保持的同时, 使控制信号 $YSR0$ 从 "L" 变为 "H", 切断位线 BL 和读出电路 (150、151) 的连接, 使控制信号 $DC0$ 从 "L" 变为 "H", 使位线 BL 放电, 变为 0V。然后使字线从 "H" 变为 "L", 校验读出动作结束。须指出的是, 读出动作与校验读出动作是同样的。

在本方式中, 按照使字线 WL 导通后, 把位线 BL 预充电, 读出数据后使位线 BL 放电, 使字线 WL 断开这样的顺序进行动作(工作)。一般字线 WL 的负载大, 所以在转变中花费时间。而位线 BL 一般负载电容小, 所以能高速转变。因此通过采用把字线 WL 导通后, 把位线 BL 预充电, 而且, 在使位线 BL 放电后, 把字线 WL 断开的顺序, 能使对存储元件外加电压的时间为最小。象本方式那样把位线分割为内存条 $BANK$, 阶层化, 能进一步减小位线 BL 的负载电容, 能高速转变。另外, 把位线 BL 阶层化, 在各内存条 $BANK$ 中设置读出电路, 从而能高速进行读出动作自身, 所以能进一步缩短对元件外加电压的时间。

通过这样缩短对元件外加电压的时间, 能抑制存储元件中的发热, 能防止存储元件的干扰。另外, 在写入中, 没必要这样缩短对元件外加电压的时间, 所以没必要在各内存条 $BANK$ 中设置写入电路, 只全局地设置写入电路就可以了。因此, 能防止面积增加。

<使用薄膜 MOS 晶体管的高压下的写入 2>

使用薄膜 MOS, 如果是限制的时间, 就能对 MOS 外加耐压以上的电压。在本实施例中, 参照图 30 说明使用该特性, 使用薄膜 MOS 晶体管, 以高电压进行写入的情形。与图 25 的不同点如下所述。

本实施例 210 中, 不进行控制, 把源线 SL 连接在接地电位上。另外, 预充电电路只预充电到读出用的电位 V_{rd} , 删除预充电到电源电位的电路。在位线上连接 1024 个存储单元。本实施例中使用的薄膜

MOS 的氧化膜厚度为 4nm，总能外加的电压为 1.5V。

参照图 31 说明动作。在本实施例的写入中，把单元（CELL00、CELL01）的存储元件（PCM00、PCM01）复位（定义为写入“0”），把单元（CELL02、CELL03）的存储元件（PCM02、PCM03）设置（定义为写入“1”）。在 STANDBY 状态下，把位线 BL、源线 SL、字线 WL 都控制为 0V。在设置动作中，选择字线 WL0，变为 1.5V。另外，位线（BL2、BL3）通过 Y 开关电路（144、145）由写入电路（HUBF2、HBUF3）设定为设置电压 1.2V。结果在连接在字线 WL0 上的存储单元（CELL02、CELL03）中，单元晶体管（MN02、MN03）导通，位线 BL 的电位变为 1.2V，源线 SL 变为 0V，电流流向存储元件（PCM02、PCM03），结晶，低电阻化。

如果变为所需的时间，位线（BL2、BL3）就变为 0V，设置结束。然后开始复位动作。在复位动作中，把连接想进行复位动作的单元（CELL00、CELL01）的位线（BL0、BL1）通过 Y 开关电路（142、143）由写入电路（HUBF0、HBUF1）变为 2.0V。单元（CELL00、CELL01）的晶体管（MN00、MN01）导通，位线的电位为 2.0V，源线 SL0 保持 0V，电流流向存储元件（PCM00、PCM01），变为熔化状态。

如果经过所需的时间，字线 WL0 和位线（BL0、BL1）就分别转变为 0V，复位动作结束。存储元件（PCM00、PCM01）从熔化状态冷却，变为非晶体，变为高电阻。

通常作为基芯片 ROM 使用时要求的改写次数为 100 万次左右，当复位时间为 100ns 时，一个单元进行写入的合计时间为 0.1s。另外，当用同一位线对不进行写入的单元的晶体管 MN 的栅漏电极间也同样外加耐压以上的 2V 电压。在本实施例中，在位线 BL 上连接 1024 个存储单元，所以当对全部单元进行 100 万次的写入时，在 MOS 晶体管的栅源间外加 2V 的电压越 100s。在本实施例的薄膜 MOS 晶体管上能外加到 1.5V，但是如果是 100s 以下，即使外加到 2V，在可靠性上没有问题。如上所述，使用薄膜 MOS，用耐压以上的电压能进行元

件的改写。

在写入后，元件冷却，在电阻值下降之前，无法正常进行读出，所以稍候片刻，进行检查是否正确进行写入动作的校验或通常的读出 **READ**。首先使字线 **WL0** 从 "L" 活性化为 "H"。然后，使预充电控制信号 **PC** 从 "H" 变为 "L"，使位线 **BL** 预充电到 0.3V，刚一变为 0.3V，就使预充电控制信号 **PC** 不活性，电流从位线 (**BL0**、**BL1**、**BL2**、**BL3**) 流向源线 **SL0**。对存储单元 (**CELL00**、**CELL01**) 写入高电阻的值，所以位线 (**BL0**、**BL1**) 几乎不变化，为 0.3V。而对存储单元 (**CELL02**、**CELL03**) 写入低电阻的值，所以位线 (**BL2**、**BL3**) 放电，下降到大约 0V 附近。位线的电位确定后，通过读出放大电路 **AMP** 把数据放大，作为读出数据 **RDATAI** 输出。

然后，使控制信号 **DC** 从 "L" 变为 "H"，使数据线回到 0V，使字线转变为 0V，读出结束。

图 1

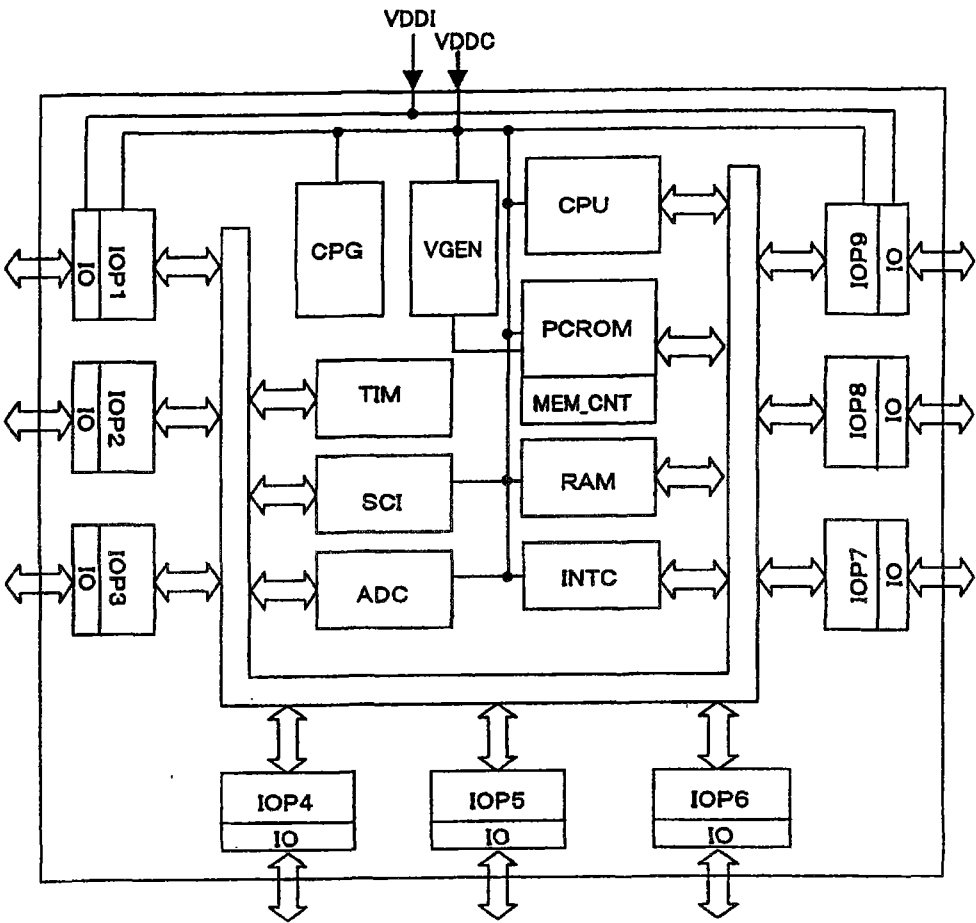


图 2

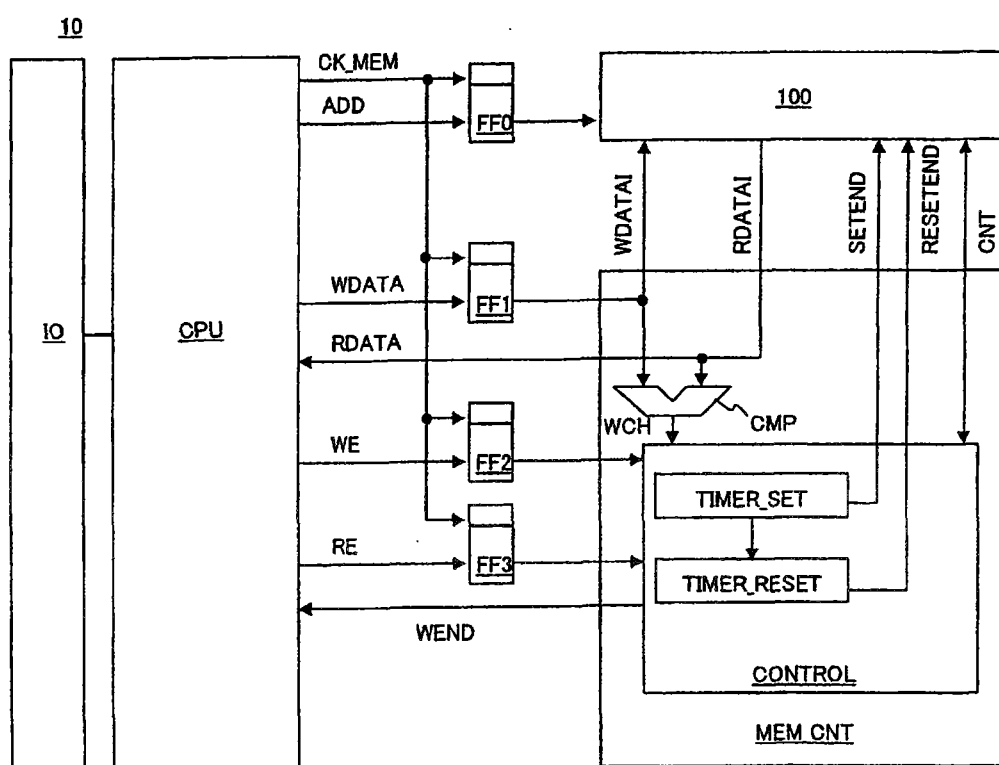


图 3

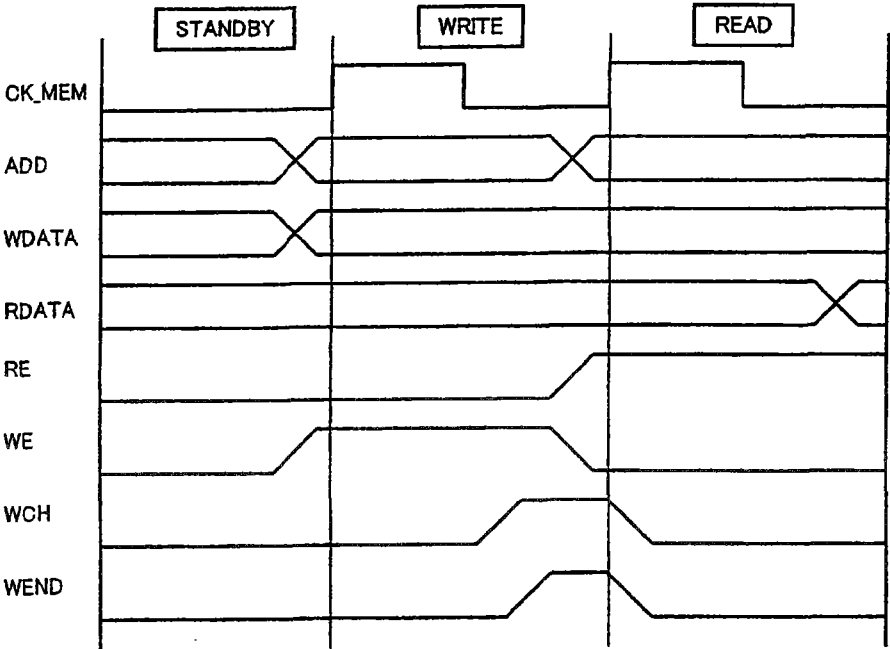


图 4

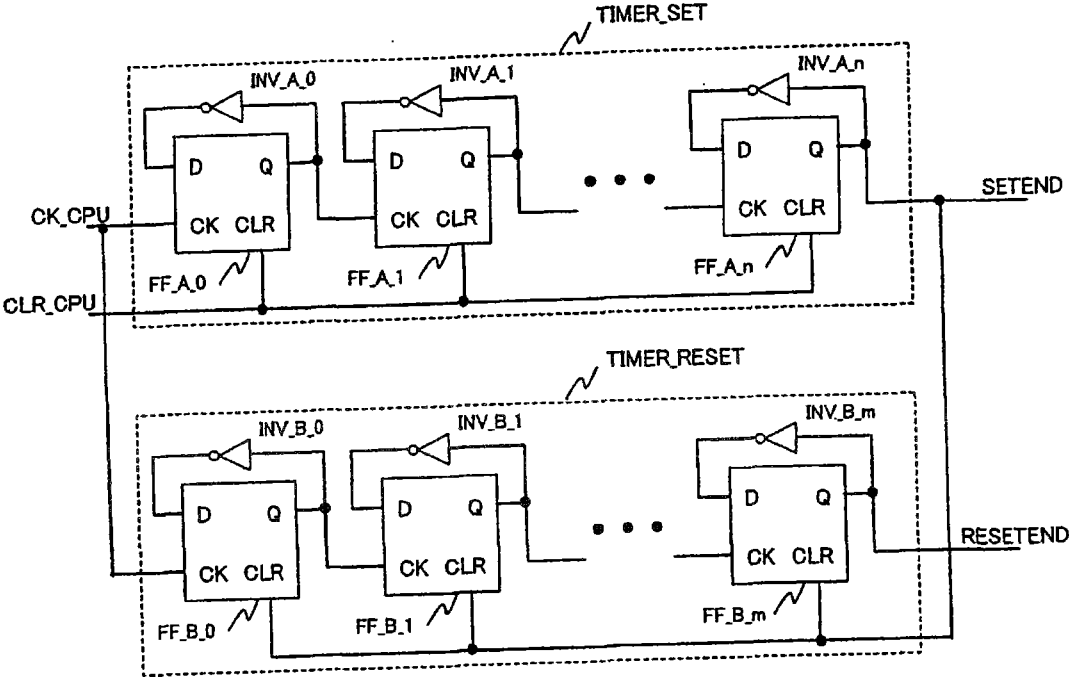


图 5

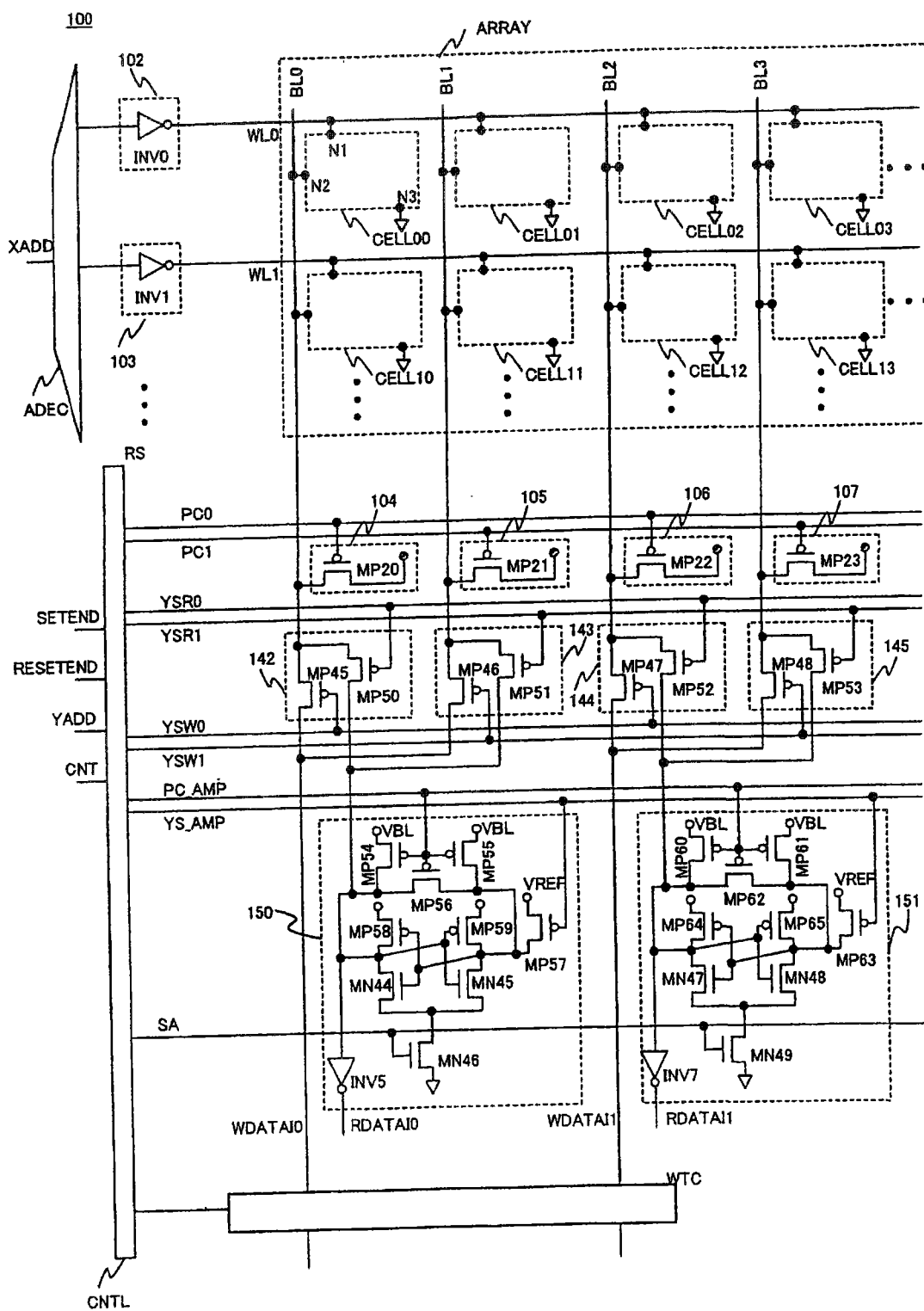
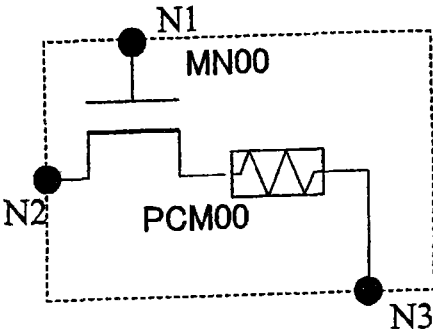


图 6

(a)



(b)

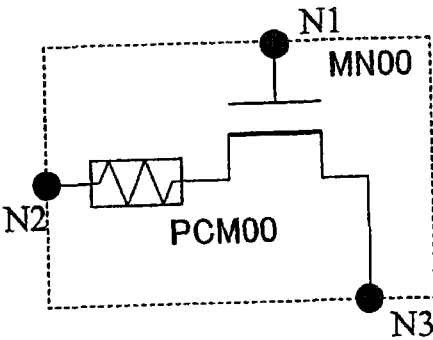


图 7

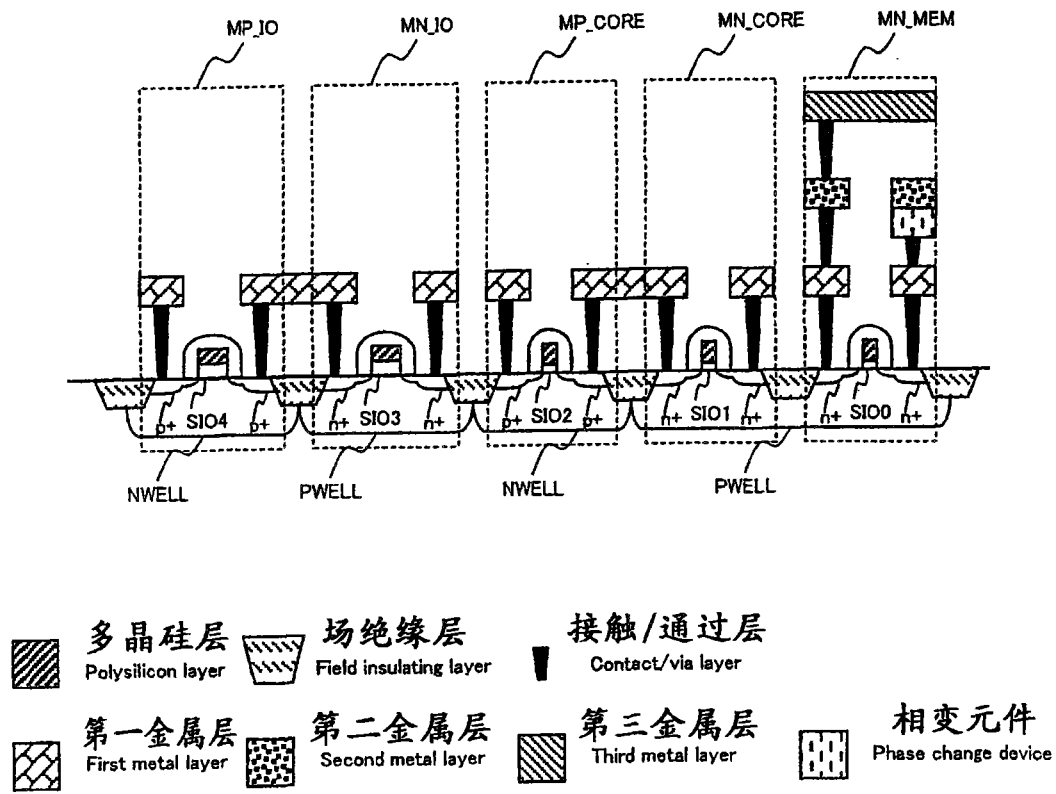


图 8

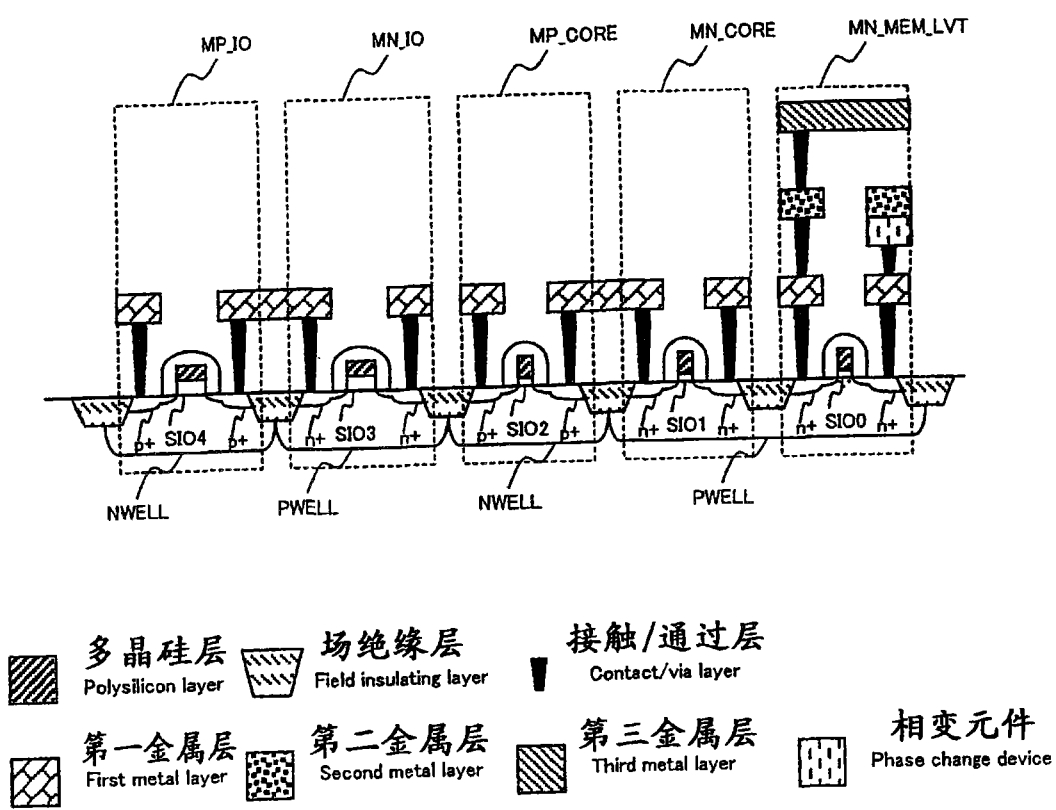


图 9

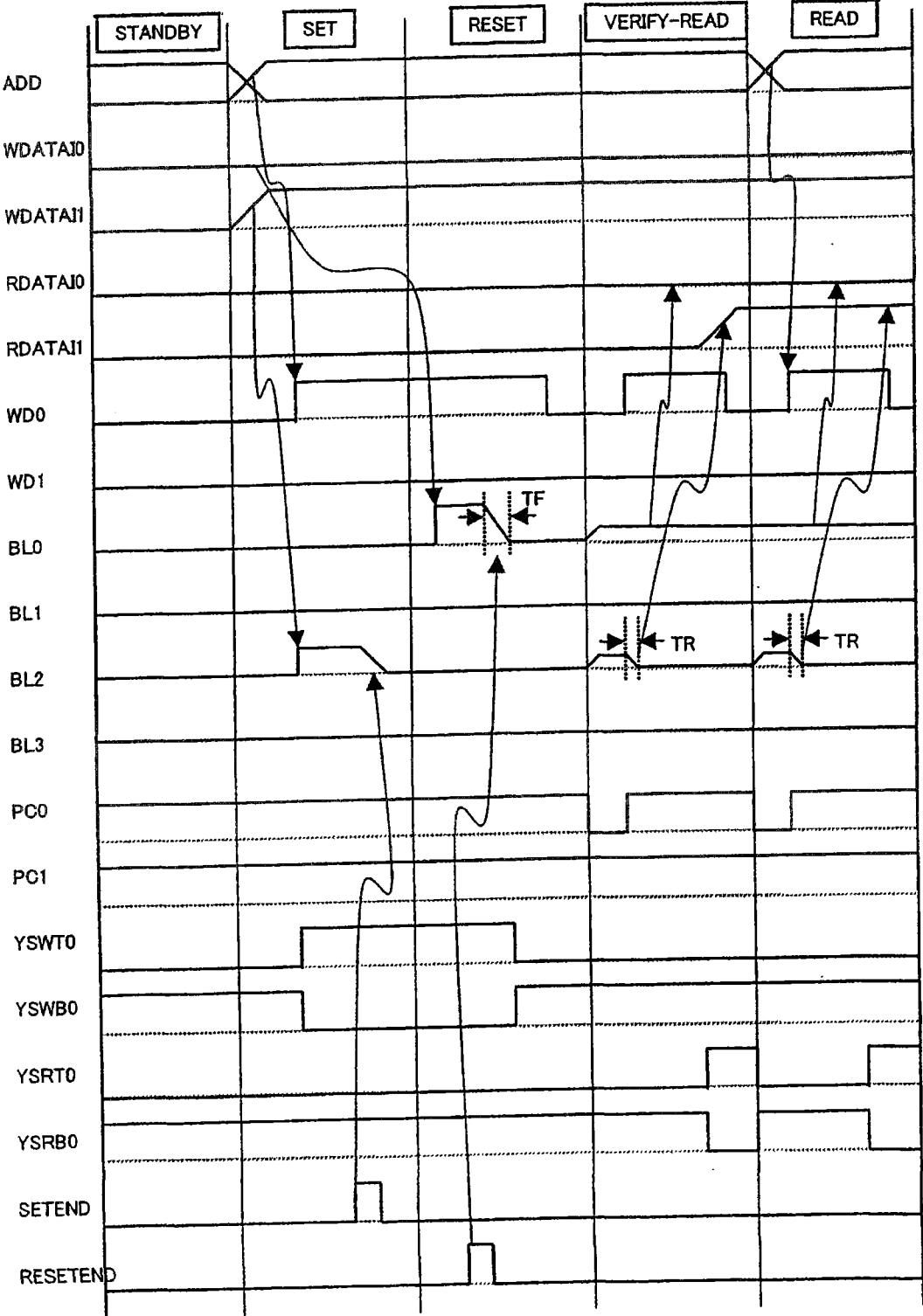


图10

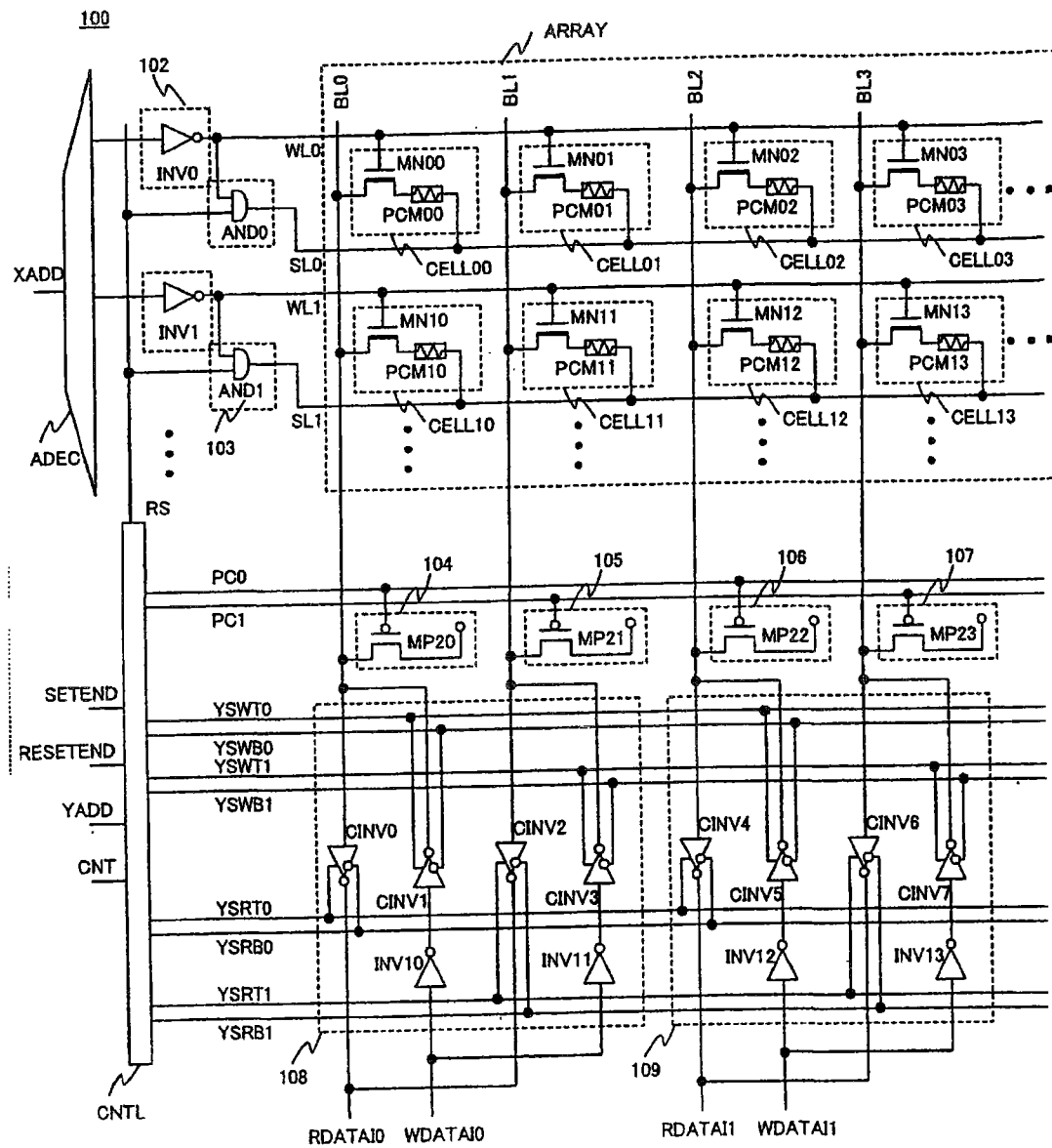


图 11

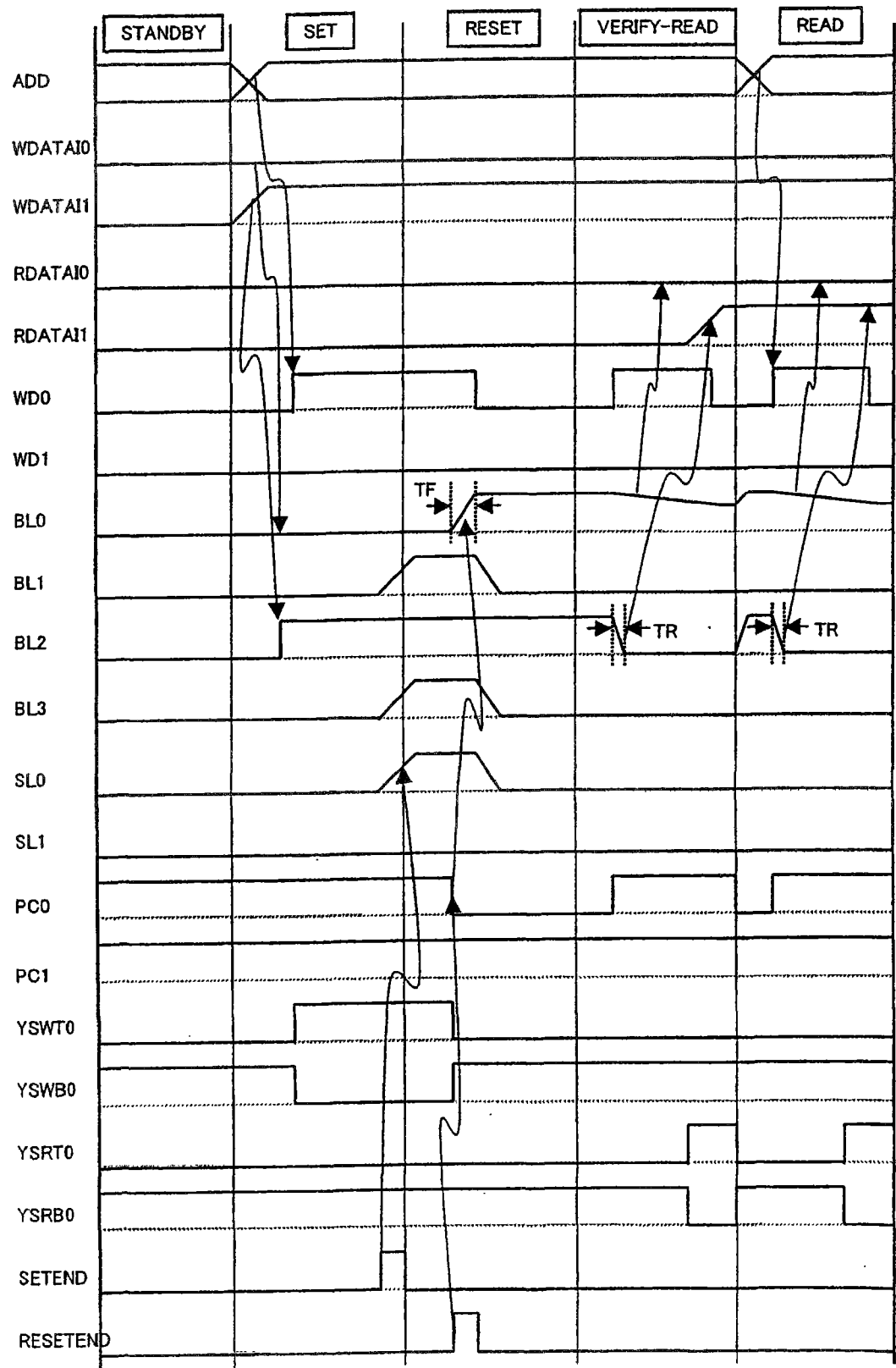


图12

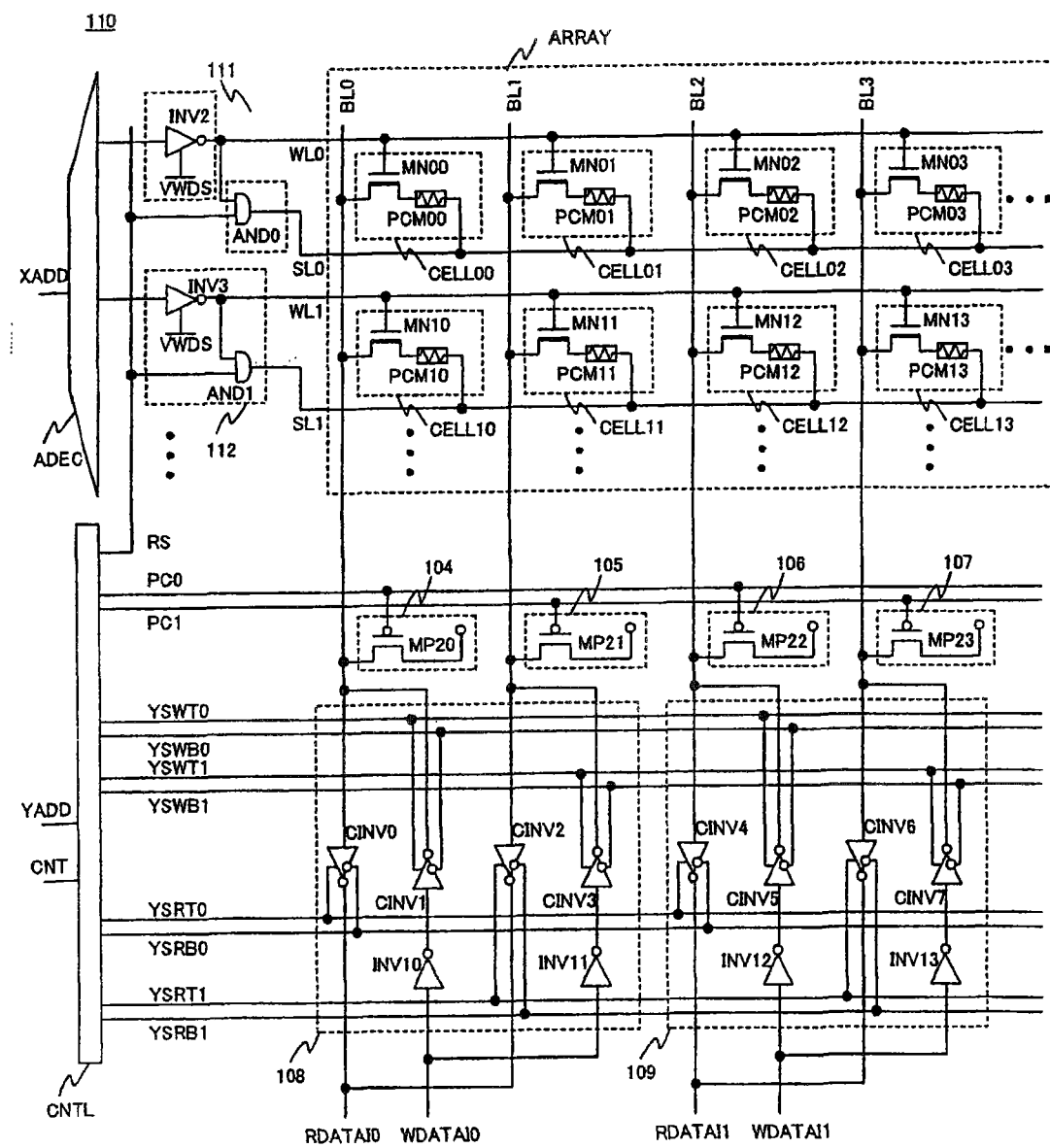


图13

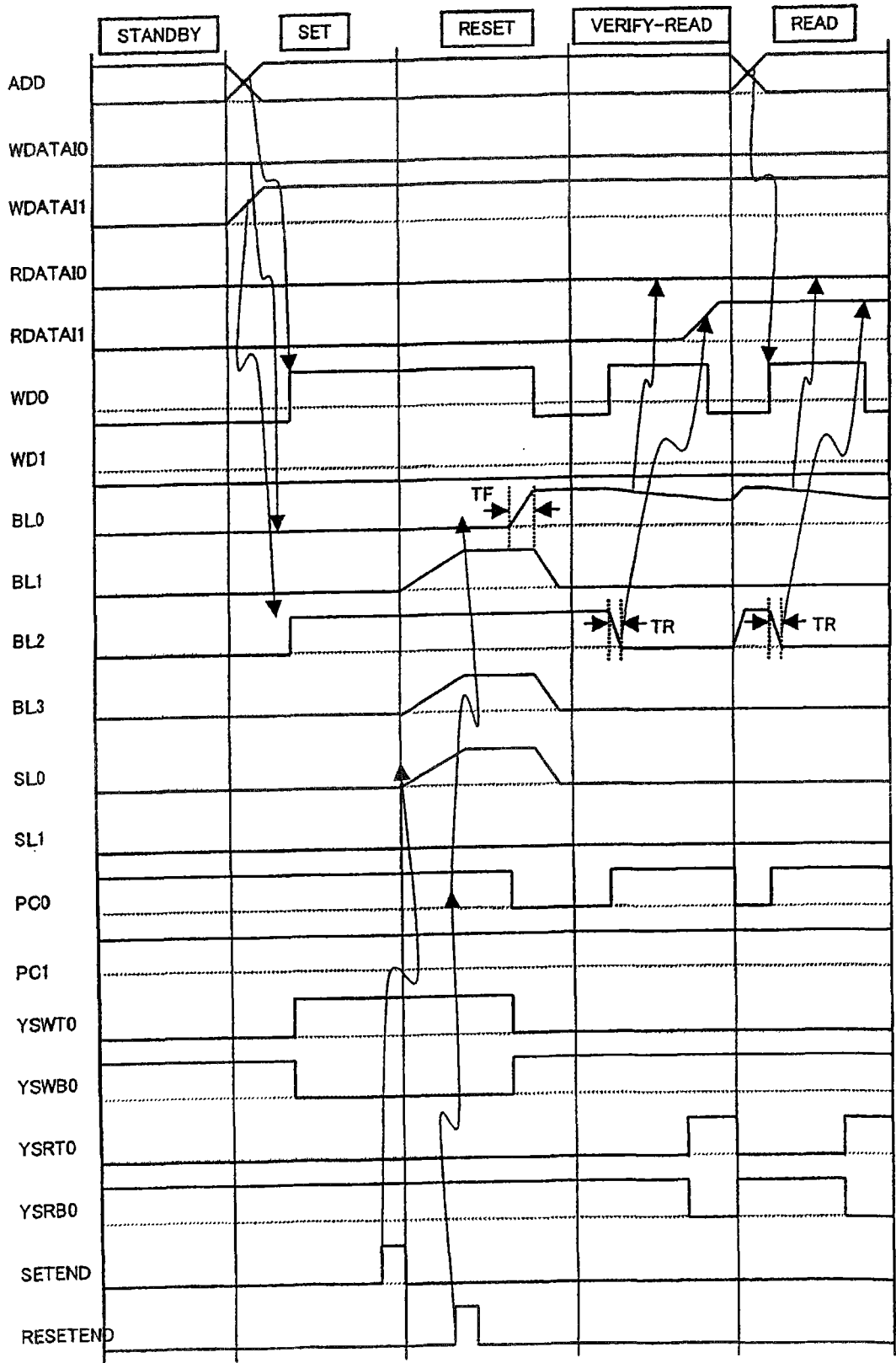


图14

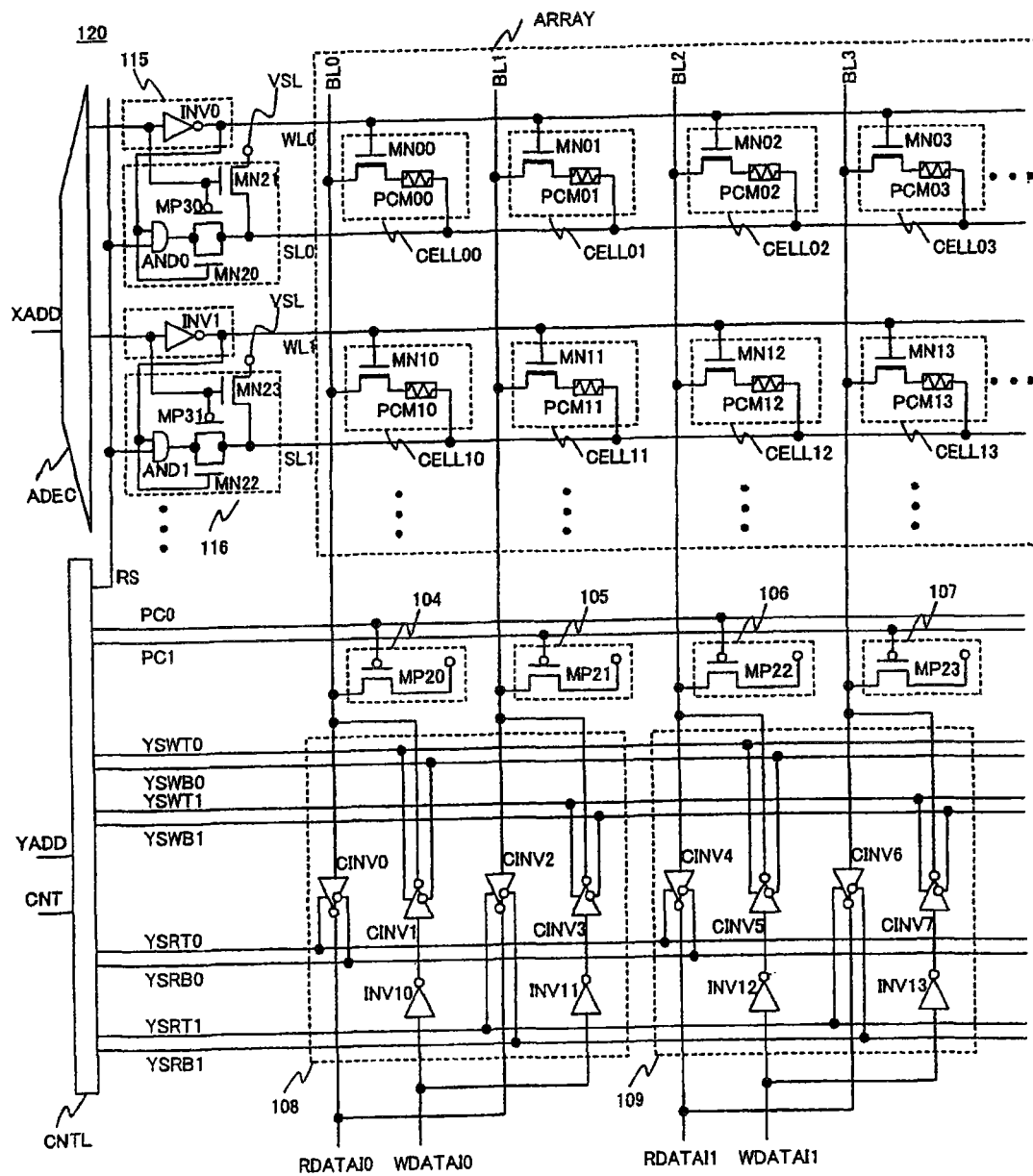


图15

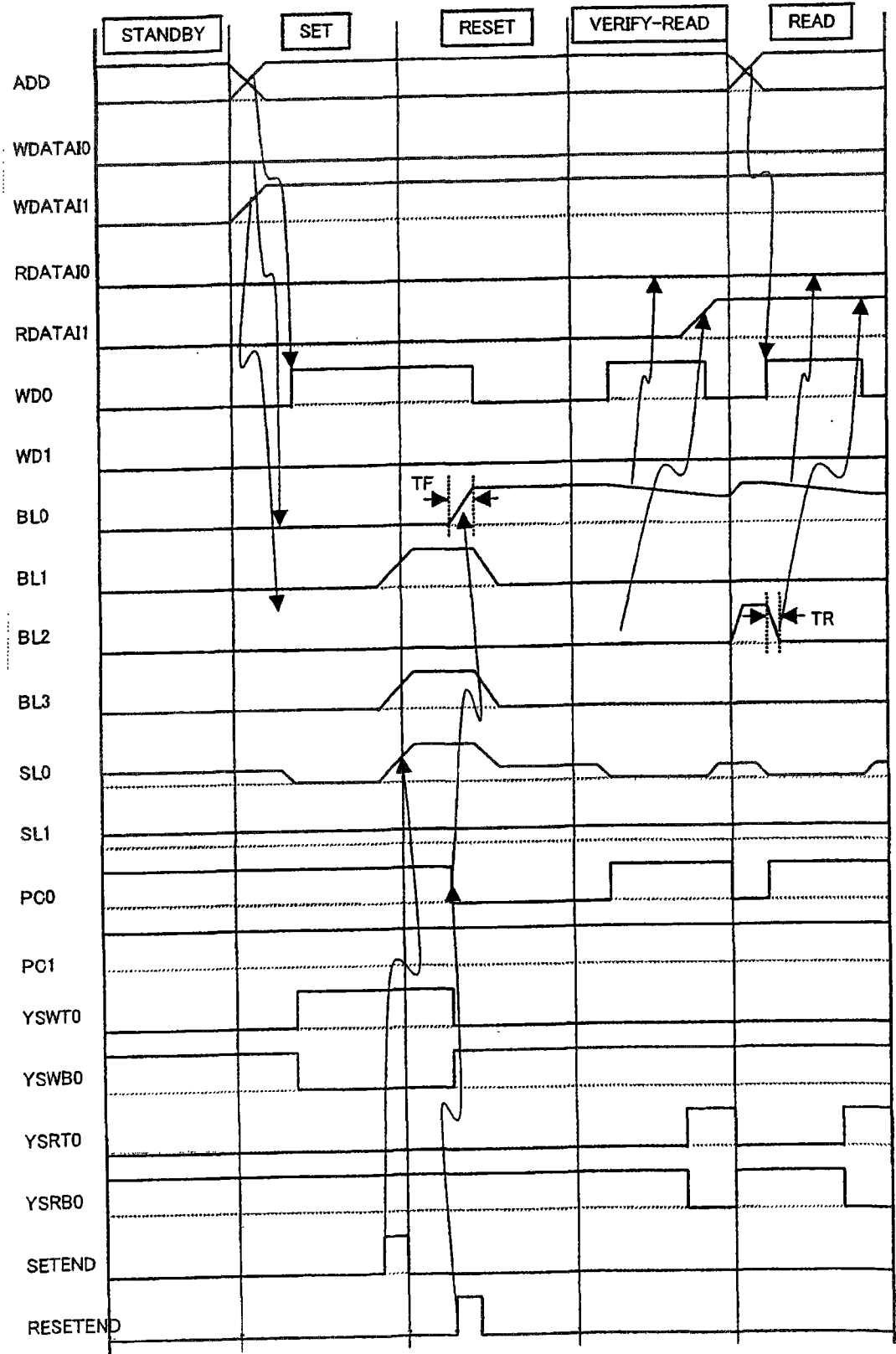


图16

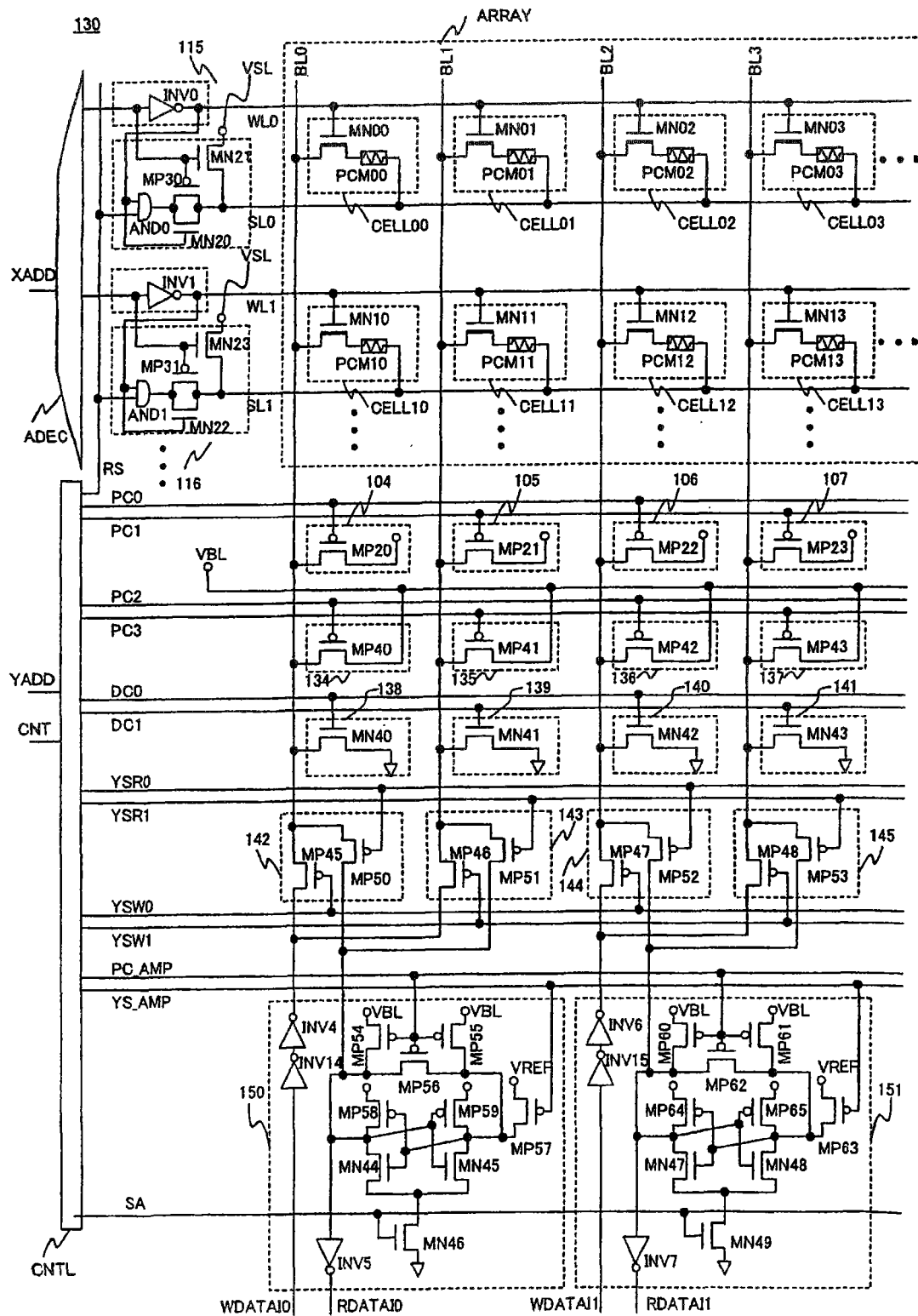


图17

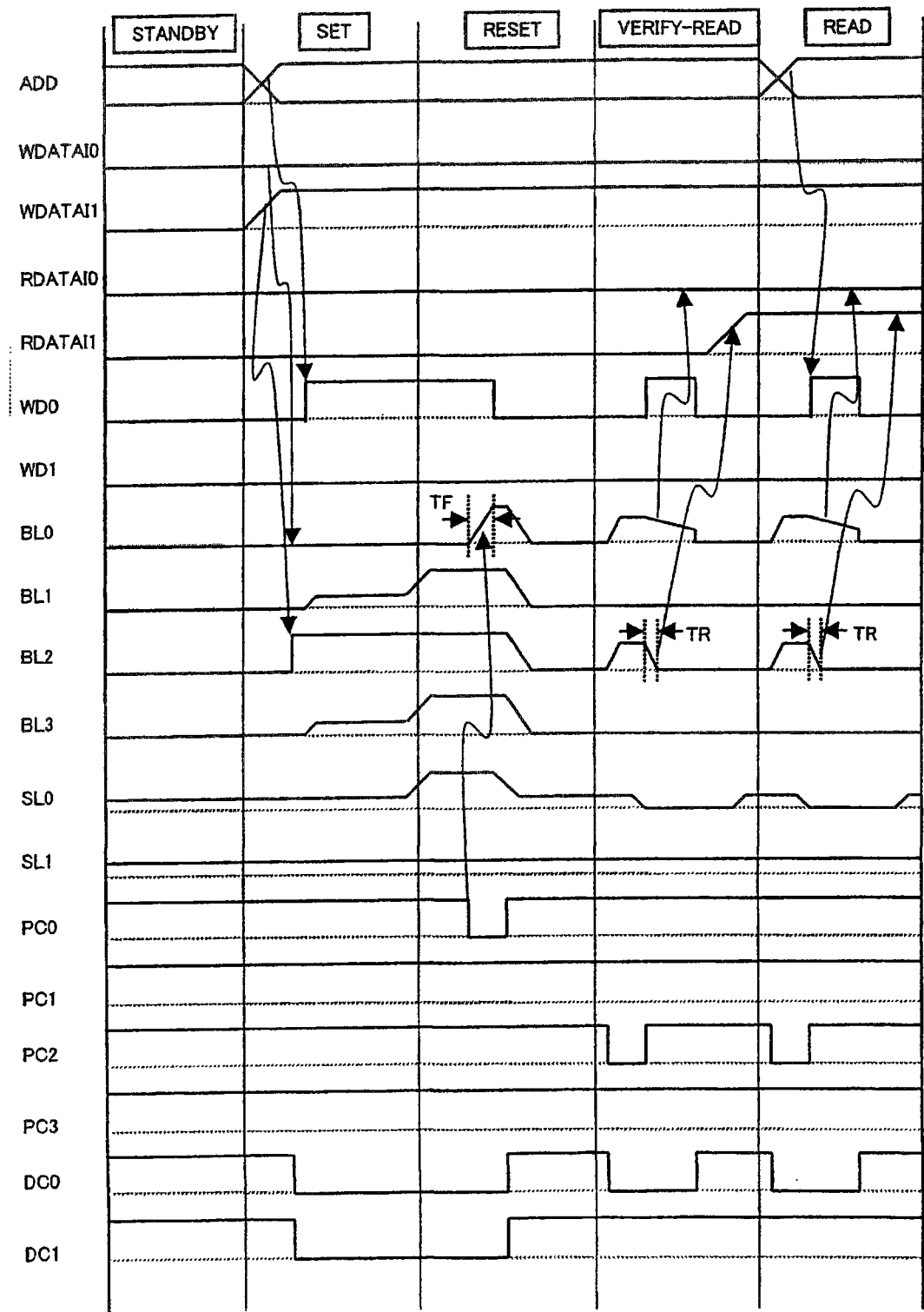


图18

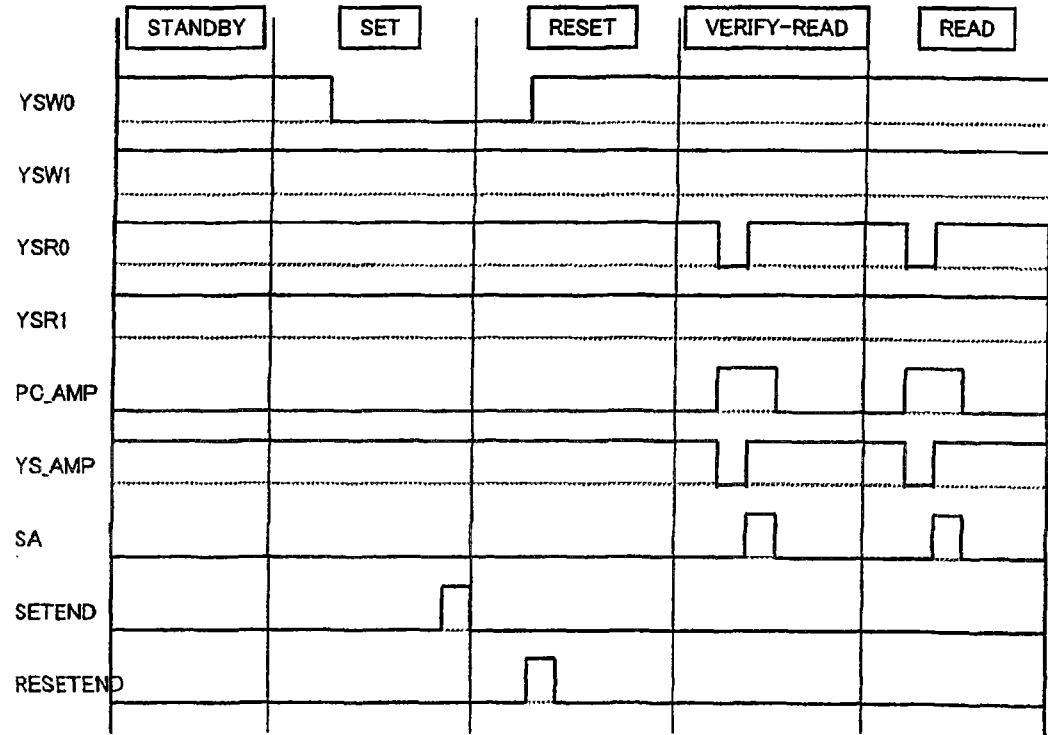


图19

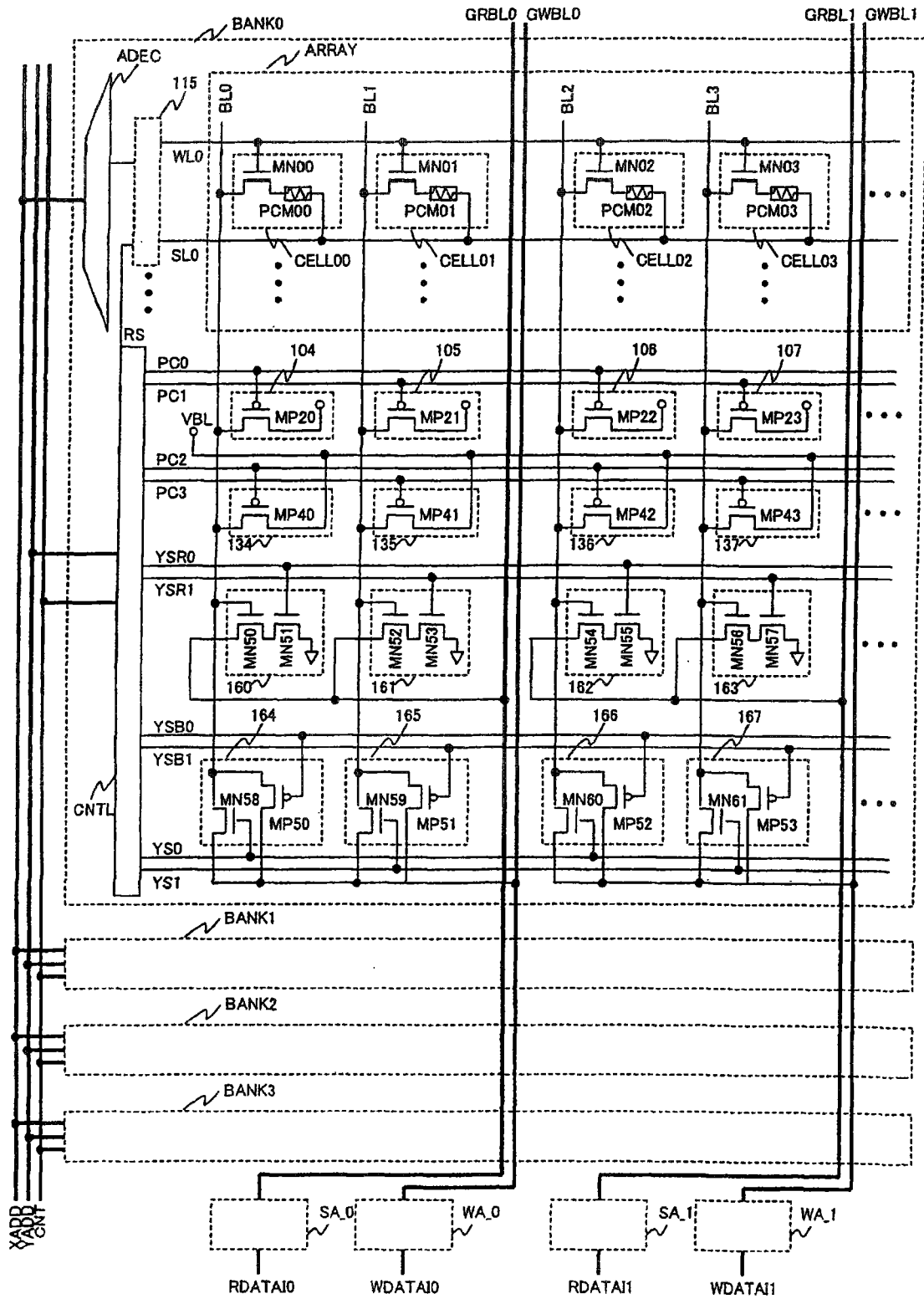


图 20

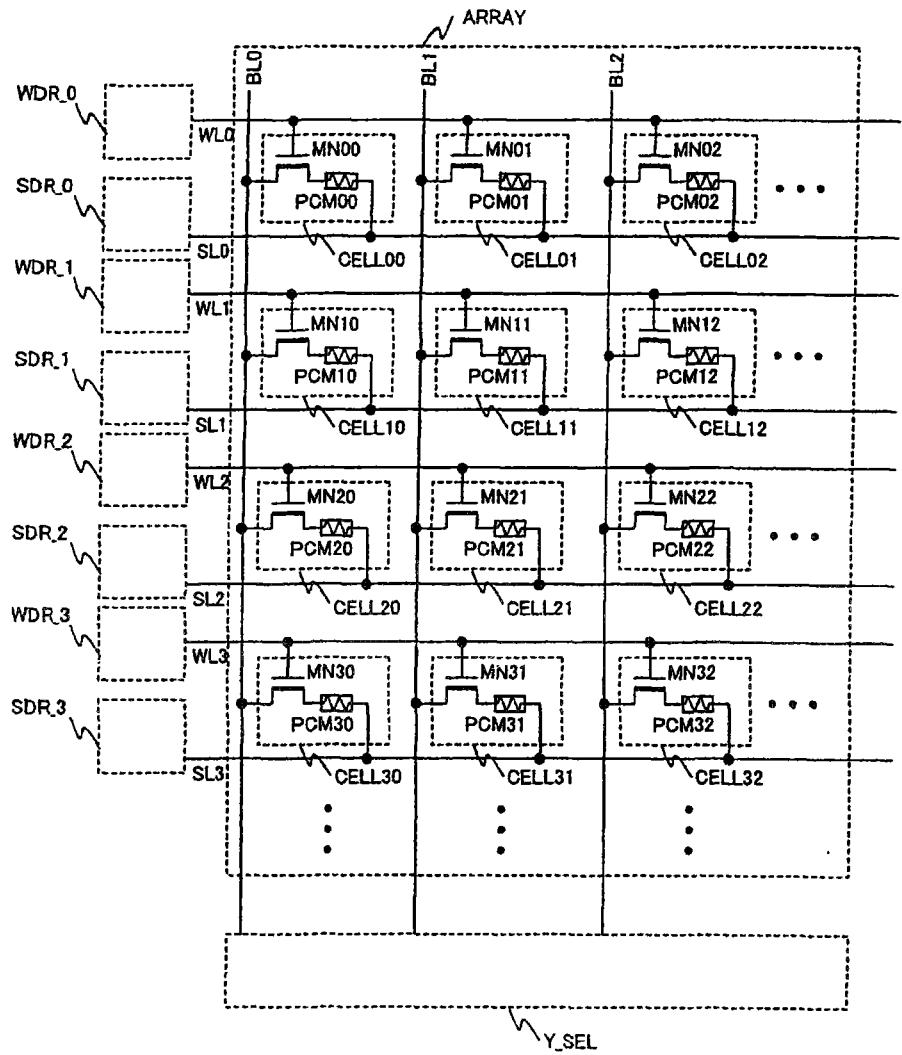


图 21

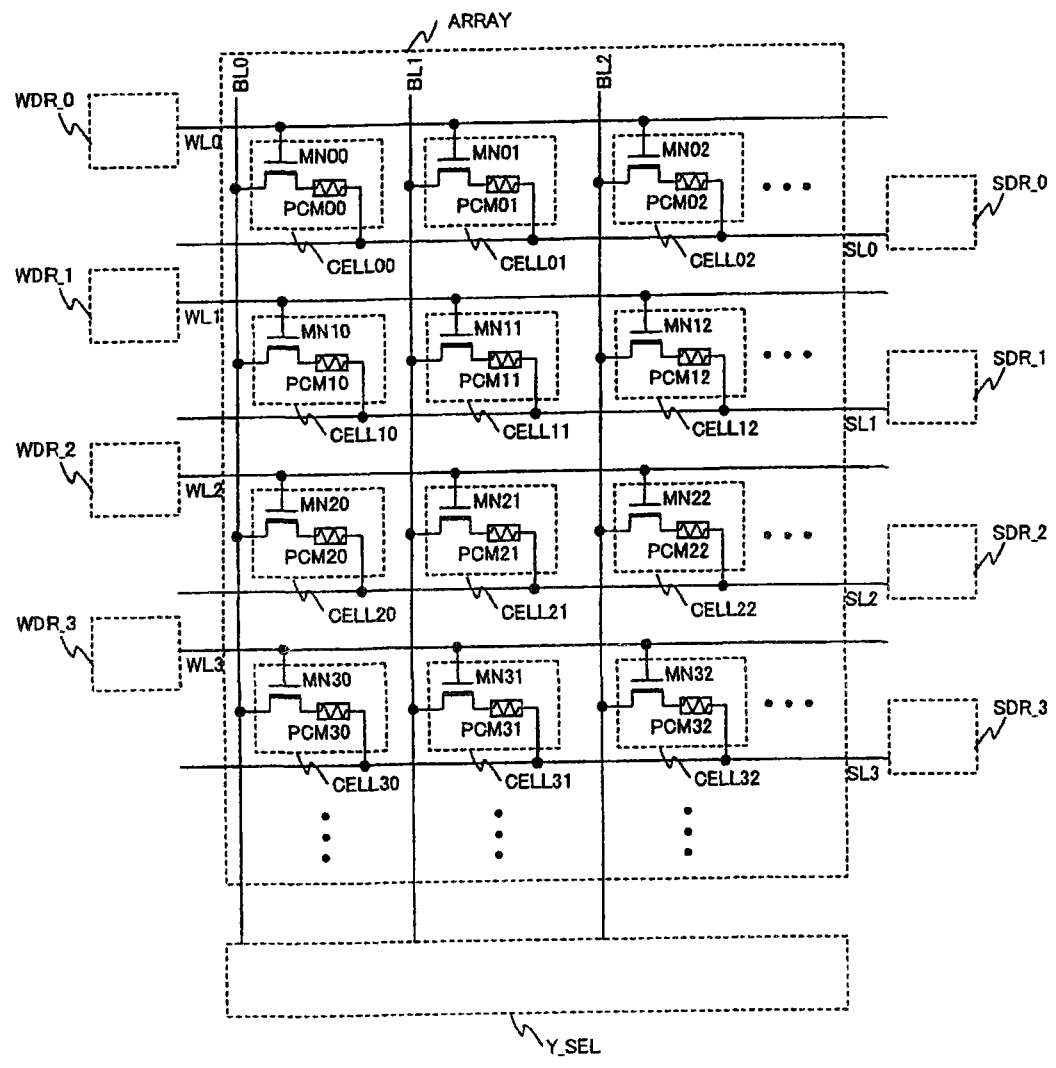


图 22

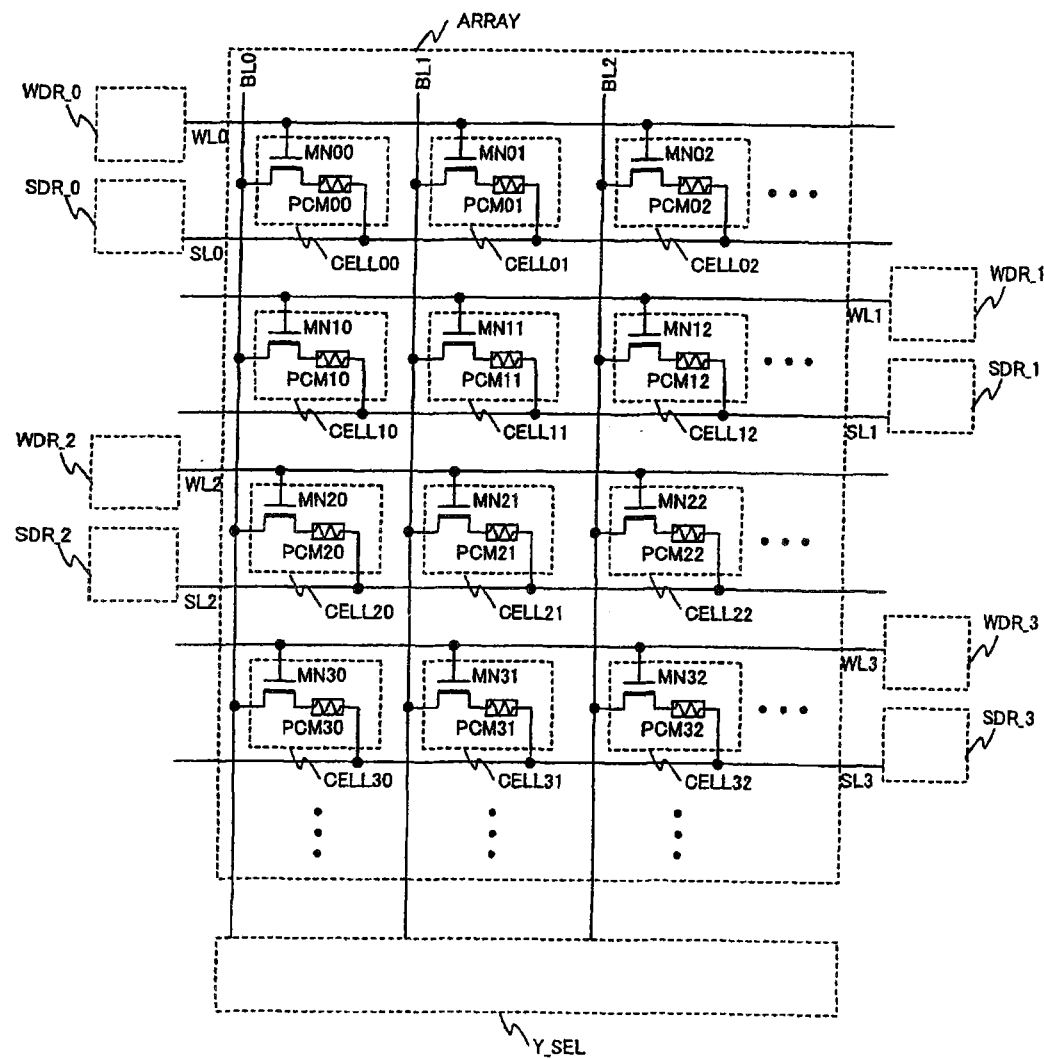


图23

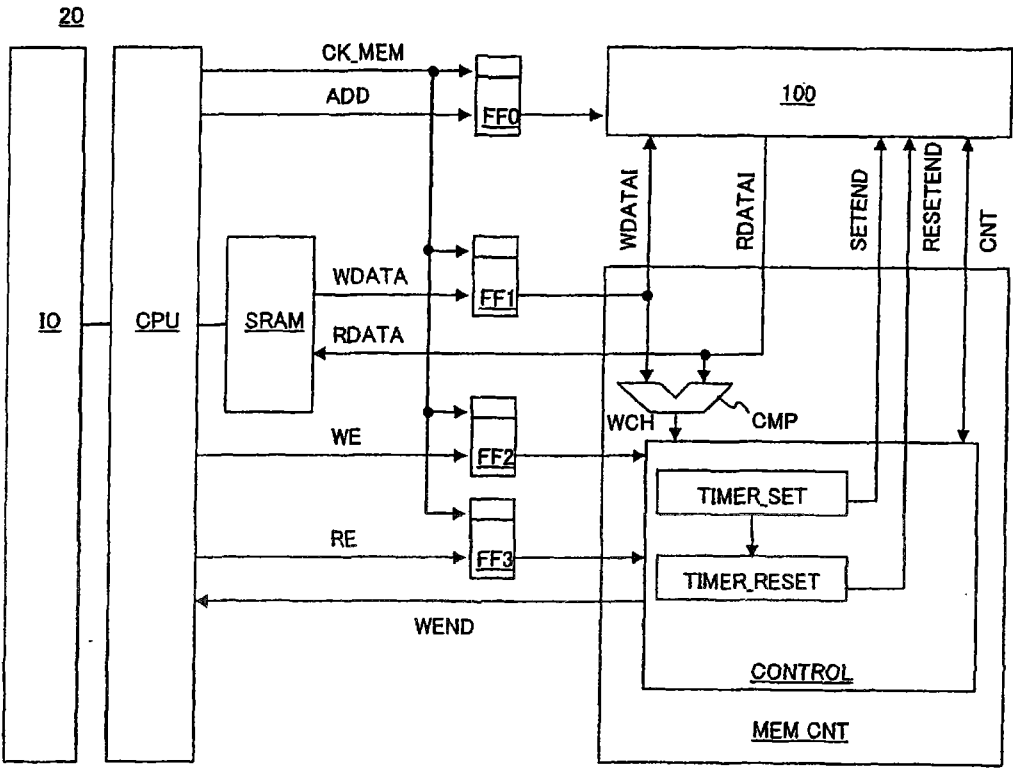


图 24

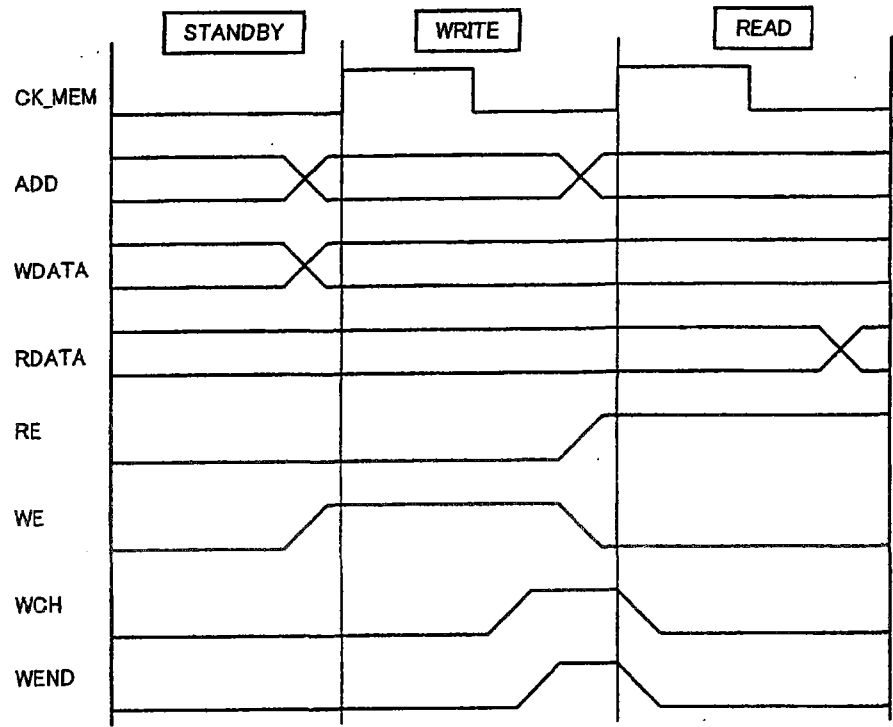


图25

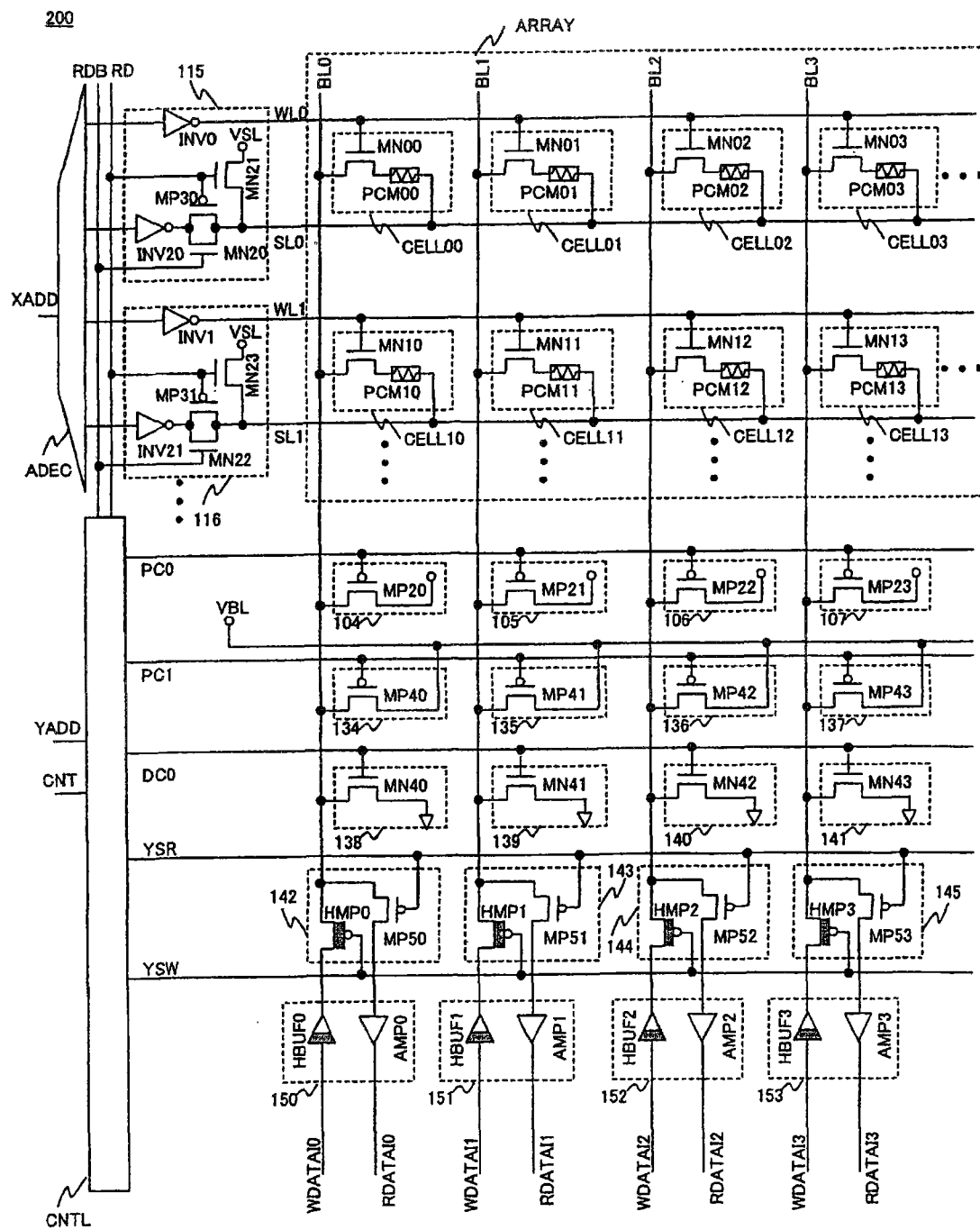


图 26

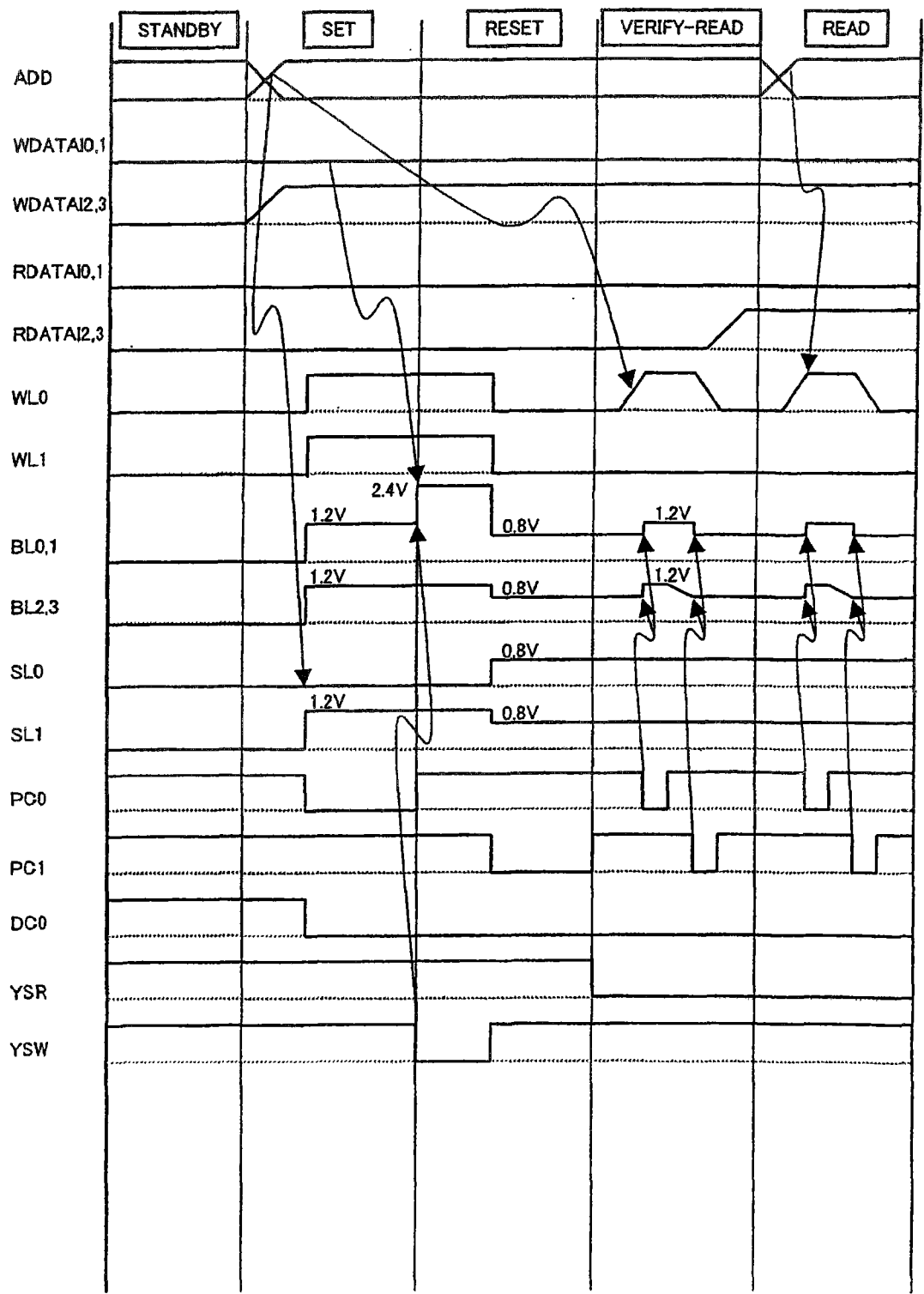


图 27

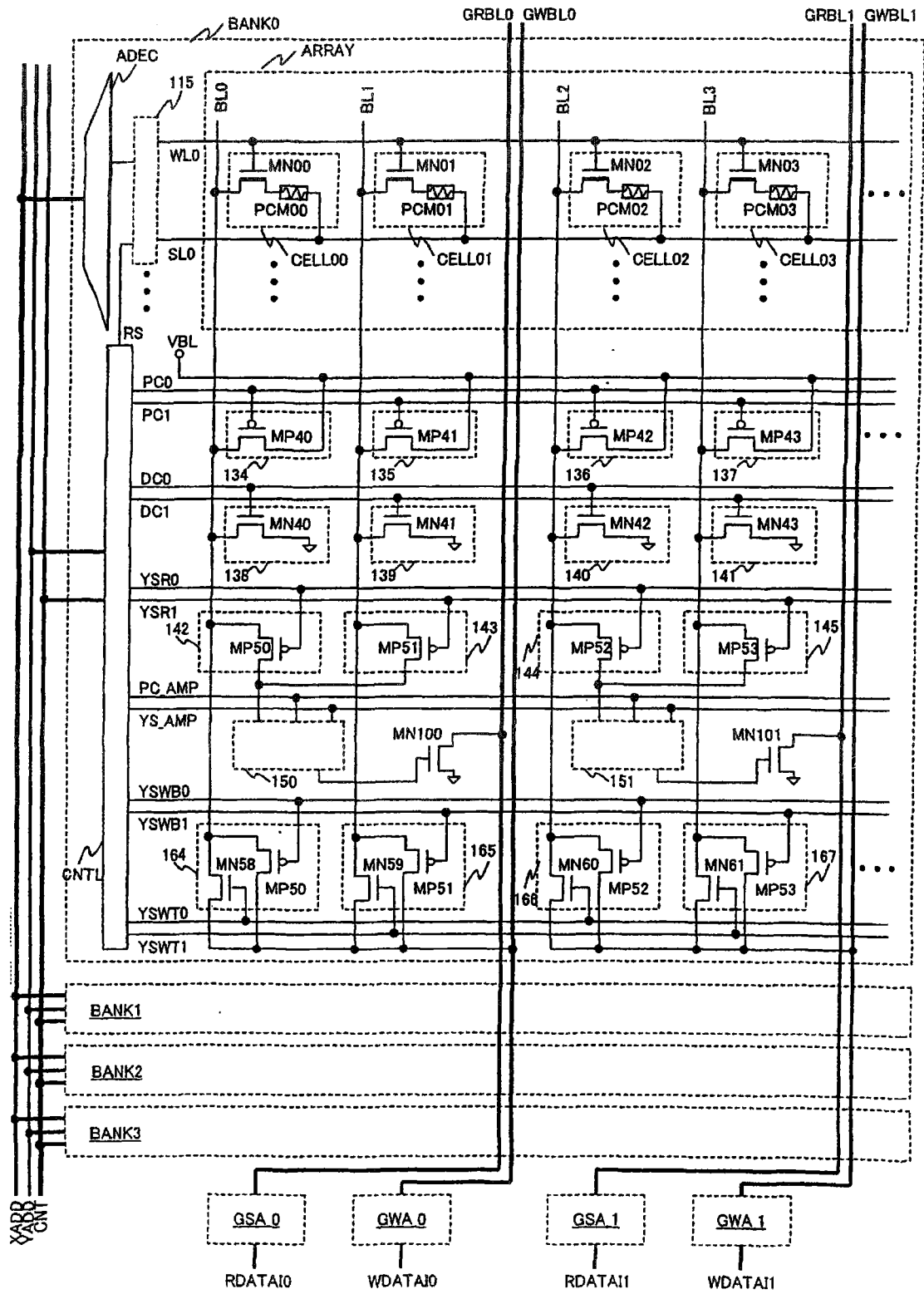


图 28

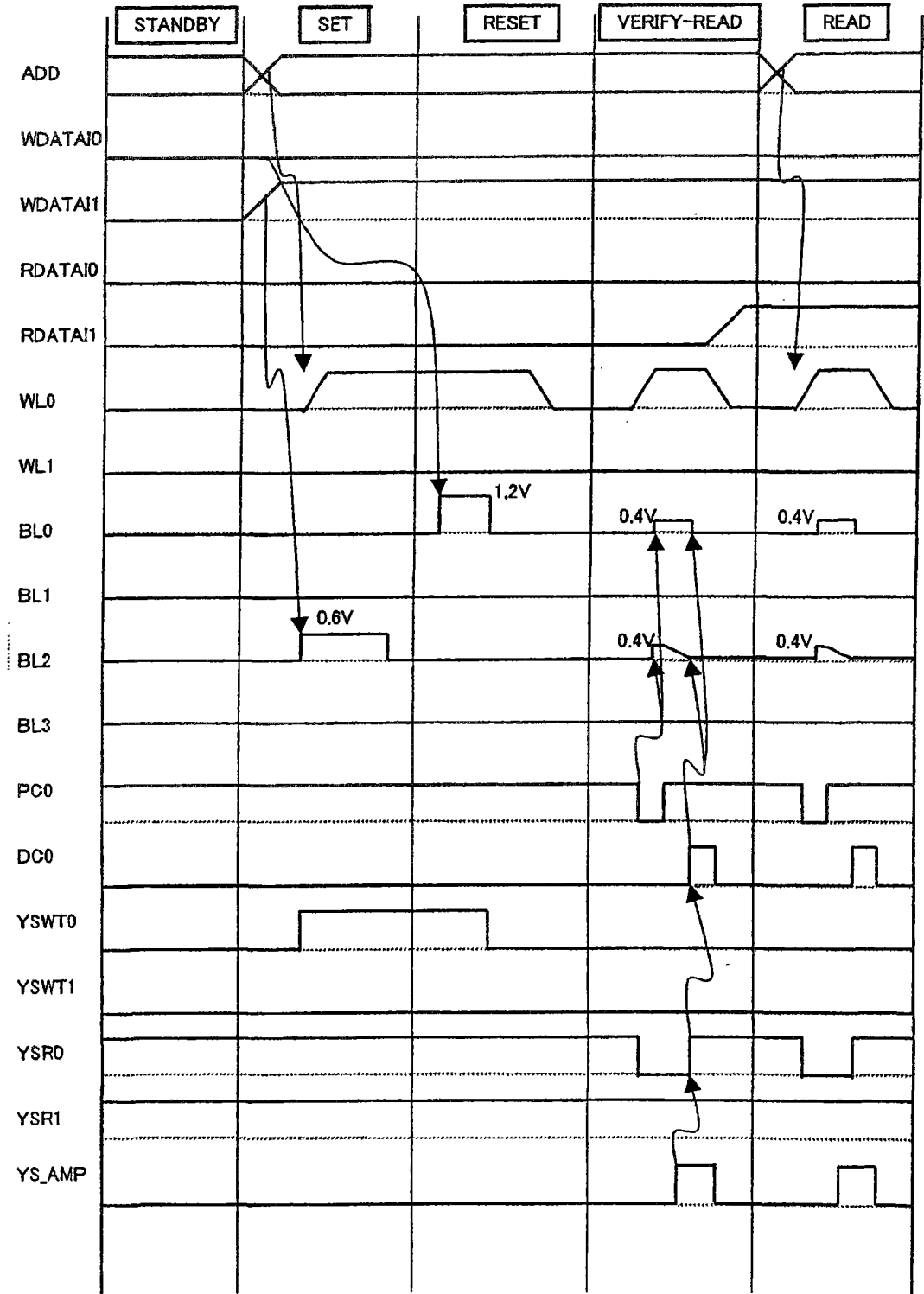


图 29

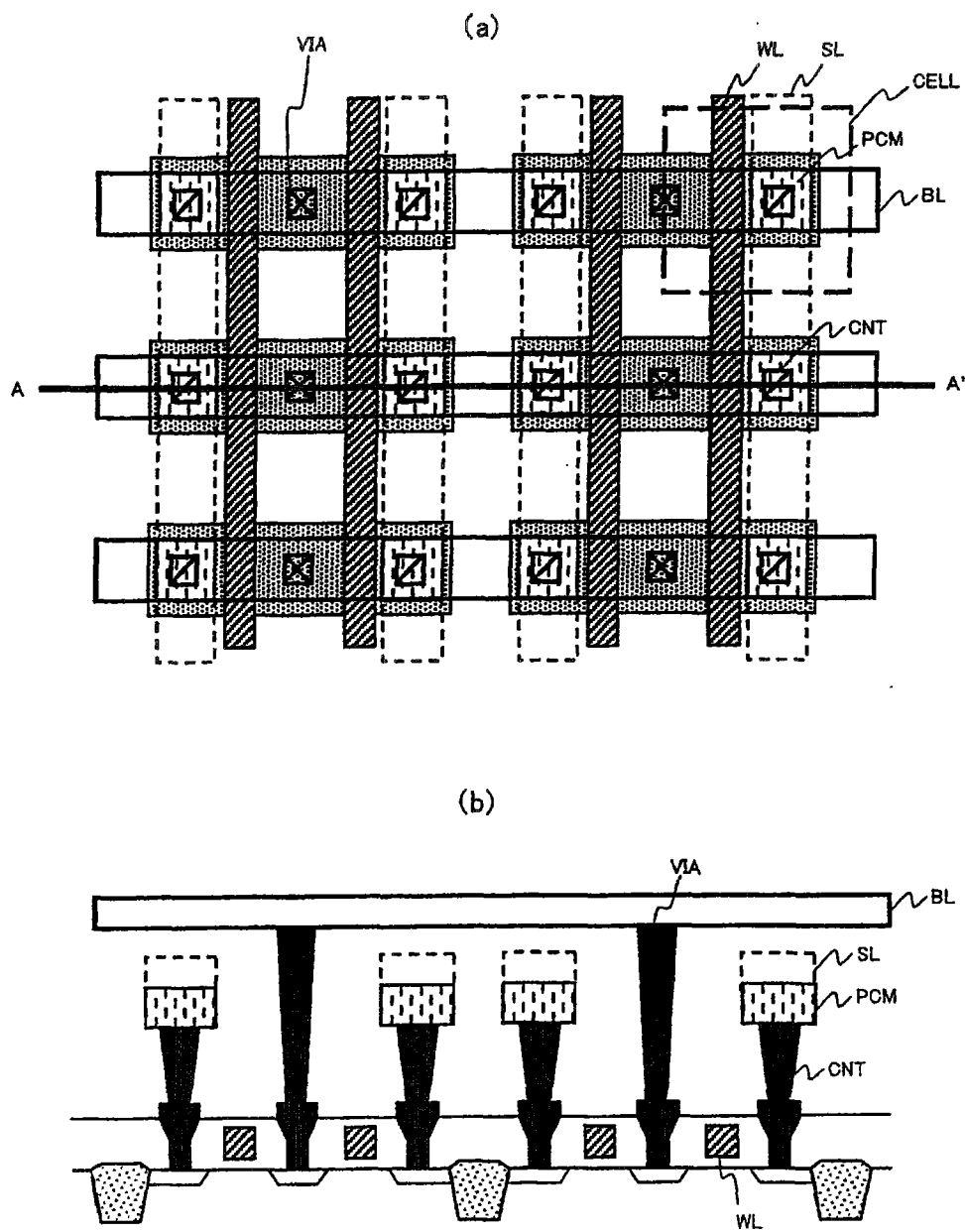


图 30

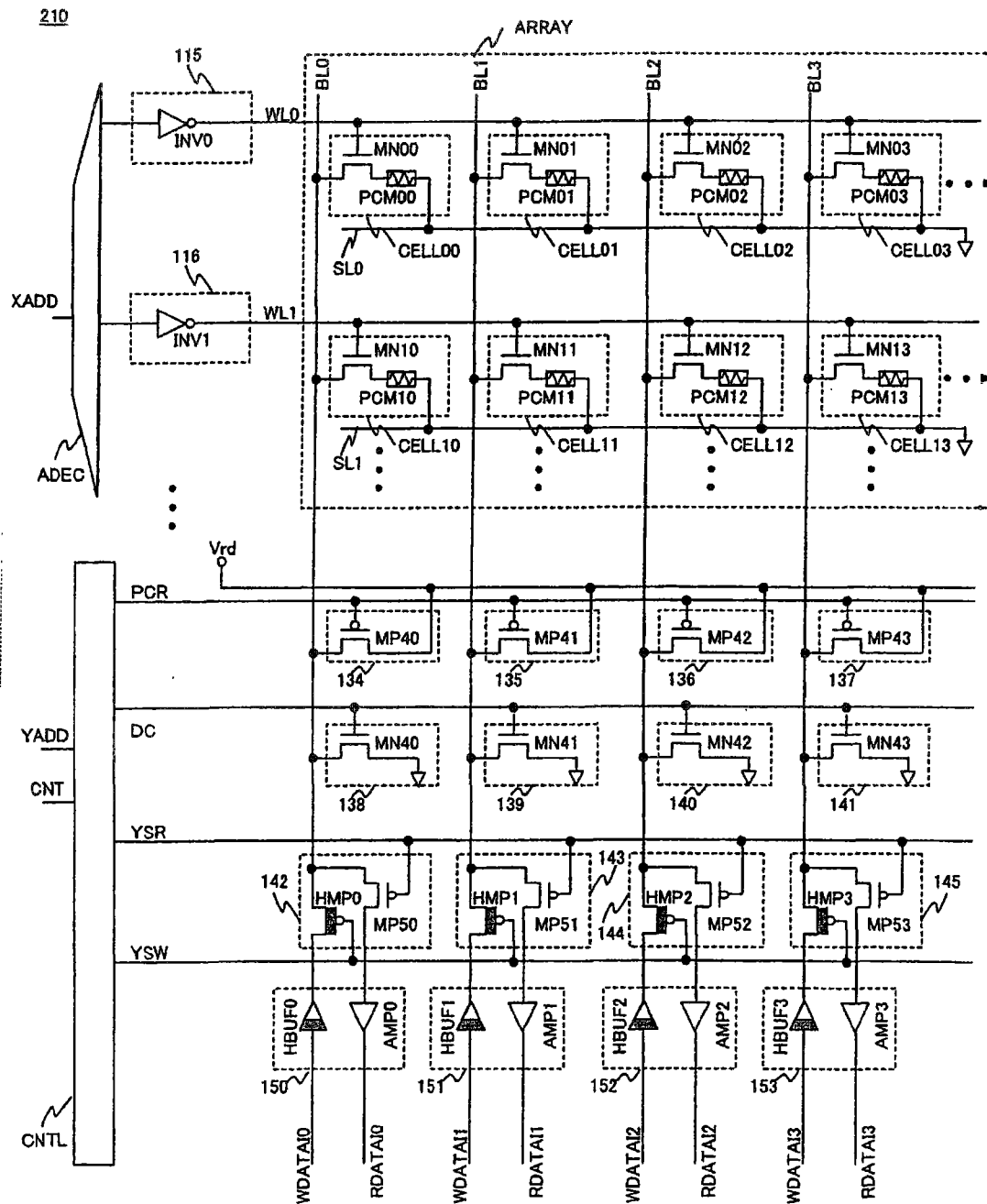


图 31

