

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3587131号

(P3587131)

(45) 発行日 平成16年11月10日(2004.11.10)

(24) 登録日 平成16年8月20日(2004.8.20)

(51) Int. Cl.⁷

H01L 27/146

F I

H01L 27/14

C

請求項の数 15 (全 36 頁)

(21) 出願番号	特願2000-152828 (P2000-152828)	(73) 特許権者	000001443
(22) 出願日	平成12年5月24日 (2000.5.24)		カシオ計算機株式会社
(65) 公開番号	特開2001-332716 (P2001-332716A)		東京都渋谷区本町1丁目6番2号
(43) 公開日	平成13年11月30日 (2001.11.30)	(74) 代理人	100096699
審査請求日	平成15年2月27日 (2003.2.27)		弁理士 鹿嶋 英實
		(72) 発明者	佐々木 誠
			東京都八王子市石川町2951番地の5
			カシオ計算機株式会社
			八王子研究所内
		審査官	栗野 正明

最終頁に続く

(54) 【発明の名称】 フォトセンサアレイおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

励起光が入射される入射有効領域を有する半導体層と、
 前記半導体層の両端側にそれぞれ設けられたソース、ドレイン電極と、
 第1ゲート絶縁膜を介し、前記半導体層の下方に設けられた第1ゲート電極と、
 第2ゲート絶縁膜を介し、前記半導体層の上方に設けられた第1の透明電極層により構成される第2ゲート電極と、
 を各々備え、所定方向に互いに離間して配置された複数の光電変換素子と、
 前記複数の光電変換素子の前記ドレイン電極または前記ソース電極に共通に接続されたソース、ドレイン端子と、
 前記複数の光電変換素子の前記第1ゲート電極に共通に接続された第1ゲート端子と、
 前記複数の光電変換素子の前記第2ゲート電極に共通に接続された第2ゲート端子と、
 を有し、
 前記ソース端子又は前記ドレイン端子又は前記第1ゲート端子は、少なくとも前記第1の透明電極層を有して構成されていることを特徴とするフォトセンサアレイ。

【請求項2】

前記ソース端子又は前記ドレイン端子又は前記第1ゲート端子の最上層が、前記第1の透明電極層により構成されていることを特徴とする請求項1に記載のフォトセンサアレイ。

【請求項3】

前記フォトセンサアレイは、前記複数の光電変換素子の上方に絶縁膜を介して設けられた

アース電極を備え、前記ソース端子又は前記ドレイン端子又は前記第1ゲート端子又は前記第2ゲート端子は、少なくとも前記アース電極を構成する第2の透明電極層を有して構成されていることを特徴とする請求項1記載のフォトセンサアレイ。

【請求項4】

少なくとも、前記ソース、ドレイン電極、前記ソース、ドレイン端子、および、前記ソース、ドレイン電極と前記ソース、ドレイン端子とを接続する配線の下層に、前記半導体層が延在して設けられていることを特徴とする請求項1乃至3のいずれかに記載のフォトセンサアレイ。

【請求項5】

前記複数の光電変換素子は、各々前記ソース、ドレイン端子、前記第1ゲート端子および前記第2ゲート端子を介して、各々ドレインドライバ、第1ゲートドライバおよび第2ゲートドライバに接続されることを特徴とする請求項1乃至4のいずれかに記載のフォトセンサアレイ。

10

【請求項6】

前記各光電変換素子の前記半導体層は、複数に分離され、前記複数の半導体層には、それぞれ前記ソース、ドレイン電極が設けられ、前記ソース電極は互いに接続され、前記ドレイン電極は互いに接続されていることを特徴とする請求項1乃至5のいずれかに記載のフォトセンサアレイ。

【請求項7】

前記半導体層における前記入射有効領域は複数あり、前記半導体層のチャンネル長方向に並んで配列されていることを特徴とする請求項1記載のフォトセンサアレイ。

20

【請求項8】

前記ソース、ドレイン電極は、励起光に対して不透明であることを特徴とする請求項1乃至7のいずれかに記載のフォトセンサアレイ。

【請求項9】

前記複数の光電変換素子の各々の前記複数の半導体層は、半導体層のチャンネル長方向に並んで配列されることを特徴とする請求項6記載のフォトセンサアレイ。

【請求項10】

前記複数の光電変換素子は、デルタ配列されていることを特徴とする請求項1乃至9のいずれかに記載のフォトセンサアレイ。

30

【請求項11】

絶縁性基板上に、第1ゲート電極と、第1ゲート端子部に該第1ゲート電極と接続する第1ゲートベースパッドと、を形成する工程と、少なくとも前記第1ゲート電極上および前記第1ゲート端子部に、第1ゲート絶縁膜を形成した後、前記第1ゲート電極の上方に所定の形状を有し、励起光によりキャリアを生成する半導体層を形成する工程と、前記第1ゲート端子部に前記第1ゲートベースパッドを露出する第1開口部を形成する工程と、前記半導体層の両端側にそれぞれ設けられたソース、ドレイン電極と、ドレイン端子部に該ドレイン電極と接続するドレインベースパッドと、前記第1開口部を介して前記第1ゲート端子部に第1ゲート端子下層を形成する工程と、少なくとも前記第1ゲート端子下層、前記ソース、ドレイン電極および前記ドレイン端子部上に、第2ゲート絶縁膜を形成した後、前記第1ゲート端子下層および前記ドレインベースパッドを露出する第2開口部を形成する工程と、前記半導体層の上方に所定の形状を有する第2ゲート電極と、第2ゲート端子部に該第2ゲート電極と接続する第2ゲートベースパッドと、前記第2開口部を介して第1ゲート端子下層と接続する第1ゲート端子上層又は前記ドレインベースパッドと接続するドレイン端子上層と、を形成する工程と、を有していることを特徴とするフォトセンサアレイの製造方法。

40

【請求項12】

少なくとも前記第1ゲート端子上層又は前記ドレイン端子上層は、前記第2ゲート電極と同一の透明電極層により構成されていることを特徴とする請求項11記載のフォトセンサアレイの製造方法。

50

【請求項 1 3】

少なくとも前記第 1 ゲート端子部、前記ドレイン端子部、前記第 2 ゲート電極および第 2 ゲート端子部上に、保護絶縁膜を形成した後、前記第 1 ゲート端子部、前記ドレイン端子部および前記第 2 ゲート端子部を露出する第 3 開口部を形成する工程と、前記保護絶縁膜上に、所定の形状を有するアース電極と、前記第 3 開口部を介して、前記第 1 ゲート端子部に第 1 ゲート端子最上層、又は前記ドレイン端子部にドレイン端子最上層、又は第 2 ゲート端子部に第 2 ゲート端子上層と、を形成する工程を有することを特徴とする請求項 1 1 または 1 2 記載のフォトセンサアレイの製造方法。

【請求項 1 4】

前記第 1 ゲート端子最上層、又は前記ドレイン端子最上層又は前記第 2 ゲート端子上層は、前記アース電極と同一の透明電極層により構成されていることを特徴とする請求項 1 3 記載のフォトセンサアレイの製造方法。

10

【請求項 1 5】

少なくとも前記ソース、ドレイン電極、前記ソース、ドレイン端子部および前記ソース、ドレイン電極と前記ソース、ドレイン端子部を接続する配線層の下方に、前記半導体層が延在して設けられていることを特徴とする請求項 1 1 乃至 1 4 のいずれかに記載のフォトセンサアレイの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、フォトセンサアレイおよびその製造方法に関し、特に、共通の半導体層に対して上方および下方に各々トップゲート電極およびボトムゲート電極を備えたダブルゲート構造を有する薄膜トランジスタによる光電変換素子（フォトセンサ）を 2 次元配列して構成されるフォトセンサアレイ、および、その製造方法に関する。

【0002】

【従来の技術】

従来、印刷物や写真、あるいは、指紋等の微細な凹凸の形状等を読み取る 2 次元画像の読取装置として、光電変換素子（フォトセンサ）をマトリクス状に配列して構成されるフォトセンサアレイを有する構造のものがある。このようなフォトセンサアレイとして、一般に、CCD（Charge Coupled Device）等の固体撮像デバイスが用いられている。

30

【0003】

CCDは、周知の通り、フォトダイオードやトランジスタ等のフォトセンサをマトリクス状に配列した構成を有し、各フォトセンサの受光部に照射された光量に対応して発生する電子 - 正孔対の量（電荷量）を、水平走査回路および垂直走査回路により検出し、照射光の輝度を検知している。

このような CCD を用いたフォトセンサシステムにおいては、走査された各フォトセンサを選択状態にするための選択トランジスタを個別に設ける必要があるため、画素数が増大するにしたがってシステム自体が大型化するという問題を有している。

【0004】

40

そこで、近年、このような問題を解決するための構成として、フォトセンサ自体にフォトセンス機能と選択トランジスタ機能とを持たせた、いわゆる、ダブルゲート構造を有する薄膜トランジスタ（以下、ダブルゲート型フォトセンサという）を画像読取装置に適用して、システムの小型化、および、画素の高密度化を図る試みがなされている。

【0005】

このようなフォトセンサを用いた画像読取装置は、概略、ガラス基板の一面側に、共通の半導体層に対して上方（上層）および下方（下層）に各々トップゲート電極およびボトムゲート電極を備えたダブルゲート型フォトセンサをマトリクス状に形成して、フォトセンサアレイを構成し、例えば、ガラス基板の背面側に設けられた光源から照射光を照射して、フォトセンサアレイ上方の検知面に載置された指から指紋等の 2 次元画像の画像パター

50

ンに応じた反射光を、ダブルゲート型フォトセンサにより明暗情報として検出し、2次元画像を読み取るものである。

【0006】

ここで、フォトセンサアレイによる画像の読み取り動作は、リセットパルスの印加による初期化終了時から読み出しパルスが印加されるまでの光蓄積期間において、各ダブルゲート型フォトセンサ毎に蓄積されるキャリア（正孔）の蓄積量に基づいて、明暗情報が検出される。なお、ダブルゲート型フォトセンサ、および、フォトセンサアレイの具体的な構成および動作については、後述する。

【0007】

【発明が解決しようとする課題】

ところで、上述したような2次元画像の読取装置に適用されるフォトセンサシステムにおいては、フォトセンサがマトリクス状に配列されるアレイ領域の周囲にパッド部が配置され、このパッド部を介して、フォトセンサアレイを駆動するためのゲートドライバやドレインドライバ等の周辺回路に接続されている。ここで、フォトセンサアレイを構成するダブルゲート型フォトセンサは、上述したように、ガラス基板上に設けられた共通の半導体層に対して上層および下層に各々トップゲート電極およびボトムゲート電極を備えた構成を有しているため、その断面構造は、必然的に積層構造となるうえ、アレイ領域とパッド部における断面構造を異ならせたり、個別の製造プロセスを適用すると、導電層および絶縁層の成膜、パターニング工程が著しく増加し、製造コストの上昇、製造時間の増大を招くという問題を有していた。

【0008】

また、フォトセンサアレイの積層構造において、比較的下層に形成される導電層と、比較的上層に形成される導電層とでは、周辺回路との接続を行うパッド部における段差に差異が生じ、周辺回路との接合性に劣化を生じやすくなるという問題を有していた。さらに、比較的上層に形成される導電層は、下層の導電層等による段差の影響を受けやすくなり、断線の危険性が高くなるという問題も有していた。

【0009】

そこで、本発明は、上述した問題点に鑑み、製造プロセスを削減しつつ、フォトセンサアレイと周辺回路との接合性の改善、導電層の断線の抑制を図ることができるフォトセンサアレイの構造と、その製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

請求項1記載のフォトセンサアレイは、励起光が入射される入射有効領域を有する半導体層と、前記半導体層の両端側にそれぞれ設けられたソース、ドレイン電極と、第1ゲート絶縁膜を介し、前記半導体層の下方に設けられた第1ゲート電極と、第2ゲート絶縁膜を介し、前記半導体層の上方に設けられた第1の透明電極層により構成される第2ゲート電極と、を各々備え、所定方向に互いに離間して配置された複数の光電変換素子と、前記複数の光電変換素子の前記ドレイン電極または前記ソース電極に共通に接続されたソース、ドレイン端子と、前記複数の光電変換素子の前記第1ゲート電極に共通に接続された第1ゲート端子と、前記複数の光電変換素子の前記第2ゲート電極に共通に接続された第2ゲート端子と、を有し、前記ソース端子又は前記ドレイン端子又は前記第1ゲート端子は、少なくとも前記第1の透明電極層を有して構成されていることを特徴とする。

【0011】

請求項1記載の発明によれば、ソース、ドレイン端子、第1ゲート端子のいずれかが、前記第2ゲート電極を構成する透明電極層を含む積層構造を有しているため、各端子の構成を厚く形成することができるのでシート抵抗を低くし、また端子の形状不良を抑制しつつ、周辺回路との良好な電気的接続状態を実現することができる。特に、透明電極層をITOとすると、ITO以外の金属端子に比べ周辺回路との接合性を向上することができる。

【0012】

また、請求項2または3記載の発明によれば、ソース、ドレイン端子、第1ゲート端子お

10

20

30

40

50

よび第2ゲート端子のいずれかは、構成する積層構造のうち、少なくとも最上層が、透明電極層により構成されているものであればよい。これにより、半導体層に対する励起光の入射側に形成される電極層と同一の材料かつ同一の工程を用いて、各端子を積層形成することができる。

ここで、光電変換素子の最上層に形成される透明電極層に、所定の電位（接地電位）を印加することにより、画像読み取り時に被写体に帯電した電荷を放電することができ、光電変換素子の静電破壊や動作不良を防止することができる。

【0013】

また、少なくとも、ソース、ドレイン電極、ソース、ドレイン端子およびソース、ドレイン配線の下層に、半導体層が延在して設けられているものであってもよく、これにより、各端子部の積層構造をより厚く形成することができ、端子の形状不良を一層抑制して、周辺回路との接合性をさらに向上させることができるとともに、半導体層よりも上層に設けられる絶縁層や第2ゲート電極等の導電層に生じる段差を緩和することができ、絶縁特性や信号伝達特性の劣化等を抑制することができる。

10

また、上記構成を有する複数の光電変換素子は、各端子を介してドレインドライバ、第1ゲートドライバ及び第2ゲートドライバ等の所定の周辺回路に接続されるので、良好な絶縁特性や信号伝達特性、接合性を有するフォトセンサシステムを簡易な製造プロセスにより抵抗することができる。

【0014】

また、請求項6記載の発明によれば、半導体層のソース、ドレイン電極間の励起光が入射される有効領域が、容易に所定の形状比率を満たすように構成することが可能になり、光検知領域の偏りを改善するように任意に配置することができる。したがって、半導体層の入射有効領域を最適な形状比率になるように設定することができるので、励起光の入射量が微量であっても十分ソース-ドレイン電流を流すことができ、良好な受光感度を実現することができる。

20

請求項6記載のフォトセンサアレイにおいて、複数の半導体層のソース電極は互いに接続され、複数の半導体層のドレイン電極は互いに接続されていてもよく、ソース電極又はドレイン電極が、複数の半導体層のうち隣接する2つに跨って形成されていてもよい。

【0015】

また、複数の光電変換素子の各々の複数の半導体層が、半導体層のチャンネル長方向に並んで配列されていてもよい。

30

さらに、複数の光電変換素子がデルタ配列されていれば、2次元的に隣接する光電変換素子間の距離をより均等にすることができるため、同じ被写体をフォトセンサアレイに対し平面的に異なる角度で載置したときの、方向に応じて異なる受光感度の不均一さによる光情報のずれを抑制することができるので、被写体が載置する角度の制限が少なく済み、一層の画像読み取り特性に優れたフォトセンサアレイを実現することができる。

【0016】

請求項11記載のフォトセンサアレイの製造方法は、絶縁性基板上に、第1ゲート電極と、第1ゲート端子部に該第1ゲート電極と接続する第1ゲートベースパッドと、を形成する工程と、少なくとも前記第1ゲート電極上および前記第1ゲート端子部に、第1ゲート絶縁膜を形成した後、前記第1ゲート電極の上方に所定の形状を有し、励起光によりキャリアを生成する半導体層を形成する工程と、前記第1ゲート端子部に前記第1ゲートベースパッドを露出する第1開口部を形成する工程と、前記半導体層の両端側にそれぞれ設けられたソース、ドレイン電極と、ドレイン端子部に該ドレイン電極と接続するドレインベースパッドと、前記第1開口部を介して前記第1ゲート端子部に第1ゲート端子下層を形成する工程と、少なくとも前記第1ゲート端子下層、前記ソース、ドレイン電極および前記ドレイン端子部上に、第2ゲート絶縁膜を形成した後、前記第1ゲート端子下層および前記ドレインベースパッドを露出する第2開口部を形成する工程と、前記半導体層の上方に所定の形状を有する第2ゲート電極と、第2ゲート端子部に該第2ゲート電極と接続する第2ゲートベースパッドと、前記第2開口部を介して第1ゲート端子下層と接続する第

40

50

1 ゲート端子上層又は前記ドレインベースパッドと接続するドレイン端子上層と、を形成する工程と、を有していることを特徴とする。

【0017】

請求項1記載の発明によれば、フォトセンサアレイを構成する光電変換素子の各導電層と同一の材料かつ同一の工程で、第1ゲート端子、ドレイン端子、のいずれかを構成する各電極層を積層形成しているため、フォトセンサアレイ全体を共通する一連の製造プロセスで各構成の形成や処理を行うことができ、製造プロセスを削減して、製造コストの低減や製造時間の短縮を図ることができるとともに、第1ゲート端子、ドレイン端子、のいずれかを構成する各電極層を良好に厚くし端子のシート抵抗を低くすることができる。

【0018】

また、請求項1記載の発明によれば、保護絶縁膜上に、アース電極と、第1ゲート端子最上層又はドレイン端子最上層又は第2ゲート端子上層と、を同一の工程で形成するものであってもよい。これにより、製造プロセスを増加することなく、被写体に帯電した電荷による光電変換素子の静電破壊や動作不良を防止することができるとともに、各端子の積層構造をより厚く形成して周辺回路との接合性をより向上させることができる。

また、ドレイン端子、第1ゲート端子および第2ゲート端子を構成する積層構造のうち、少なくとも最上層となる導電層が、透明電極層により構成されているものであればよい。これにより、半導体層に対する励起光の入射側に形成される電極層と同一の材料かつ同一の工程を用いて、製造プロセスを増加することなく、各端子を積層形成することができる。

【0019】

また、少なくとも、ソース、ドレイン電極、ソース、ドレイン端子およびソース、ドレイン配線の下層に、半導体層が延在して設けられているものであってもよく、これにより、各端子部の積層構造をより厚く形成して低シート抵抗化し、端子の形状不良を一層抑制し、周辺回路との接合性をさらに向上させることができるとともに、半導体層よりも上層に設けられる絶縁層や第2ゲート電極等の導電層に生じる段差を緩和して、絶縁特性や信号伝達特性の劣化等を抑制することができるフォトセンサシステムを簡易な製造プロセスで提供することができる。

【0020】

【発明の実施の形態】

以下に、本発明に係るフォトセンサアレイおよびその製造方法について、実施の形態を示して詳しく説明する。

まず、本発明に係るフォトセンサアレイに適用されるダブルゲート型フォトセンサについて、図面を参照して説明する。

図1は、ダブルゲート型フォトセンサの基本構造を示す概略断面図である。

【0021】

図1(a)に示すように、ダブルゲート型フォトセンサ10は、励起光(ここでは、可視光)が入射されると電子-正孔対が生成されるアモルファスシリコン等の半導体層(チャンネル層)24と、半導体層24の両端にそれぞれ設けられた n^+ シリコンからなる不純物層26a、26bと、不純物層26a、26b上に形成されたクロム、クロム合金、アルミ、アルミ合金等から選択された可視光に対して不透明のドレイン電極27aおよびソース電極27bと、半導体層24の上方(図面上方)にブロック絶縁膜25および上部(トップ)ゲート絶縁膜28を介して形成されたITO(Indium-Tin-Oxide:インジウム-スズ酸化物)等の透明導電膜からなり、可視光に対して透過性を示すトップゲート電極29と、半導体層24の下方(図面下方)に下部(ボトム)ゲート絶縁膜23を介して形成されたクロム、クロム合金、アルミ、アルミ合金等の可視光に対して不透明なボトムゲート電極22と、を有して構成されている。

【0022】

なお、図1(a)において、トップゲート電極29、トップゲート絶縁膜28、ボトムゲート絶縁膜23、および、トップゲート電極29上に設けられる保護絶縁膜30は、い

10

20

30

40

50

れも半導体層 24 を励起する可視光に対して透過率の高い材質により構成され、一方、ボトムゲート電極 22 は、可視光の透過を遮断する材質により構成されることにより、図面上方から入射する光のみを検知する構造を有している。

【0023】

すなわち、ダブルゲート型フォトセンサ 10 は、半導体層 24 を共通のチャネル領域として、半導体層 24、ドレイン電極 27a、ソース電極 27b、およびトップゲート電極 29 により形成される上部 MOS トランジスタと、半導体層 24、ドレイン電極 27a、ソース電極 27b およびボトムゲート電極 22 により形成される下部 MOS トランジスタと、からなる 2 つの MOS トランジスタを組み合わせた構造が、ガラス基板等の透明な絶縁性基板 21 上に形成されている。そして、このようなダブルゲート型フォトセンサ 10 は、一般に、図 1 (b) に示すような等価回路により表される。ここで、TG はトップゲート端子、BG はボトムゲート端子、S はソース端子、D はドレイン端子である。

10

【0024】

次に、上述したダブルゲート型フォトセンサを 2 次元配列して構成されるフォトセンサアレイを備えたフォトセンサシステムについて、図面を参照して簡単に説明する。

図 2 は、ダブルゲート型フォトセンサを 2 次元配列して構成されるフォトセンサアレイを備えたフォトセンサシステムの概略構成図である。

【0025】

図 2 に示すように、フォトセンサシステムは、大別して、多数のダブルゲート型フォトセンサ 10 を、例えば、 n 行 m 列のマトリクス状に配列したフォトセンサアレイ 100 と、各ダブルゲート型フォトセンサ 10 のトップゲート端子 TG (トップゲート電極 29) およびボトムゲート端子 BG (ボトムゲート電極 22) を各々行方向に接続して伸延するトップゲートライン 101 およびボトムゲートライン 102 と、各ダブルゲート型フォトセンサ 10 のドレイン端子 D (ドレイン電極 27a) を列方向に接続したドレインライン 103 と、ソース端子 S (ソース電極 27b) を列方向に接続したソースライン 104 と、フォトセンサアレイ 100 の周辺部に配置され、トップゲートライン 101 に接続されたトップゲートパッド群 111、ボトムゲートライン 102 に接続されたボトムゲートパッド群 121、ドレインライン 103 に接続されたドレインパッド群 131、ソースライン 104 に接続されたソースパッド群 141 (ただし、個数は 1 以上) と、トップゲートパッド群 111 を介して、トップゲートライン 101 に接続されたトップゲートドライバ 110 と、ボトムゲートパッド群 121 を介して、ボトムゲートライン 102 に接続されたボトムゲートドライバ 120 と、ドレインパッド群 131 を介して、ドレインライン 103 に接続されたコラムスイッチ 132、プリチャージスイッチ 133、アンプ 134 からなるドレインドライバ (出力回路部) 130 と、を有して構成されている。

20

30

【0026】

ここで、トップゲートライン 101 は、トップゲート電極 29 とともに、ITO 等の透明導電膜で一体的に形成され、ボトムゲートライン 102、ドレインライン 103 並びにソースライン 104 は、それぞれボトムゲート電極 22、ドレイン電極 27a、ソース電極 27b と同一の励起光に不透明な材料で一体的に形成されている。また、ソースライン 104 は、ソースパッド群 141 を介して接地電位に接続されている。

40

なお、図 2 において、 t_g および b_g は、それぞれリセットパルス T_1 、 T_2 、... T_i 、... T_n 、および、読み出しパルス B_1 、 B_2 、... B_i 、... B_n を生成するための制御信号、 p_g は、プリチャージ電圧 V_{pg} を印加するタイミングを制御するプリチャージ信号である。

【0027】

このような構成において、トップゲートドライバ 110 からトップゲートライン 101 を介して、トップゲート端子 TG に電圧を印加することにより、フォトセンス機能を実現され、ボトムゲートドライバ 112 からボトムゲートライン 102 を介して、ボトムゲート端子 BG に電圧を印加し、ドレインライン 103 を介して検出信号をドレインドライバ 130 に取り込んでシリアルデータ又はパラレルデータとして出力 (V_{out}) することに

50

より、選択読み出し機能が実現される。

【0028】

次に、上述したフォトセンサシステムの駆動制御方法について、図面を参照して説明する。

図3は、フォトセンサシステムの駆動制御方法の一例を示すタイミングチャートであり、図4は、ダブルゲート型フォトセンサの動作概念図であり、図5は、フォトセンサシステムの出力電圧の光応答特性を示す図である。ここでは、上述したダブルゲート型フォトセンサおよびフォトセンサシステムの構成(図1、図2)を適宜参照して説明する。

まず、リセット動作においては、図3、図4(a)に示すように、 i 番目の行のトップゲートライン101にパルス電圧(リセットパルス;例えば $V_{tg} = +15V$ のハイレベル) T_i を印加して、各ダブルゲート型フォトセンサ10の半導体層24、および、ブロック絶縁膜25における半導体層24との界面近傍に蓄積されているキャリア(ここでは、正孔)を放出する(リセット期間 T_{reset})。 10

【0029】

次いで、光蓄積動作においては、図3、図4(b)に示すように、トップゲートライン101にローレベル(例えば $V_{tg} = -15V$)のバイアス電圧 T_i を印加することにより、リセット動作を終了し、キャリア蓄積動作による光蓄積期間 T_a がスタートする。光蓄積期間 T_a においては、トップゲート電極側から入射した光量に応じて半導体層24の入射有効領域、すなわちキャリア発生領域で生成された電子-正孔対が生成され、半導体層24、および、ブロック絶縁膜25における半導体層24との界面近傍、すなわちチャネル領域周辺に正孔が蓄積される。 20

【0030】

そして、プリチャージ動作においては、図3、図4(c)に示すように、光蓄積期間 T_a に並行して、プリチャージ信号 p_g に基づいてドレインライン103に所定の電圧(プリチャージ電圧) V_{pg} を印加し、ドレイン電極27aに電荷を保持させる(プリチャージ期間 T_{prch})。 30

次いで、読み出し動作においては、図3、図4(d)に示すように、プリチャージ期間 T_{prch} を経過した後、ボトムゲートライン102にハイレベル(例えば $V_{bg} = +10V$)のバイアス電圧(読み出し選択信号;以下、読み出しパルスという) B_i を印加することにより、ダブルゲート型フォトセンサ10をON状態にする(読み出し期間 T_{read})。 30

【0031】

ここで、読み出し期間 T_{read} においては、チャネル領域に蓄積されたキャリア(正孔)が逆極性のトップゲート端子TGに印加された $V_{tg} (-15V)$ を緩和する方向に働くため、ボトムゲート端子BGの V_{bg} によりnチャネルが形成され、ドレイン電流に応じてドレインライン103のドレインライン電圧 V_D は、図5(a)に示すように、プリチャージ電圧 V_{pg} から時間の経過とともに徐々に低下する傾向を示す。

【0032】

すなわち、光蓄積期間 T_a における光蓄積状態が暗状態で、チャネル領域にキャリア(正孔)が蓄積されていない場合には、図4(e)、図5(a)に示すように、トップゲート端子TGに負バイアスがかかることによって、ボトムゲート端子BGの正バイアスが打ち消され、ダブルゲート型フォトセンサ10はOFF状態となり、ドレイン電圧、すなわち、ドレインライン103の電圧 V_D が、ほぼそのまま保持されることになる。 40

【0033】

一方、光蓄積状態が明状態の場合には、図4(d)、図5(a)に示すように、チャネル領域に入射光量に応じたキャリア(正孔)が捕獲されているため、トップゲート端子TGの負バイアスを打ち消すように作用し、この打ち消された分だけボトムゲート端子BGの正バイアスによって、ダブルゲート型フォトセンサ10はON状態となる。そして、この入射光量に応じたON抵抗に従って、ドレインライン103の電圧 V_D は、低下することになる。 30

10

20

30

40

30

【0034】

したがって、図5(a)に示したように、ドレインライン103の電圧VDの変化傾向は、トップゲート端子TGへのリセットパルスTiの印加によるリセット動作の終了時点から、ボトムゲート端子BGに読み出しパルスBiが印加されるまでの時間(光蓄積期間Ta)に受光した光量に深く関連し、蓄積されたキャリアが少ない場合には緩やかに低下する傾向を示し、また、蓄積されたキャリアが多い場合には急峻に低下する傾向を示す。そのため、読み出し期間Treadがスタートして、所定の時間経過後のドレインライン103の電圧VDを検出することにより、あるいは、所定のしきい値電圧を基準にして、その電圧に至るまでの時間を検出することにより、照射光の光量が換算される。

【0035】

上述した一連の画像読み取り動作を1サイクルとして、i+1番目の行のダブルゲート型フォトセンサ10にも同等の処理手順を繰り返すことにより、ダブルゲート型フォトセンサ10を2次元のセンサシステムとして動作させることができる。

なお、図3に示したタイミングチャートにおいて、プリチャージ期間Tprchの経過後、図4(f)、(g)に示すように、ボトムゲートライン102にローレベル(例えばVbg=0V)を印加した状態を継続すると、ダブルゲート型フォトセンサ10はOFF状態を維持し、図5(b)に示すように、ドレインライン103の電圧VDは、プリチャージ電圧Vpgを保持する。このように、ボトムゲートライン102への電圧の印加状態により、ダブルゲート型フォトセンサ10の読み出し状態を選択する選択機能を実現される。

【0036】

図6は、上述したようなフォトセンサシステムを適用した2次元画像の画像読取装置の要部断面図である。

図6に示すように、指紋等の2次元画像を読み取る画像読取装置においては、ダブルゲート型フォトセンサ10が形成されたガラス基板(絶縁性基板)21下方側に設けられたバックライト(面光源)40から照射光R1を入射させ、この照射光R1がダブルゲート型フォトセンサ10の形成領域を除く、透明な絶縁性基板21と絶縁膜23、28、30を透過して、保護絶縁膜30上の被写体50に照射される。

【0037】

そして、被写体50の画像パターン(あるいは、凹凸パターン)によって決まる反射率(明暗情報)に応じた反射光R2が、透明な絶縁膜30、28、25およびトップゲート電極29を透過して半導体層24に入射することにより、被写体50の画像パターンに対応したキャリアが蓄積され、上述した一連の駆動制御方法にしたがって、被写体50の画像パターンを明暗情報として読み取ることができる。

【0038】

次に、本発明に係るフォトセンサアレイについて、具体的な実施の形態を示して説明する。なお、以下に示す実施形態においては、光電変換素子(フォトセンサ)として、上述したダブルゲート型フォトセンサを適用し、トップゲート電極を第1ゲート電極として電圧を印加することにより、フォトセンス機能を実現するとともに、ボトムゲート電極を第2ゲート電極として電圧を印加することにより、チャンネル領域に蓄積された電荷量を読み出す機能を実現するものとして説明する。

【0039】

<第1の実施形態>

図7は、本発明に係るフォトセンサアレイにおける第1の実施形態の一構成例を示す要部断面図である。ここでは、図1に示した構成と同等のダブルゲート型フォトセンサを適用して、フォトセンサアレイを構成する場合について説明する。なお、図示の都合上、アレイ領域に形成された単一のダブルゲート型フォトセンサのみを示す。また、上述した構成(図1)と同等の構成については、同一の符号を付して、その説明を簡略化する。

【0040】

図7に示すように、本構成例におけるフォトセンサアレイ100Aは、大別して、フォト

10

20

30

40

50

センサをマトリクス状に配列して構成されるアレイ領域 A a と、アレイ領域 A a の周辺部に配置され、ドライバ等の周辺回路との電気的な接続が行われるパッド領域 A p と、を有している。

アレイ領域 A a は、上述した図 1 の構成と同様に、アモルファスシリコン等の半導体層 2 4 と、半導体層 2 4 の両端にそれぞれ設けられた不純物層 2 6 a、2 6 b と、不純物層 2 6 a、2 6 b 上に形成されたドレイン電極 2 7 a およびソース電極 2 7 b と、半導体層 2 4 上に設けられたブロック絶縁膜 2 5 と、半導体層 2 4 の上方にトップゲート絶縁膜 2 8 を介して形成されたトップゲート電極 2 9 と、半導体層 2 4 の下方にボトムゲート絶縁膜 2 3 を介して形成されたボトムゲート電極 2 2 と、を有して構成された複数のフォトセンサ（図 7 では、便宜的に 1 個のみを表記）が、絶縁性基板 2 1 上にマトリクス状に配列されている。

10

【0041】

ここで、ブロック絶縁膜 2 5、トップゲート絶縁膜 2 8、ボトムゲート絶縁膜 2 3、保護絶縁膜 3 0 は、例えば、窒化シリコン（SiN）等の透光性を有する絶縁膜により構成され、また、トップゲート電極 2 9 およびトップゲートライン 1 0 1 は、ITO 等の励起光に透過性を示す導電膜からなり、ともに可視光に対して高い透過率を示す。一方、少なくともボトムゲート電極 2 2 およびボトムゲートライン 1 0 2 は、クロム等の励起光の透過を遮断する材質により構成されている。

【0042】

また、パッド領域 A p には、ボトムゲート電極 2 2 から延在するボトムゲートライン 1 0 2 の端部に形成されたボトムゲートパッド部 P b（ボトムゲートパッド群 1 2 1）と、ドレイン電極 2 7 a から延在するドレインライン 1 0 3 の端部に形成されたドレインパッド部 P d（ドレインパッド群 1 3 1）と、トップゲート電極 2 9 から延在するトップゲートライン 1 0 1 の端部に形成されたトップゲートパッド部 P t（トップゲートパッド群 1 1 1）と、が各々所定のピッチで配列されている。

20

【0043】

ここで、ボトムゲートパッド部 P b は、ボトムゲート電極 2 2 およびボトムゲートライン 1 0 2 と一体的に形成されたベースパッド 2 2 a 上に、ドレイン電極 2 7 a およびソース電極 2 7 b と同一の導電性材料（例えば、クロム）により構成された第 1 のボトムパッド電極層 2 2 b と、トップゲート電極 2 9 と同一の導電性材料（例えば、ITO）により構成された第 2 のボトムパッド電極層 2 2 c が積層された構成を有し、最上層となる第 2 のボトムパッド電極層 2 2 c が、保護絶縁膜 3 0 に形成された開口部から露出して、例えば、ボトムゲートドライバ 1 2 0 側に設けられたバンプ（外部端子）B b を介して電気的に接続される。

30

【0044】

また、ドレインパッド部 P d は、ドレインライン 1 0 2 と一体的に形成されたベースパッド 2 7 x 上に、トップゲート電極 2 9 と同一の導電性材料（例えば、ITO）により構成された第 1 のドレインパッド電極層 2 7 y が積層された構成を有し、最上層となる第 1 のドレインパッド電極層 2 7 y が、保護絶縁膜 3 0 から露出して、例えば、ドレインドライバ 1 3 0（コラムスイッチ 1 3 2）側に設けられたバンプ B d を介して電気的に接続される。

40

【0045】

さらに、トップゲートパッド部 P t は、トップゲートライン 1 0 1 と一体的に形成されたベースパッド 2 9 a が保護絶縁膜 3 0 から直接露出して、例えば、トップゲートドライバ 1 1 0 側に設けられたバンプ B t を介して電気的に接続される。

すなわち、ダブルゲート型フォトセンサを適用したフォトセンサアレイにおいては、上述したようにフォトセンサの断面構造が積層構造となるため、アレイ領域およびパッド領域に同等の構成を適用した場合、パッド部に形成される開口部の段差が顕著になり、取り出し電極（パッド部の電極層）の形状不良やドライバ側のバンプとの接合不良等を生じる可能性があった。

50

【0046】

これに対して、本構成例に係るフォトセンサアレイにおいては、パッド領域に形成されるパッド部（特に、ボトムゲートパッド部 P b およびドレインパッド部 P d）を複数の電極層からなる積層構造としているので、電極層を厚く形成して形状不良を抑制することができる。また、ドライバ側のパンプとの接合性を向上することができる。

また、フォトセンサアレイ 100 A は、第 2 のボトムパッド電極層 22 c、第 1 のドレインパッド電極層 27 y の両方を備えていたが、いずれかのみでもよい。そして図示しないがソースパッド群 141 は、ドレインパッド部 P d のベースパッド 27 x、第 1 のドレインパッド電極層 27 y と同様に 2 層構造としてもよく、またベースパッド 27 x と同じ層からなる 1 層構造としてもよい。

10

【0047】

図 8 は、本発明に係るフォトセンサアレイにおける第 1 の実施形態の他の構成例を示す要部断面図である。ここでは、1 素子当たりフォトセンサ部となる半導体層を 2 個備えたダブルゲート型フォトセンサによりフォトセンサアレイを構成する場合について説明する。なお、図示の都合上、アレイ領域に形成された単一のダブルゲート型フォトセンサのみを示す。また、上述した構成（図 1、図 7 参照）と同等の構成については、同一の符号を付して、その説明を省略する。

【0048】

図 8 に示すように、本構成例におけるフォトセンサアレイ 100 B は、図 7 に示した構成と同様に、アレイ領域 A a とパッド領域 A p とを有して構成され、アレイ領域 A a には、並列に配置され、可視光が入射されると電子 - 正孔対を発生するアモルファスシリコン等の半導体層 24 a、24 b と、各半導体層 24 a、24 b の両端にそれぞれ設けられた n⁺シリコンからなる不純物層 26 a、26 b および 26 c、26 d と、各半導体層 24 a、24 b の不純物層 26 b、26 c 上に延在し、半導体層 24 a、24 b 間に跨って形成された単一のソース電極 27 b と、各半導体層 24 a、24 b を挟んでソース電極 27 b に対向し、不純物層 26 a、26 d 上に形成されるとともに、図示しない部分で電氣的に接続されたドレイン電極 27 a、27 c と、半導体層 24 a 上に設けられたブロック絶縁膜 25 a と、半導体層 24 b の上に設けられたブロック絶縁膜 25 b と、各半導体層 24 a、24 b の上方に共通のトップゲート絶縁膜 28 を介して形成された単一のトップゲート電極 29 と、各半導体層 24 a、24 b の下方に共通のボトムゲート絶縁膜 23 を介して形成された単一のボトムゲート電極 22 と、を有して構成された複数のフォトセンサ（図 8 では、便宜的に 1 個のみを表記）が、絶縁性基板 21 上にマトリクス状に配列されている。なお、パッド領域 A p は、図 7 に示した構成と同様に、積層構造を有するパッド部を有している。

20

30

【0049】

すなわち、本構成例におけるフォトセンサアレイ 100 B に適用されるダブルゲート型フォトセンサは、絶縁性基板 21 上に、半導体層 24 a を共通のチャネル領域として、半導体層 24 a、ドレイン電極 27 a、ソース電極 27 b、トップゲート絶縁膜 28 およびトップゲート電極 29 により形成される第 1 の上部 MOS トランジスタと、半導体層 24 a、ドレイン電極 27 a、ソース電極 27 b、ボトムゲート絶縁膜 23 およびボトムゲート電極 22 により形成される第 1 の下部 MOS トランジスタからなる第 1 のダブルゲート型フォトセンサ、および、半導体層 24 b を共通のチャネル領域として、半導体層 24 b、ソース電極 27 b、ドレイン電極 27 c、トップゲート絶縁膜 28 およびトップゲート電極 29 により形成される第 2 の上部 MOS トランジスタと、半導体層 24 b、ソース電極 27 b、ドレイン電極 27 c、ボトムゲート絶縁膜 23 およびボトムゲート電極 22 により形成される第 2 の下部 MOS トランジスタからなる第 2 のダブルゲート型フォトセンサを、並列に連結配置した構成を有している。

40

【0050】

このような構成を有するフォトセンサアレイ 100 B によれば、上述した構成例と同様に、パッド部を積層構造とすることができるので、電極層の形状不良を抑制することができ

50

るとともに、ドライバとの接合性を向上することができる。また、第1および第2のダブルゲート型フォトセンサを構成するトップゲート電極29とボトムゲート電極22を、各々共通電極により構成し、かつ、ドレイン電極27a、27cを共通のソース電極27bに対向して、分割（または、分岐）した構成を有しているので、フォトセンサ部となる半導体層が1素子当たり2個備えたダブルゲート型フォトセンサを、上述した駆動制御方法を適用して、1素子当たり1個の半導体層を備えたダブルゲート型フォトセンサと同様に動作させることができる。

【0051】

次に、上述した構成を有するフォトセンサアレイの製造方法について、図面を参照して詳しく説明する。

10

図9乃至図11は、図8に示した構成を有するフォトセンサアレイの製造方法を示す各工程断面図である。なお、図7に示した構成を有するフォトセンサアレイの製造方法も、本製造方法と略同等の製造プロセスにより実現される。また、以下の説明において、「第1の工程」乃至「第7の工程」の表記は、説明の都合上、便宜的に用いたものであって、実際の製造プロセスに関連付けられたものではない。

【0052】

まず、第1の工程は、図9(a)に示すように、ガラス基板等の絶縁性基板21上に、スパッタリング法や蒸着法等により、例えば、膜厚100nm(1000)のクロム等の金属層を成膜した後、この金属層を、フォトリソグラフィ技術および反応性イオンエッチング(RIE)法等を用いて選択的にエッチングすることにより、所定の形状を有するボトムゲート電極22、ベースパッド22aおよびボトムゲートライン102を形成する。

20

【0053】

次に、第2の工程は、図9(b)に示すように、絶縁性基板21上の全域に、プラズマCVD法等の成膜法により、例えば、膜厚250nmの窒化シリコン等の絶縁膜（以下、ボトムゲート絶縁膜と記す）23、膜厚50nmのアモルファスシリコン膜（以下、a-Si膜と記す）24p、および、膜厚100nmの窒化シリコン等の絶縁膜（以下、SiN膜と記す）を形成する。

【0054】

次いで、フォトリソグラフィ技術およびドライエッチング法等を用いて、ボトムゲート電極22上方のSiN膜を選択的にエッチングすることにより、所定の形状を有するブロック絶縁膜25a、25bを形成する。

30

次いで、ブロック絶縁膜25a、25bを含むa-Si膜24p上の全域に、プラズマCVD法等により、例えば、リンイオン(P⁺)等のn型不純物イオンを含むアモルファスシリコンからなる膜厚25nmのn型シリコン膜26pを堆積する。n型シリコン膜26pは真性アモルファスシリコン膜を形成した後、このアモルファスシリコン膜にイオン注入法や熱拡散法を用いてn型不純物イオンを導入しても得ることができる。

【0055】

次に、第3の工程は、図9(c)に示すように、フォトリソグラフィ技術およびドライエッチング法等を用いて、a-Si膜24pおよびn型シリコン膜26pを選択的にエッチングすることにより、ボトムゲート電極22上方に形成されたブロック絶縁膜25a、25bの各々の下層に、所定の形状を有する半導体層（チャネル層）24a、24bを形成するとともに、半導体層24aの両端に、ブロック絶縁膜25a上に延在する所定の形状を有する不純物層26a、26b、および、半導体層24bの両端に、ブロック絶縁膜25b上に延在する所定の形状を有する不純物層26c、26dを形成する。

40

次いで、フォトリソグラフィ技術およびドライエッチング法等を用いて、ベースパッド22a上のボトムゲート絶縁膜23をエッチングすることにより、ベースパッド22aが露出する開口部23aを形成する。

【0056】

次に、第4の工程は、図10(a)に示すように、上記第3の工程により形成された半導体層24a、24b、ブロック絶縁膜25a、25bおよび不純物層26a、26b、2

50

6 c、2 6 dを含むボトムゲート絶縁膜 2 3上の全域に、スパッタリング法等により、例えば、膜厚 5 0 n mのクロム等の金属層を成膜し、この金属層を、フォトリソグラフィ技術および R I E法を用いて、選択的にエッチングすることにより、各半導体層 2 4 a、2 4 b間に跨り、不純物層 2 6 b、2 6 c上に延在して形成された単一のソース電極 2 7 bと、各半導体層 2 4 a、2 4 bを挟んでソース電極 2 7 bに対向し、各不純物層 2 6 a、2 6 d上に延在して形成されるとともに、図示を省略した配線層により互いに接続されたドレイン電極 2 7 a、2 7 cと、所定の位置に配置されたベースパッド 2 7 xと、ドレイン電極 2 7 aとベースパッド 2 7 xを接続するドレインライン 1 0 3を形成する。このとき同時に、ボトムゲート絶縁膜 2 3に形成された開口部 2 3 aを介して、ベースパッド 2 2 aに接続された第 1のボトムパッド電極層 2 2 bを形成する。

10

【 0 0 5 7 】

次に、第 5の工程は、図 1 0 (b)に示すように、上記第 4の工程により形成されたドレイン電極 2 7 a、2 7 c、ソース電極 2 7 b、ベースパッド 2 7 x、ドレインライン 1 0 3および第 1のボトムパッド電極層 2 2 bを含むボトムゲート絶縁膜 2 3上の全域に、プラズマ C V D法等により、例えば、膜厚 1 5 0 n mの窒化シリコン等の絶縁膜（以下、トップゲート絶縁膜と記す）2 8を形成した後、フォトリソグラフィ技術およびドライエッチング法等を用いて、第 1のボトムパッド電極層 2 2 bおよびベースパッド 2 7 x上のトップゲート絶縁膜 2 8をエッチングすることにより、第 1のボトムパッド電極層 2 2 bおよびベースパッド 2 7 xが露出する開口部 2 8 a、2 8 bを形成する。

【 0 0 5 8 】

20

次に、第 6の工程は、図 1 1 (a)に示すように、トップゲート絶縁膜 2 8上の全域に、スパッタリング法やイオンプレーティング法等により、例えば、膜厚 5 0 n mの I T O等の透明導電層を成膜した後、この透明導電層を、フォトリソグラフィ技術およびウェットエッチング法等を用いて、選択的にエッチングすることにより、半導体層 2 4 a、2 4 bの上方に延在して形成された単一のトップゲート電極 2 9と、所定の位置に配置されたベースパッド 2 9 aと、トップゲート電極 2 9とベースパッド 2 9 aを接続するトップゲートライン 1 0 1を形成する。このとき同時に、開口部 2 8 aを介して、第 1のボトムパッド電極層 2 2 bに接続された第 2のボトムパッド電極層 2 2 cと、開口部 2 8 bを介して、ベースパッド 2 7 xに接続された第 1のドレインパッド電極層 2 7 yを形成する。

【 0 0 5 9 】

30

次に、第 7の工程は、図 1 1 (b)に示すように、上記第 6の工程により形成されたトップゲート電極 2 9、ベースパッド 2 9 a、トップゲートライン 1 0 1、第 2のボトムパッド電極層 2 2 cおよび第 1のドレインパッド電極層 2 7 yを含むトップゲート絶縁膜 2 8上の全域に、プラズマ C V D法等により、例えば、膜厚 2 0 0 ~ 8 0 0 n mの窒化シリコン等の絶縁膜（以下、保護絶縁膜と記す）3 0を形成した後、フォトリソグラフィ技術およびドライエッチング法等を用いて、第 2のボトムパッド電極層 2 2 c、第 1のドレインパッド電極層 2 7 yおよびベースパッド 2 9 a上の保護絶縁膜 3 0をエッチングすることにより、第 2のボトムパッド電極層 2 2 c、第 1のドレインパッド電極層 2 7 yおよびベースパッド 2 9 aが各々露出する開口部 3 0 a、3 0 b、3 0 cを形成する。

【 0 0 6 0 】

40

そして、上述した一連の工程により製造されたフォトセンサアレイ 1 0 0 Bは、図 8に示したように、パッド領域 A pに配列され、保護絶縁膜 3 0に形成された開口部 3 0 a、3 0 b、3 0 cにおいて露出する、第 2のボトムパッド電極層 2 2 c、第 1のドレインパッド電極層 2 7 yおよびベースパッド 2 9 aの各々に接合されるバンプ（外部端子）B b、B d、B tを介して、ボトムゲートドライバ 1 2 0、ドレインドライバ 1 3 0およびトップゲートドライバ 1 1 0に接続される。

【 0 0 6 1 】

したがって、このようなフォトセンサアレイの製造方法によれば、アレイ領域に配置されるダブルゲート型フォトセンサの各導電層と同一の材料および同一の工程で、パッド領域に配置される各パッド部の電極層を積層形成しているため、アレイ領域とパッド領域の構

50

成とを個別の工程により形成する場合に比較して、製造プロセス（特に、フォトリソグラフィ技術およびエッチング法を用いたパターンニング工程）を削減（本製造方法では8回）して、製造コストの低減や製造時間の短縮を図ることができるとともに、パッド部における電極層を厚く形成して、形状不良の抑制や周辺回路のバンプとの接合性の向上を図ることができる。

【0062】

ここで、上述したフォトセンサアレイを構成するダブルゲート型フォトセンサにおける半導体層への励起光の実質的な入射有効領域（キャリア発生領域）の形状と、ダブルゲート型フォトセンサの受光感度との関係について、図7および図8に示した構成毎に説明し、比較検討する。

10

【0063】

図12(a)は、図7に示した1素子当たりフォトセンサ部となる半導体層が1個のダブルゲート型フォトセンサの入射有効領域を示す図であり、図12(b)は、フォトセンサアレイにおける配置構造を示す図であり、図13は、図12(a)に示した構成における受光感度のバラツキ（分布特性；以下、「光検知領域の広がり」という）を示す概念図である。また、図14(a)は、図8に示した1素子当たりフォトセンサ部となる半導体層が2個のダブルゲート型フォトセンサの入射有効領域を示す図であり、図14(b)は、フォトセンサアレイにおける配置構造を示す図であり、図15は、図14(a)に示した構成における光検知領域の広がりを示す概略図である。ここで、図13、図15に示した光検知領域の広がりは、半導体層（詳しくは、チャンネル領域）を中心として、所定の受光感度を得られる領域を模式的に示したものであって、受光感度の分布範囲を厳密に示すものではない。

20

【0064】

図12(a)に示すように、図7に示したフォトセンサアレイ100Aに適用されるダブルゲート型フォトセンサ10Aの平面構造は、半導体層24の下層に形成されるボトムゲート電極22、および、半導体層24の上層に形成されるトップゲート電極29の各々に対して一体的に、x方向（図面左右方向）に延在するボトムゲートライン102、および、トップゲートライン101が形成された構成を有している。また、半導体層24の両端に、互いに対向して形成されたドレイン電極27aおよびソース電極27bの各々に対して一体的に、y方向（図面上下方向）に延在するドレインライン103およびソースライン104が形成された構成を有している。

30

【0065】

このような平面構造を有するダブルゲート型フォトセンサ10Aにおいて、光量に応じて流れるドレイン電流 I_{ds} は、一般に、次式のような関係を有している。

$$I_{ds} \propto W/L \dots \dots (1)$$

ここで、W、Lは、図7、図12(a)に示すように、それぞれ半導体層24のチャンネル幅、チャンネル長である。上記(1)式の関係において、光の明時と暗時との電圧比を大きくするためには、ドレイン電流 I_{ds} が大きい方がよいため、ダブルゲート型フォトセンサ10Aのトランジスタ感度はW/Lが大きい方が望ましく、プリチャージされたドレイン電圧の変位から光の明暗を十分に判断するためには、比W/Lは、3.0以上が望ましく、7.0以上がより望ましい。

40

【0066】

一方、上述したようなダブルゲート型フォトセンサを用いて、外部から入射される励起光に応じて電荷を蓄積するフォトセンサとして機能させる場合、その受光感度は、ドレイン電極27a、ソース電極27bから露出した半導体層24に入射される励起光の入射有効領域の形状、すなわち、実質的に半導体層24のチャンネル長L方向およびチャンネル幅W方向の長さに大きく依存することが判明している。

ここで、ドレイン電極27a、ソース電極27bは、可視光に対して不透明であるため、半導体層24のうちドレイン電流 I_{ds} に有効なキャリアが形成される領域である入射有効領域は、ドレイン電極27aおよびソース電極27bに囲まれた領域であり、この領域

50

は、 x 方向におけるソース電極12、ドレイン電極13間の距離 K および y 方向におけるチャンネル幅 W で規定(定義)される。

【0067】

このように、フォトセンサの感度領域は、チャンネル幅 W およびチャンネル長方向の長さ K に依存し、トランジスタのソース-ドレイン電流値 I_{ds} は、半導体層24のチャンネル幅 W およびチャンネル長 L の比に依存しているため、ダブルゲート型フォトセンサ10のドレイン電流を向上させるためには、比 W/L の設計値をできるだけ大きく設計する必要があるが、比 W/L を大きくすると、図7、図12(a)に示したダブルゲート型フォトセンサ10Aでは、その平面構造は、必然的にチャンネル幅方向の長さ W (または、半導体層24の長手方向の寸法)が大きく、チャンネル長方向の長さ K (または、半導体層24の幅方向の寸法)が短い長方形形状となり、これに伴って、高い受光感度を有する光検知領域の広がり x 方向に比較して y 方向に偏ることになる。

10

【0068】

具体的には、半導体層24の入射有効領域が長方形形状となるため、図13に示すように、半導体層24上方の光検知領域の広がり y 方向に延伸する縦長の領域 E_a (半導体層24の入射有効領域の略相似形)となり、図面左右方向(x 方向)については、所望の受光感度が得られる領域が y 方向に対し相対的に狭くなる特性を有している。

したがって、 x 、 y 方向における光検知領域の広がり y 方向の偏りに起因して、被写体からの明暗情報(読み取り画像)が歪んだ状態で読み取られることになり、高い受光感度と、歪みを抑制した良好な画像情報の読み取り動作とを同時に実現することができないという問題を有していた。

20

【0069】

また、このようなダブルゲート型フォトセンサ10Aにより構成されるフォトセンサアレイ100Aの平面構造は、例えば、図12(b)に示すように、ダブルゲート型フォトセンサ10A相互が、直交する x 、 y の2方向(行、列方向)にそれぞれ所定のピッチ P_s で等間隔に格子(マトリクス)状に配置され、さらに、格子内部の素子間領域 R_p を通して、絶縁性基板(ガラス基板)21面側からの光が被写体に照射されるように考慮されている。そのため、被写体に十分な量の光を照射するためには、素子間領域 R_p を極力大きく確保する必要もある。

30

【0070】

一方、図14(a)に示すように、図8に示したフォトセンサアレイ100Aに適用されるダブルゲート型フォトセンサ10Bの平面構造は、ボトムゲート電極22およびトップゲート電極29の各々に対して一体的に、 x 方向(図面左右方向)に延在するボトムゲートライン102およびトップゲートライン101が形成された構成を有している。また、平行して配置された2個の半導体層24a、24b間に延在して形成されたソース電極27bに対して一体的に、 y 方向(図面上下方向)に延在するソースライン104が形成され、さらに、ソース電極27bに対向して、2個の半導体層24a、24bの他端に、個別に形成されたドレイン電極27a、27bに対して一体的に、 y 方向(図面上下方向)に延在するドレインライン103が形成された構成を有している。

40

【0071】

このような平面構造を有するダブルゲート型フォトセンサ10Bにおいては、2個の半導体層24a、24bが、幅方向(長手方向)を対向させて、チャンネル長方向に並行に連続配置された構成を有しているため、ドレイン電極27a、27cおよびソース電極27bにより規定される、半導体層24a、24bにおける入射有効領域のチャンネル幅方向の長さを W 、チャンネル長方向の長さを各々 K_1 、 K_2 とした場合、半導体層24a、24bの入射有効領域の長手寸法(チャンネル幅方向の長さ)は“ W ”に設定され、入射有効領域の幅寸法はそれぞれ半導体層24a、24bのチャンネル長方向の長さ K_1 、 K_2 に設定され、半導体層24aの受光感度は、幅 W 、長さ K_1 の略長方形となり、半導体層24bの受光感度は、幅 W 、長さ K_2 の略長方形となり、ダブルゲート型フォトセンサ10Bとして

50

、この2つの長方形で示す領域が入射有効領域となる。

【0072】

そして、この場合、各半導体層24a、24bにおける入射有効領域の形状（縦横 $W \times K_1$ からなる矩形領域と、縦横 $W \times K_2$ からなる矩形領域との合成形状）が、正方形に近似するほど、半導体層24a、24bへの励起光の入射角度による受光感度のバラツキが補正されることになる。

すなわち、チャンネル幅方向の長さ W とチャンネル長方向の長さの総和（ $K_1 + K_2$ ）との比 $W / (K_1 + K_2)$ が1に近づくほど、図15に示すように、 x 方向（矢印A；詳しくは、 x 方向を中心にして、それぞれ $\pm 45^\circ$ の角度を有する領域）から半導体層24a、24bに入射する光の感度と、 y 方向（矢印B；詳しくは、 y 方向を中心にして、それぞれ $\pm 45^\circ$ の角度を有する領域）から半導体層24a、24bに入射する光の感度がより等しくなるように作用して、受光感度のバラツキ（方向性）が補正され、光検知領域の広がり、 x 、 y 方向に略均等な広がり（略正方形に近づいた矩形）を有する領域 E_b を得ることができる。

10

【0073】

ここで、ダブルゲート型フォトセンサ10Bの受光感度を左右する、チャンネル幅方向の長さ W とチャンネル長方向の長さの総和（ $K_1 + K_2$ ）との比 $W / (K_1 + K_2)$ において、チャンネル長方向の長さの総和（ $K_1 + K_2$ ）は、1素子中に形成される半導体層の数に応じて、各半導体層における入射有効領域のチャンネル長方向の長さ K_i の総和 K_i と置き換えることができる。

20

【0074】

これは、図12(a)、(b)に示した構成においても同様であるが、図14(a)に示した構成によれば、入射光の指向性をより平準化できることはいうまでもない。また、上記条件に加え、図14(a)、図15において複数の半導体層24a、24bの入射有効領域の x 方向の両外端部で定義される2辺と、 y 方向の両外端部で定義される2辺（ドレイン電極27aと半導体層24aの入射有効領域との境界線、および、ドレイン電極27cと半導体層24bの入射有効領域との境界線）とで囲まれた矩形領域 A_e の形が正方形に近いほど、受光感度バランスの観点からさらに望ましい。

【0075】

また、図8、14(a)に示したダブルゲート型フォトセンサ10Bにおいて、光量に応じて流れるドレイン電流 I_{ds} は、一般に、次式のような関係を有している。

30

$$I_{ds} \propto W / L_1 + W / L_2 \quad \dots \dots (2)$$

ここで、 W は半導体層24a、24bのチャンネル幅、 L_1 、 L_2 は、それぞれ半導体層24a、24bのチャンネル長である。2個の半導体層24a、24bにおけるチャンネル長を、 $L_1 = L_2 = L$ の関係になるように設定することにより、上記(2)式に基づいて、ソース-ドレイン電流 I_{ds} を、図12に示したダブルゲート型フォトセンサ10Aと比較して、理論上2倍に増大させることができるので、トランジスタ特性を顕著に向上させることができる。

【0076】

したがって、このようなダブルゲート型フォトセンサ10Bを、図14(b)に示すように、マトリクス状に配置してフォトセンサアレイ100Bを構成することにより、光検知領域の広がりを均一化して、2次元画像の読み取り時における歪みを抑制しつつ、高いトランジスタ特性を有する光受光部を備えたフォトセンサアレイ、および、2次元画像の読取装置を実現することができる。

40

【0077】

また、上述したダブルゲート型フォトセンサ10Bによれば、トランジスタ特性を大幅に高めたことにより、図7に示したダブルゲート型フォトセンサ10Aと比較して、小さな（僅かな）入射光量であっても、明暗情報の読み取り動作を良好に行うことができるので、読取装置に付設される面光源の照度を低減（抑制）することができ、2次元画像の読取装置の消費電力を低減することができる。あるいは、面光源の照度を一定とした場合には

50

、トランジスタ特性の向上に伴い光蓄積時間を大幅に短縮することができ、2次元画像の読み取り性能に優れた読取装置を提供することができる。

【0078】

さらに、トランジスタ特性が大幅に向上したことにより、ダブルゲート型フォトセンサ10Aの場合と同等の入射光量に対して、過度の光オン電流が生じるため、このようなオン電流を抑制する目的で、トップゲート電極およびボトムゲート電極に印加する駆動電圧の最大値と最小値の差を小さくさせて動作を制御することができるので、駆動電圧の低減によって、ダブルゲート型フォトセンサの特性の経時的な劣化を抑制し、フォトセンサアレイの信頼性を長く持続(延命)させることもできる。

【0079】

なお、図12、図14に示したダブルゲート型フォトセンサ10Aまたは10Bにおいて、トップゲート電極29相互を接続するトップゲートライン101は、隣接するダブルゲート型フォトセンサ10A又は10B間で、互いに平面的に複数本(本実施形態においては、2本)に分岐して、y方向に均等(対称)な位置関係かつ同等の配線幅、配線厚で平行に延在するように配置形成されている。すなわち、ダブルゲート型フォトセンサ10A又は10Bの略中央を接続して延伸するボトムゲートライン102に対して、トップゲートライン101が列方向の上下に略対称な位置関係で配置形成された構成を有している。

【0080】

このように、x方向に沿ったボトムゲートライン102を軸として、分岐して形成されたトップゲートライン101相互が実質的に線対称構造を有することにより、トップゲートライン101を透過することにより減衰する光が、半導体層24または24a、24bに入射される際のy方向の入射バランスを均一にすることができる。また、半導体層24または24a、24bの中央からy方向に沿った線を軸として、ドレインライン103側とソースライン104側とが実質的に線対称構造を有することにより、トップゲートライン101を透過することにより減衰される光が、半導体層24または24a、24bに入射される際のx方向の入射バランスを均一にすることができる。

【0081】

したがって、光の入射バランスがそれぞれ上下方向(y方向)および左右方向(x方向)で均等になるようにトップゲートラインを分岐しているので、感知される光の指向性のバランスを良好にすることができる。また、隣接するフォトセンサ10Aまたは10B相互間に配置されるトップゲートライン101とボトムゲートライン102との上下方向(y方向)の重なりがほとんどないので、トップゲートライン101とボトムゲートライン102との間の寄生容量が生じず、信号の遅延や電圧降下を抑制することができる。

【0082】

<第2の実施形態>

次に、本発明に係るフォトセンサアレイの第2の実施形態について、図面を参照して説明する。

図16は、本発明に係るフォトセンサアレイにおける第2の実施形態を示す要部断面図であり、図17は、図16に示したフォトセンサアレイを備えたフォトセンサシステムの一例を示す概略構成図である。ここでは、図8に示した構成と同等のダブルゲート型フォトセンサを適用した場合について説明する。なお、図示の都合上、アレイ領域に形成された単一のダブルゲート型フォトセンサのみを示す。また、上述した実施形態(図8)と同等の構成については、同一の符号を付して、その説明を簡略化する。

【0083】

本実施形態に係るフォトセンサアレイ100Cは、図8に示したフォトセンサアレイ100Bの構成において、最上層に形成された保護絶縁膜30上に、アース電極を設けるとともに、該アース電極と同一の導電性材料かつ同一の工程で、パッド部に最上層となる電極層を積層形成した構成を有している。

具体的には、図16に示すように、本実施形態に係るフォトセンサアレイ100Cは、図8に示したフォトセンサアレイ100Bの構成において、最上層に形成された保護絶縁膜

10

20

30

40

50

30のアレイ領域Aa上に、ITO等の透光性を有する導電膜からなり、所定の電位が印加されたアース電極31と、保護絶縁膜30のパッド領域Apに形成された開口部30a、30b、30c(図11(b)参照)の各々に、アース電極31と同一の導電性材料(例えば、ITO)により構成された電極層22d、27z、29bが積層された構成を有している。

【0084】

すなわち、ボトムゲートパッド部Pbにおいては、保護絶縁膜30に形成された開口部30a内に露出する第2のボトムパッド電極層22cに接続するように、第3のボトムパッド電極層22dが積層形成され、ドレインパッド部Pdにおいては、保護絶縁膜30に形成された開口部30b内に露出する第1のドレインパッド電極層27yに接続するように、第2のドレインパッド電極層27zが積層形成され、トップゲートパッド部Ptにおいては、保護絶縁膜30に形成された開口部30c内に露出するベースパッド29aに接続するように、トップパッド電極層29bが積層形成されている。

10

【0085】

また、フォトセンサアレイ100Bは、第2のボトムパッド電極層22c、第1のドレインパッド電極層27yの両方を備えていたが、いずれかのみでもよい。そして、図示しないが、ソースパッド群141は、ドレインパッド部Pdのベースパッド27x、第1のドレインパッド電極層27yと同様に2層構造としてもよく、また、ベースパッド27xと同じ層からなる1層構造としてもよい。

【0086】

このような構成を有するフォトセンサアレイ100Cの製造方法は、まず、図9乃至図11に示した製造プロセスにより図8に示したフォトセンサアレイ100Bの構成を形成した後、第8の工程として、保護絶縁膜30上の全域に、スパッタリング法やイオンプレーティング法等により、例えば、膜厚50nmのITO等の透明導電層を成膜し、この透明導電層を、フォトリソグラフィ技術およびウェットエッチング法等を用いて、選択的にエッチングすることにより、アレイ領域Aa上に、アース電極31を形成するとともに、パッド領域Apの開口部30aを介して、第2のボトムパッド電極層22cに接続された第3のボトムパッド電極層22dと、開口部30bを介して、第1のドレインパッド電極層27yに接続された第2のドレインパッド電極層27zと、開口部30cを介して、ベースパッド29aに接続されたトップパッド電極層29bを形成する。

20

30

【0087】

また、フォトセンサアレイ100Cは、第3のボトムパッド電極層22d、第2のドレインパッド電極層27z、トップパッド電極層29bを備えていたが、これらのうち1種又は2種のみを有してもよい。

そして、図示しないがソースパッド群141は、ドレインパッド部Pdのベースパッド27x、第1のドレインパッド電極層27y、及び第2のドレインパッド電極層27zと同様に3層構造としてもよく、またベースパッド27xと同じ層からなる1層構造、或いはベースパッド27x、第1のドレインパッド電極層27yと同じ層からなる2層構造、或いはベースパッド27x、第2のドレインパッド電極層27zと同じ層からなる2層構造、或いは第1のドレインパッド電極層27y、第2のドレインパッド電極層27zと同じ層からなる2層構造のいずれであってもよい。

40

【0088】

そして、このような工程により製造されたフォトセンサアレイ100Cは、図16に示したように、パッド領域Apに配列され、保護絶縁膜30上に露出して形成された第3のボトムパッド電極層22d、第2のドレインパッド電極層27zおよびトップパッド電極層29bの各々に、バンプ(外部端子)Bb、Bd、Btを接合することにより、ボトムゲートドライバ120、ドレインドライバ130およびトップゲートドライバ110に接続される。

このようなフォトセンサアレイ100Cの構成および製造方法によれば、上述した構成例と同様の作用効果を得ることができるとともに、アース電極により、フォトセンサアレイ

50

上に載置される被写体に帯電していた電荷が放電されるので、フォトセンサアレイを構成するダブルゲート型フォトセンサの静電破壊や動作不良を良好に防止することができる。

【0089】

なお、アース電極31は、たとえば、図17に示すように、アレイ領域Aaを2分するように、僅かな間隙を介して、互いに離間する第1の電極31aおよび第2の電極31bにより構成され、第1の電極31aは、所定の正電圧を印加する電源151に接続されるとともに、第2の電極31bは、その印加電圧の変化を検出する検出器152を介して、接地電位に接続された構成を適用することもできる。

【0090】

ここで、検出器152は、第1の電極31aおよび第2の電極31b上に跨って指等の被写体が載置されると、被写体に帯電していた電荷が放電されるとともに、第1の電極および第2の電極間が短絡することにより生じる電圧変化を検出し、フォトセンサアレイ100C上への被写体の載置の有無を判断して、トップゲートドライバ110、ボトムゲートドライバ120、ドレインドライバ130の動作を制御する制御信号を出力するスイッチ機能を有している。

【0091】

<第3の実施形態>

次に、本発明に係るフォトセンサアレイの第3の実施形態について、図面を参照して説明する。

図18は、本発明に係るフォトセンサアレイにおける第3の実施形態を示す要部断面図である。ここでは、図8に示した構成と同等に、1素子当たりフォトセンサ部となる半導体層を2個備えたダブルゲート型フォトセンサを適用した場合について説明する。なお、図示の都合上、アレイ領域に形成された単一のダブルゲート型フォトセンサのみを示す。また、上述した実施形態(図8)と同等の構成については、同一の符号を付して、その説明を簡略化する。

【0092】

図18に示すように、本構成例におけるフォトセンサアレイ100Dは、アレイ領域Aaとパッド領域Apとを有して構成され、アレイ領域Aaには、可視光が入射されると電子-正孔対を発生する単一のアモルファスシリコン等の半導体層24dと、該半導体層24dのチャンネル領域となる2つの領域上に設けられたブロック絶縁膜25aおよびブロック絶縁膜25bと、ブロック絶縁膜25a、25b間に跨って設けられた単一の不純物層26fと、各ブロック絶縁膜25a、25b(チャンネル領域)を挟んで不純物層26fに対向し、各ブロック絶縁膜25a、25b(チャンネル領域)の端部にそれぞれ設けられ、かつ、図示しない部分で接続された不純物層26e、26gと、ブロック絶縁膜25a、25b間に設けられた不純物層26f上に延在し、ブロック絶縁膜25a、25b間に跨って形成された単一のソース電極27bと、各ブロック絶縁膜25a、25b(チャンネル領域)を挟んでソース電極27bに対向し、不純物層26e、26g上に形成されるとともに、図示しない部分で電氣的に接続されたドレイン電極27a、27cと、各ブロック絶縁膜25a、25b(チャンネル領域)の上方に共通のトップゲート絶縁膜28を介して形成された単一のトップゲート電極29と、各ブロック絶縁膜25a、25b(チャンネル領域)の下方に共通のボトムゲート絶縁膜23を介して形成された単一のボトムゲート電極22と、を有して構成された複数のフォトセンサ(図18では、便宜的に1個のみを表記)が、絶縁性基板21上にマトリクス状に配列されている。

【0093】

また、パッド領域Apには、ボトムゲート電極22から延在するボトムゲートライン102の端部に形成されたボトムゲートパッド部Pbと、ドレイン電極27aから延在するドレインライン103の端部に形成されたドレインパッド部Pdと、トップゲート電極29から延在するトップゲートライン101の端部に形成されたトップゲートパッド部Ptと、が各々所定のピッチで配列されている。ここで、ドレインライン103およびドレインパッド部Pdの下層には、半導体層24eおよび不純物層26hが、同一の形状を有して

10

20

30

40

50

延在するように設けられているとともに、ボトムゲートパッド部 P b の近傍にも、半導体層 2 4 f および不純物層 2 6 i が設けられている。

【 0 0 9 4 】

すなわち、本実施形態に係るフォトセンサアレイ 1 0 0 D に適用されるダブルゲート型フォトセンサは、絶縁性基板 2 1 上に、ドレイン電極 2 7 a およびソース電極 2 7 b 間の半導体層 2 4 d を共通のチャネル領域として、半導体層 2 4 d、ドレイン電極 2 7 a、ソース電極 2 7 b、トップゲート絶縁膜 2 8 およびトップゲート電極 2 9 により形成される第 1 の上部 M O S トランジスタと、半導体層 2 4 d、ドレイン電極 2 7 a、ソース電極 2 7 b、ボトムゲート絶縁膜 2 3 およびボトムゲート電極 2 2 により形成される第 1 の下部 M O S トランジスタからなる第 1 のダブルゲート型フォトセンサ、および、ソース電極 2 7 b およびドレイン電極 2 7 c 間の半導体層 2 4 d を共通のチャネル領域として、半導体層 2 4 d、ソース電極 2 7 b、ドレイン電極 2 7 c、トップゲート絶縁膜 2 8 およびトップゲート電極 2 9 により形成される第 2 の上部 M O S トランジスタと、半導体層 2 4、ソース電極 2 7 b、ドレイン電極 2 7 c、ボトムゲート絶縁膜 2 3 およびボトムゲート電極 2 2 により形成される第 2 の下部 M O S トランジスタからなる第 2 のダブルゲート型フォトセンサを、並列に連結配置した構成を有している。

10

【 0 0 9 5 】

このような構成を有するフォトセンサアレイ 1 0 0 D によれば、上述した実施形態（図 8）に比較して、パッド部（特に、ドレインパッド部）の積層構造をより厚く形成することができるので、電極層の形状不良を一層抑制して、ドライバ側のバンプとの接合性をさらに向上させることができるとともに、ドレインライン 1 0 3 およびドレインパッド部 P d の下層に、半導体層 2 4 d、2 4 f および不純物層 2 6 e、2 6 i が、半導体層 2 4 d、不純物層 2 6 e から延在するように構成されているので、上層に設けられるトップゲート絶縁膜 2 8 およびトップゲート電極 2 9 に生じる段差を緩和することができ、絶縁特性や信号伝達特性の劣化等を抑制することができる。

20

【 0 0 9 6 】

また、フォトセンサアレイ 1 0 0 D は、第 2 のボトムパッド電極層 2 2 c、第 1 のドレインパッド電極層 2 7 y の両方を備えていたが、いずれかのみでもよい。そして、図示しないが、ソースパッド群 1 4 1 は、ドレインパッド部 P d のベースパッド 2 7 x、第 1 のドレインパッド電極層 2 7 y と同様に 2 層構造としてもよく、また、ベースパッド 2 7 x と同じ層からなる 1 層構造としてもよい。

30

【 0 0 9 7 】

次に、上述した構成を有するフォトセンサアレイの製造方法について、図面を参照して詳しく説明する。

図 1 9 乃至図 2 1 は、図 1 8 に示した構成を有するフォトセンサアレイの製造方法を示す各工程断面図である。なお、以下の説明において、「第 1 の工程」乃至「第 6 の工程」の表記は、説明の都合上、便宜的に用いたものであって、実際の製造プロセスに関連付けられたものではない。また、上述した実施形態と同等の構成および製造プロセスについては、その説明を簡略化する。

【 0 0 9 8 】

まず、第 1 の工程は、図 1 9 (a) に示すように、ガラス基板等の絶縁性基板 2 1 上に、例えば、膜厚 1 0 0 n m (1 0 0 0) のクロム等の金属層を成膜した後、この金属層を選択的にエッチングすることにより、所定の形状を有するボトムゲート電極 2 2、ベースパッド 2 2 a およびボトムゲートライン 1 0 2 を形成する。

40

次いで、絶縁性基板 2 1 上の全域に、例えば、膜厚 2 5 0 n m の窒化シリコン等のボトムゲート絶縁膜 2 3、膜厚 5 0 n m の a - S i 膜 2 4 p、および、膜厚 1 0 0 n m の S i N 膜を形成する。

【 0 0 9 9 】

次いで、a - S i 膜 2 4 p のチャネル領域となる領域の上方の S i N 膜を選択的にエッチングすることにより、所定の形状を有するブロック絶縁膜 2 5 a、2 5 b を形成し、さら

50

に、ブロック絶縁膜 25 a、25 b を含む a - S i 膜 24 p 上の全域に、例えば、リンイオン (P⁺) 等の n 型不純物イオンを含むアモルファスシリコンからなる膜厚 25 nm の n 型シリコン膜 26 p を堆積する。n 型シリコン膜 26 p は真性アモルファスシリコン膜を形成した後、このアモルファスシリコン膜にイオン注入法や熱拡散法を用いて n 型不純物イオンを導入しても得ることができる。

次いで、ベースパッド 22 a 上のボトムゲート絶縁膜 23、a - S i 膜 24 p および n 型シリコン膜 26 p をエッチングすることにより、ベースパッド 22 a が露出する開口部 23 a を形成する。

【0100】

次に、第 2 の工程は、図 19 (b) に示すように、不純物層 26 p 上の全域に、例えば、膜厚 50 nm のクロム等の金属層 27 p を成膜する。ここで、金属層 27 p は、ボトムゲート絶縁膜 23、a - S i 膜 24 p および n 型シリコン膜 26 p に形成された開口部 23 a を介して、ベースパッド 22 a に接続されるように形成される。

10

【0101】

次に、第 3 の工程は、図 20 (a) に示すように、上記第 2 の工程により形成された金属層 27 p、a - S i 膜 24 p および n 型シリコン膜 26 p を、選択的にエッチングすることにより、ブロック絶縁膜 25 a、25 b (チャネル領域) 間に跨るように延在する単一のソース電極 27 b と、各ブロック絶縁膜 25 a、25 b (チャネル領域) を挟んでソース電極 27 b に対向するように延在し、図示を省略した配線層により互いに接続されたドレイン電極 27 a、27 c と、所定の位置に配置されるベースパッド 27 x と、ドレイン電極 27 a とベースパッド 27 x を接続するドレインライン 103 を形成するとともに、開口部 23 a およびその近傍に所定の形状を有する第 1 のボトムパッド電極層 22 b を形成する。

20

【0102】

このとき、ドレイン電極 27 a、27 c、ソース電極 27 b 等の導電層の形成と同時に、導電層の下層に、不純物層 26 e、26 f、26 g および半導体層 24 d が同一の形状を有するようにパターニングされる。なお、半導体層 24 d は、ドレイン電極 27 a、27 c、ソース電極 27 b が形成される領域、および、チャネル領域となる領域を含むボトムゲート電極 22 上方に形成される。ドレインライン 103 の下層には、ドレインライン 103 と同一形状の不純物層 26 h 及び半導体層 24 e が形成され、ベースパッド 27 x の下方には、ベースパッド 27 x と同一形状の不純物層 26 i 及び半導体層 24 f が形成される。

30

【0103】

次に、第 4 の工程は、図 20 (b) に示すように、上記第 3 の工程により形成されたドレイン電極 27 a、27 c、ソース電極 27 b、ベースパッド 27 x、ドレインライン 103 および第 1 のボトムパッド電極層 22 b を含むボトムゲート絶縁膜 23 上の全域に、例えば、膜厚 150 nm の窒化シリコン等のトップゲート絶縁膜 28 を形成した後、第 1 のボトムパッド電極層 22 b およびベースパッド 27 x 上のトップゲート絶縁膜 28 をエッチングすることにより、第 1 のボトムパッド電極層 22 b およびベースパッド 27 x が露出する開口部 28 a、28 b を形成する。

40

【0104】

次に、第 5 の工程は、図 21 (a) に示すように、トップゲート絶縁膜 28 上の全域に、例えば、膜厚 50 nm の I T O 等の透明導電層を成膜した後、この透明導電層を選択的にエッチングすることにより、半導体層 24 の上方に延在して形成された単一のトップゲート電極 29 と、所定の位置に配置されたベースパッド 29 a と、トップゲート電極 29 とベースパッド 29 a を接続するトップゲートライン 101 を形成する。このとき同時に、開口部 28 a を介して、第 1 のボトムパッド電極層 22 b に接続された第 2 のボトムパッド電極層 22 c と、開口部 28 b を介して、ベースパッド 27 x に接続された第 1 のドレインパッド電極層 27 y を形成する。

【0105】

50

次に、第6の工程は、図21(b)に示すように、上記第5の工程により形成されたトップゲート電極29、ベースパッド29a、トップゲートライン101、第2のボトムパッド電極層22cおよび第1のドレインパッド電極層27yを含むトップゲート絶縁膜28上の全域に、例えば、膜厚200~400nmの窒化シリコン等の保護絶縁膜30を形成し、第2のボトムパッド電極層22c、第1のドレインパッド電極層27yおよびベースパッド29a上の保護絶縁膜30をエッチングすることにより、第2のボトムパッド電極層22c、第1のドレインパッド電極層27yおよびベースパッド29aが各々露出する開口部30a、30b、30cを形成する。

【0106】

そして、上述した一連の工程により製造されたフォトセンサアレイ100Dは、図18に示したように、保護絶縁膜30に形成された開口部30a、30b、30cを介して、第2のボトムパッド電極層22c、第1のドレインパッド電極層27yおよびベースパッド29aが、各々ボトムゲートドライバ120、ドレインドライバ130およびトップゲートドライバ110のバンプ(外部端子)Bb、Bd、Btに接合される。

10

【0107】

したがって、このようなフォトセンサアレイの製造方法によれば、アレイ領域およびパッド領域の各構成を、同一の材料および同一の工程を適用して製造することができるとともに、上述した実施形態(図9乃至図11)と比較して、製造プロセス(特に、フォトリソグラフィ技術およびエッチング法を用いたパターンニング工程)をさらに削減(本製造方法では7回)して、製造コストの低減や製造時間の短縮を図ることができる。また、パッド部における電極層(特に、ドレインパッド部)を厚く形成して、形状不良の抑制や周辺回路のバンプとの接合性の向上を図ることができるとともに、半導体層および不純物層を、ドレインラインおよびドレインパッド部下層にまで延在させているので、上層に設けられる絶縁層および導電層に生じる段差を緩和することができ、絶縁特性や信号伝達特性の劣化等を抑制することができる。

20

【0108】

<第4の実施形態>

次に、本発明に係るフォトセンサアレイの第4の実施形態について、図面を参照して説明する。

図22は、本発明に係るフォトセンサアレイにおける第4の実施形態を示す要部断面図である。ここでは、図18に示した構成と同等のダブルゲート型フォトセンサを適用した場合について説明する。なお、図示の都合上、アレイ領域に形成された単一のダブルゲート型フォトセンサのみを示す。また、上述した実施形態(図16、図18)と同等の構成については、同一の符号を付して、その説明を簡略化する。

30

【0109】

本実施形態に係るフォトセンサアレイ100Eは、図18に示したフォトセンサアレイ100Dの構成において、最上層に形成された保護絶縁膜30のアレイ領域Aa上に、ITO等の透光性を有する導電膜からなり、所定の電位が印加されたアース電極31と、保護絶縁膜30のパッド領域Apに形成された開口部30a、30b、30c(図21(b)参照)の各々を介して、第2のボトムパッド電極層22c、第1のドレインパッド電極層27y、ベースパッド29aに接続するように、アース電極31と同一の導電性材料(例えば、ITO)により構成された電極層(第3のボトムパッド電極層22d、第2のドレインパッド電極層27z、トップパッド電極層29b)が積層された構成を有している。

40

【0110】

このような構成を有するフォトセンサアレイ100Dの製造方法は、まず、図19乃至図21に示した製造プロセスにより図18に示したフォトセンサアレイ100Dの構成を形成した後、第7の工程として、保護絶縁膜30上の全域に、例えば、膜厚50nmのITO等の透明導電層を成膜した後、この透明導電層を選択的にエッチングすることにより、アレイ領域Aa上に、アース電極31を形成するとともに、パッド領域Apの開口部30aを介して、第2のボトムパッド電極層22cに接続された第3のボトムパッド電極層2

50

2 d と、開口部 3 0 b を介して、第 1 のドレインパッド電極層 2 7 y に接続された第 2 のドレインパッド電極層 2 7 z と、開口部 3 0 c を介して、ベースパッド 2 9 a に接続されたトップパッド電極層 2 9 b を形成する。

【 0 1 1 1 】

また、フォトセンサアレイ 1 0 0 E は、第 3 のボトムパッド電極層 2 2 d、第 2 のドレインパッド電極層 2 7 z、トップパッド電極層 2 9 b を備えていたが、これらのうち 1 種又は 2 種のみを有してもよい。

そして、図示しないが、ソースパッド群 1 4 1 は、ドレインパッド部 P d のベースパッド 2 7 x、第 1 のドレインパッド電極層 2 7 y、及び第 2 のドレインパッド電極層 2 7 z と同様に 3 層構造としてもよく、また、ベースパッド 2 7 x と同じ層からなる 1 層構造、或いはベースパッド 2 7 x、第 1 のドレインパッド電極層 2 7 y と同じ層からなる 2 層構造、或いは、ベースパッド 2 7 x、第 2 のドレインパッド電極層 2 7 z と同じ層からなる 2 層構造、或いは第 1 のドレインパッド電極層 2 7 y、第 2 のドレインパッド電極層 2 7 z と同じ層からなる 2 層構造のいずれであってもよい。

【 0 1 1 2 】

そして、このような工程により製造されたフォトセンサアレイ 1 0 0 E は、図 2 2 に示したように、パッド領域 A p に配列された第 3 のボトムパッド電極層 2 2 d、第 2 のドレインパッド電極層 2 7 z およびトップパッド電極層 2 9 b の各々に、パンプ B b、B d、B t を接合することにより、ボトムゲートドライバ 1 2 0、ドレインドライバ 1 3 0 およびトップゲートドライバ 1 1 0 に接続される。

【 0 1 1 3 】

このようなフォトセンサアレイ 1 0 0 E の構成および製造方法によれば、上述した実施形態（図 1 8）と同様の作用効果を得ることができるとともに、アース電極により、フォトセンサアレイ上に載置される被写体に帯電していた電荷が放電されるので、フォトセンサアレイを構成するダブルゲート型フォトセンサの静電破壊や動作不良を良好に防止することができる。

なお、本実施形態においては、アレイ領域の保護絶縁膜上に、単一のアース電極を形成した構成について説明したが、上述した実施形態（図 1 7）に示したように、複数分割されたアース電極を形成して、被写体に帯電していた電荷を放電するとともに、アース電極間の短絡による電圧変化に基づいて、各ドライバの動作を制御するように構成しても良い。

【 0 1 1 4 】

次に、本発明に適用されるフォトセンサアレイの他の構成例について、図面を参照して説明する。

図 2 3 は、本発明に係るフォトセンサアレイに適用される他のダブルゲート型フォトセンサであって、1 素子当たりフォトセンサ部となる半導体層が 3 個のダブルゲート型フォトセンサの概略構成図であり、図 2 4 は、そのダブルゲート型フォトセンサをマトリクス状に配置したフォトセンサアレイの平面構成図である。ここで、上述した実施形態と同様の構成については、同一の符号を付して、その説明を簡略化する。

【 0 1 1 5 】

図 2 3 (a)、(b) に示すように、本構成例に適用されるダブルゲート型フォトセンサ 1 0 F は、並列に配置された半導体層 2 4 a、2 4 b、2 4 c と、半導体層 2 4 a と 2 4 b 間に跨って形成された単一のソース電極 2 7 b と、半導体層 2 4 b と 2 4 c 間に跨って形成された単一のドレイン電極 2 7 c と、半導体層 2 4 a を挟んでソース電極 2 7 b に対向して形成されたドレイン電極 2 7 a と、半導体層 2 4 c を挟んでドレイン電極 2 7 c に対向して形成されたソース電極 2 7 d と、半導体層 2 4 a とドレイン電極 2 7 a との間に介在する不純物層 2 6 j と、半導体層 2 4 a とソース電極 2 7 b との間に介在する不純物層 2 6 k と、半導体層 2 4 b とソース電極 2 7 b との間に介在する不純物層 2 6 m と、半導体層 2 4 b とドレイン電極 2 7 c との間に介在する不純物層 2 6 n と、半導体層 2 4 c とドレイン電極 2 7 c との間に介在する不純物層 2 6 p と、半導体層 2 4 c とソース電極 2 7 d との間に介在する不純物層 2 6 q と、各半導体層 2 4 a、2 4 b、2 4 c の上層に

10

20

30

40

50

上方に形成されたブロック絶縁膜 25 a、25 b、25 c と、半導体層 24 a、24 b、24 c の上方にトップゲート絶縁膜 28 を介して、各半導体層 24 a、24 b、24 c に対して共通に形成された単一のトップゲート電極 29 と、各半導体層 24 a、24 b、24 c の下方にボトムゲート絶縁膜 23 を介して、各半導体層 24 a、24 b、24 c に対して共通に形成された単一のボトムゲート電極 22 と、を有し、これらの構成がガラス基板等の絶縁性基板 21 上に形成されている。

なお、各絶縁膜や導電層の材質、また、その製造方法については、上述した実施形態（図 8）と同等であるので、その説明を省略する。

【0116】

すなわち、ダブルゲート型フォトセンサ 10 F は、絶縁性基板 21 上に、チャンネル長が L 3、チャンネル幅 W の半導体層 24 a を共通のチャンネル領域として、半導体層 24 a、ドレイン電極 27 a、ソース電極 27 b、トップゲート絶縁膜 28、ボトムゲート絶縁膜 23、トップゲート電極 29 およびボトムゲート電極 22 により構成される第 1 のダブルゲート型フォトセンサと、チャンネル長が L 4、チャンネル幅 W の半導体層 24 b を共通のチャンネル領域として、半導体層 24 b、ソース電極 27 b、ドレイン電極 27 c、トップゲート絶縁膜 28、ボトムゲート絶縁膜 23、トップゲート電極 29 およびボトムゲート電極 22 により構成される第 2 のダブルゲート型フォトセンサと、チャンネル長が L 5、チャンネル幅 W の半導体層 24 c を共通のチャンネル領域として、半導体層 24 c、ドレイン電極 27 c、ソース電極 27 d、トップゲート絶縁膜 28、ボトムゲート絶縁膜 23、トップゲート電極 29 およびボトムゲート電極 22 により構成される第 3 のダブルゲート型フォトセンサとを、並列に連結配置した構成を有している。

【0117】

特に、第 1 乃至第 3 の各ダブルゲート型フォトセンサを構成するトップゲート電極 29 とボトムゲート電極 22 を、各々共通電極により構成し、かつ、ドレイン電極 27 a、27 c を共通のドレインライン 103 から突出形成し、また、ソース電極 27 b、27 d を共通のソースライン 104 から突出形成した構成を有しているため、連結配置された 3 個のダブルゲート型フォトセンサを、上述した駆動制御方法を適用して、1 個のダブルゲート型フォトセンサとして動作させることができる。

【0118】

ダブルゲート型フォトセンサ 10 F において、光量に応じて流れるドレイン電流 I_{ds} は、一般に、次式のような関係を有している。

$$I_{ds} \propto W / L_3 + W / L_4 + W / L_5 \quad \dots \dots (3)$$

ここで、チャンネル長 $L_3 = L_4 = L_5 = L$ の関係になるように設定することにより、上記 (3) 式に基づいて、ソース - ドレイン電流 I_{ds} を、図 12 に示したダブルゲート型フォトセンサ 10 A に比較して、理論上 3 倍に増大させることができるので、トランジスタ特性を顕著に向上させることができる。

【0119】

そして、このような構成を有するダブルゲート型フォトセンサ 10 F によれば、チャンネル領域を構成する半導体層 24 a、24 b、24 c が、各々幅方向（長手方向）を対向させて、チャンネル長 L_3 、 L_4 、 L_5 の延在方向に並行に連続配置されているので、各半導体層 24 a、24 b、24 c における入射有効領域のチャンネル幅方向の長さを W、各入射有効領域のチャンネル長方向の長さを K_3 、 K_4 、 K_5 とし、たとえば、 $K_3 = K_4 = K_5 = K$ に設定した場合、チャンネル長方向の長さを 3 倍（ $3 \times K$ ）に設定したダブルゲート型フォトセンサとして取り扱うことができる。

【0120】

したがって各半導体層 24 a、24 b、24 c のチャンネル長方向（図 24 の上下方向；y 方向）の光検知領域の広がり最大でダブルゲート型フォトセンサ 10 A の 3 倍となり、より一層光検知領域の広がりを正方形化することができる。

そのため、上述した図 7、図 8 に示した実施形態と同様に、このようなダブルゲート型フォトセンサ 10 F を、図 24 に示すように、マトリクス状に配列してフォトセンサアレイ

100Fを構成することにより、光検知領域の広がりを一層均一化して、2次元画像の読み取り時における歪みを抑制し、さらに、高いトランジスタ特性を有する光受光部を備えたフォトセンサアレイ、および、2次元画像の読取装置を実現することができる。

【0121】

なお、上述した各実施形態においては、ダブルゲート型フォトセンサ10A~10Fは、半導体層（あるいは、ダブルゲート型フォトセンサ）を1~3個、並列に連続配置した構成を示したが、本発明は、この形態に限定されるものではない。したがって、連続配置する半導体層の個数に応じて、光受光感度および光検知領域の広がりを任意に設定することができる。

【0122】

この場合、図14(b)又は図24に示したように、ダブルゲート型フォトセンサ10B、10Fをマトリクス状に配置してフォトセンサアレイ100B、100Fを構成し、2次元画像の読取装置に適用した場合、マトリクスの格子内部の素子間領域Ra、Rbを通して、絶縁性基板（ガラス基板）21側からの光が被写体に照射されるので、被写体への照射光量を十分に確保するように素子間領域Ra、Rbを設定した上で、光受光部の形成領域に連続配置される半導体層（ダブルゲート型フォトセンサ）の数を任意に設定する必要がある。

【0123】

図25は、本発明に係るフォトセンサアレイのさらに他の実施形態を示す概略構成図であり、図26は、本発明に係るフォトセンサアレイを適用した2次元画像の読取装置の概略構成図である。なお、図26においては、図示の都合上、ダブルゲート型フォトセンサを簡略化して示す。

図25に示すように、本実施形態に係るフォトセンサアレイ100Gは、上述した図14(a)に示したダブルゲート型フォトセンサ10Bと同等の構成を有するダブルゲート型フォトセンサ10Gを有し、各ダブルゲート型フォトセンサ10Gが、2次元平面に連続して設定された一辺が $Psa (= Psp)$ ：図12(b)に示したダブルゲート型フォトセンサ10A相互のピッチ)の仮想の正三角形の各頂点位置に配置された、いわゆるデルタ配列構造を有している。

【0124】

すなわち、図12(b)に示したフォトセンサアレイ100Aにおけるダブルゲート型フォトセンサ10Aの配置と対比すると、図12(b)におけるフォトセンサアレイ100Aの場合には、ダブルゲート型フォトセンサ10A相互が、x、yの直交する2方向にのみ、均等な寸法 Psp だけ離間するように配置されているため、マトリクスに対応するx、y方向に対して、斜め方向(0°、90°、180°、270°以外の適当な角度。例えば、45°や60°方向)においては、ダブルゲート型フォトセンサ10A相互のピッチがx、y方向に対して増大して不均一となり(例えば、45°の場合には Psp の2倍)、斜め方向に載置された被写体に対して、均一かつ高精度な読み取り動作を実現することができないという問題を有していた。

【0125】

これに対して、本実施形態に係るフォトセンサアレイ100Gにおいては、2次元平面に連続して設定された各正三角形の各頂点位置に光受光部となるダブルゲート型フォトセンサ10Gが配置されているので、x方向に均等にダブルゲート型フォトセンサ10Gが配置されるとともに、斜め方向(60°、120°、240°、300°)にも、均等にダブルゲート型フォトセンサ10Gが配置されることになり、光受光部相互間のピッチが Psa に均一化される。

【0126】

したがって、2次元平面上に配置される全てのダブルゲート型フォトセンサが、略全周方向に隣接するダブルゲート型フォトセンサに対して等間隔なピッチ Psa で配置されることになるので、読み取り対象となる2次元画像がx、y方向に対して斜めに載置された場合であっても、画像読み取り時の歪みを抑制しつつ、高い読み取り精度で正確に読み取る

10

20

30

40

50

ことができる。

また、各ダブルゲート型フォトセンサがデルタ配列されているので、x方向のピッチを図12(b)のフォトセンサと同等の $P_{sa} (= P_{sp})$ に設定した場合、y方向のピッチ P_{sb} は、次式により表される。

$$P_{sb} = P_{sa} \times \sin 60^\circ \quad \dots \dots (4)$$

【0127】

このように、y方向のピッチ P_{sb} は、x方向のピッチ $P_{sa} (= P_{sp})$ よりも短くなるため、図12(b)に示したフォトセンサアレイ100Aと同等の平面領域 M_p に対して、y方向に縮小された平面領域 M_c で、同数のダブルゲート型フォトセンサ10Gを配置することができ、2次元画像の読取装置の小型化を図ることができる。換言すれば、図12(b)に示したフォトセンサアレイ100Aと同等の平面領域 M_p に、 $1/\sin 60^\circ$ 倍(1.15倍)の数のダブルゲート型フォトセンサ10Gを配置することができ、高密度化を図ることができる。

10

なお、デルタ配列においては、各光受光部を構成するダブルゲート型フォトセンサとして、図14(a)に示した実施形態の構成を適用したが、図12(a)や図23(a)に示した実施形態の構成や、さらに他の構成のダブルゲート型フォトセンサを適用してもよいことはいうまでもない。

【0128】

以上説明したフォトセンサアレイを、図26に示すような2次元画像の読取装置(図では、指紋読取装置)に適用することにより、フォトセンサアレイ100Mのガラス基板側に設けられた面光源40から、素子間領域の透明な絶縁膜を透過して、指等の被写体50aに照射された光Rの反射光が、マトリクス状に配置された各ダブルゲート型フォトセンサ10Mに入射され、上述したように、読み取り時の歪みを低減しつつ、高精度、かつ、短時間で被写体50aの明暗情報の読み取りを実行することができる。

20

また、フォトセンサアレイ100Mにおけるトランジスタ特性を大幅に向上することができるため、相対的に面光源の照度を低減することができ、読取装置の消費電力を削減することができる。

【0129】

【発明の効果】

請求項1記載の発明によれば、ソース、ドレイン端子、第1ゲート端子のいずれかが、前記第2ゲート電極を構成する透明電極層を含む積層構造を有しているため、各端子の構成を厚く形成することができるのでシート抵抗を低くし、また端子の形状不良を抑制しつつ、周辺回路との良好な電気的接続状態を実現することができる。特に透明電極層をITOとすると、ITO以外の金属端子に比べ周辺回路との接合性を向上することができる。

30

【0130】

また、請求項2または3記載の発明によれば、ソース、ドレイン端子、第1ゲート端子および第2ゲート端子のいずれかは、構成する積層構造のうち、少なくとも最上層が、透明電極層により構成されているものであればよい。これにより、半導体層に対する励起光の入射側に形成される電極層と同一の材料かつ同一の工程を用いて、各端子を積層形成することができる。

40

ここで、光電変換素子の最上層に形成される透明電極層に、所定の電位(接地電位)を印加することにより、画像読み取り時に被写体に帯電した電荷を放電することができ、光電変換素子の静電破壊や動作不良を防止することができる。

【0131】

また、少なくとも、ソース、ドレイン電極、ソース、ドレイン端子およびソース、ドレイン配線の下層に、半導体層が延在して設けられているものであればよく、これにより、各端子部の積層構造をより厚く形成することができ、端子の形状不良を一層抑制して、周辺回路との接合性をさらに向上させることができるとともに、半導体層よりも上層に設けられる絶縁層や第2ゲート電極等の導電層に生じる段差を緩和することができ、絶縁特性や信号伝達特性の劣化等を抑制することができる。

50

また、上記構成を有する複数の光電変換素子は、各端子を介してドレインドライバ、第1ゲートドライバ及び第2ゲートドライバ等の所定の周辺回路に接続されるので、良好な絶縁特性や信号伝達特性、接合性を有するフォトセンサシステムを簡易な製造プロセスにより抵抗することができる。

【0132】

また、請求項6記載の発明によれば、半導体層のソース、ドレイン電極間の励起光が入射される有効領域が、容易に所定の形状比率を満たすように構成することが可能になり、光検知領域の偏りを改善するように任意に配置することができる。したがって、半導体層の入射有効領域を最適な形状比率になるように設定することができるので、励起光の入射量が微量であっても十分ソース-ドレイン電流を流すことができ、良好な受光感度を実現することができる。

10

請求項6記載のフォトセンサアレイにおいて、複数の半導体層のソース電極は互いに接続され、複数の半導体層のドレイン電極は互いに接続されていてもよく、ソース電極又はドレイン電極が、複数の半導体層のうち隣接する2つに跨って形成されていてもよい。

【0133】

また、複数の光電変換素子の各々の複数の半導体層が、半導体層のチャンネル長方向に並んで配列されていてもよい。

さらに、複数の光電変換素子がデルタ配列されていれば、2次元的に隣接する光電変換素子間の距離をより均等にすることができるため、同じ被写体をフォトセンサアレイに対し平面的に異なる角度で載置したときの、方向に応じて異なる受光感度の不均一さによる光情報のずれを抑制することができるので、被写体が載置する角度の制限が少なく済み、一層の画像読み取り特性に優れたフォトセンサアレイを実現することができる。

20

【0134】

請求項11記載の発明によれば、フォトセンサアレイを構成する光電変換素子の各導電層と同一の材料かつ同一の工程で、第1ゲート端子、ドレイン端子のいずれかを構成する各電極層を積層形成しているため、フォトセンサアレイ全体を共通する一連の製造プロセスで各構成の形成や処理を行うことができ、製造プロセスを削減して、製造コストの低減や製造時間の短縮を図ることができるとともに、第1ゲート端子、ドレイン端子のいずれかを構成する各電極層を良好に厚くし端子のシート抵抗を低くすることができる。

【0135】

また、請求項13記載の発明によれば、保護絶縁膜上に、アース電極と、第1ゲート端子最上層又はドレイン端子最上層又は第2ゲート端子上層と、を同一の工程で形成するものであってもよい。これにより、製造プロセスを増加することなく、被写体に帯電した電荷による光電変換素子の静電破壊や動作不良を防止することができるとともに、各端子の積層構造をより厚く形成して周辺回路との接合性をより向上させることができる。

30

また、ドレイン端子、第1ゲート端子および第2ゲート端子を構成する積層構造のうち、少なくとも最上層となる導電層が、透明電極層により構成されているものであればよい。これにより、半導体層に対する励起光の入射側に形成される電極層と同一の材料かつ同一の工程を用いて、製造プロセスを増加することなく、各端子を積層形成することができる。

40

【0136】

また、少なくとも、ソース、ドレイン電極、ソース、ドレイン端子およびソース、ドレイン配線の下層に、半導体層が延在して設けられているものであればよく、これにより、各端子部の積層構造をより厚く形成して、端子の形状不良を一層抑制し、周辺回路との接合性をさらに向上させることができるとともに、半導体層よりも上層に設けられる絶縁層や第2ゲート電極等の導電層に生じる段差を緩和して、絶縁特性や信号伝達特性の劣化等を抑制することができるフォトセンサシステムを簡易な製造プロセスで提供することができる。

【図面の簡単な説明】

【図1】本発明に適用されるダブルゲート型フォトセンサの基本構造を示す概略断面図で

50

ある。

【図 2】本発明に適用されるダブルゲート型フォトセンサを 2 次元配列して構成されるフォトセンサアレイを備えたフォトセンサシステムの概略構成図である。

【図 3】フォトセンサシステムの駆動制御方法の一例を示すタイミングチャートである。

【図 4】ダブルゲート型フォトセンサの動作概念図である。

【図 5】フォトセンサシステムの出力電圧の光応答特性を示す図である。

【図 6】ダブルゲート型フォトセンサを備えたフォトセンサシステムを適用した 2 次元画像の画像読取装置の要部断面図である。

【図 7】本発明に係るフォトセンサアレイにおける第 1 の実施形態の一構成例を示す要部断面図である。

10

【図 8】本発明に係るフォトセンサアレイにおける第 1 の実施形態の他の構成例を示す要部断面図である。

【図 9】図 8 に示した構成を有するフォトセンサアレイの製造方法における第 1 乃至第 3 の工程を示す各工程断面図である。

【図 10】図 8 に示した構成を有するフォトセンサアレイの製造方法における第 4 乃至第 5 の工程を示す各工程断面図である。

【図 11】図 8 に示した構成を有するフォトセンサアレイの製造方法における第 6 乃至第 7 の工程を示す各工程断面図である。

【図 12】図 7 に示した 1 素子当たりフォトセンサ部となる半導体層が 1 個のダブルゲート型フォトセンサの入射有効領域と、フォトセンサアレイにおける配置構造を示す図である。

20

【図 13】図 12 (a) に示した構成における光検知領域の広がりを示す概念図である。

【図 14】図 8 に示した 1 素子当たりフォトセンサ部となる半導体層が 2 個のダブルゲート型フォトセンサの入射有効領域と、フォトセンサアレイにおける配置構造を示す図である。

【図 15】図 14 (a) に示した構成における光検知領域の広がりを示す概略図である。

【図 16】本発明に係るフォトセンサアレイにおける第 2 の実施形態を示す要部断面図である。

【図 17】図 16 に示したフォトセンサアレイを備えたフォトセンサシステムの一例を示す概略構成図である。

30

【図 18】本発明に係るフォトセンサアレイにおける第 3 の実施形態を示す要部断面図である。

【図 19】図 18 に示した構成を有するフォトセンサアレイの製造方法における第 1 乃至第 2 の工程を示す各工程断面図である。

【図 20】図 18 に示した構成を有するフォトセンサアレイの製造方法における第 3 乃至第 4 の工程を示す各工程断面図である。

【図 21】図 18 に示した構成を有するフォトセンサアレイの製造方法における第 5 乃至第 6 の工程を示す各工程断面図である。

【図 22】本発明に係るフォトセンサアレイにおける第 4 の実施形態を示す要部断面図である。

40

【図 23】1 素子当たりフォトセンサ部となる半導体層が 3 個のダブルゲート型フォトセンサの概略構成図である。

【図 24】図 23 に示したダブルゲート型フォトセンサをマトリクス状に配置したフォトセンサアレイの平面構成図である。

【図 25】本発明に係るフォトセンサアレイのさらに他の実施形態を示す概略構成図である。

【図 26】本実施形態に係るフォトセンサアレイを適用した 2 次元画像の読取装置の概略構成図である。

【符号の説明】

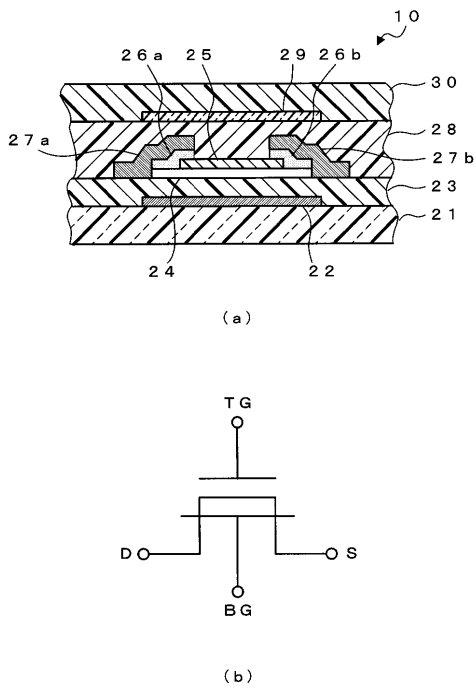
10、10A ~ 10G

ダブルゲート型フォトセンサ

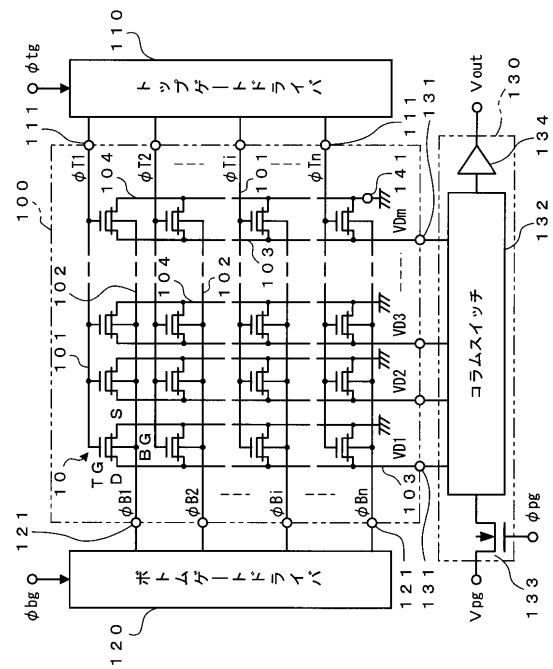
50

- 2 1 絶縁性基板
- 2 2 ボトムゲート電極
- 2 3 ボトムゲート絶縁膜
- 2 4、2 4 a ~ 2 4 f 半導体層
- 2 5、2 5 a ~ 2 5 c ブロック絶縁膜
- 2 6 a ~ 2 6 q 不純物層
- 2 7 a、2 7 c ドレイン電極
- 2 7 b、2 7 d ソース電極
- 2 8 トップゲート絶縁膜
- 2 9 トップゲート電極
- 3 0 保護絶縁膜
- 3 1 アース電極
- 1 0 0、1 0 0 A ~ 1 0 0 G フォトセンサアレイ
- 1 1 0 トップゲートドライバ
- 1 2 0 ボトムゲートドライバ
- 1 3 0 ドレインドライバ
- P b ボトムゲートパッド部
- P d ドレインパッド部
- P t トップゲートパッド部

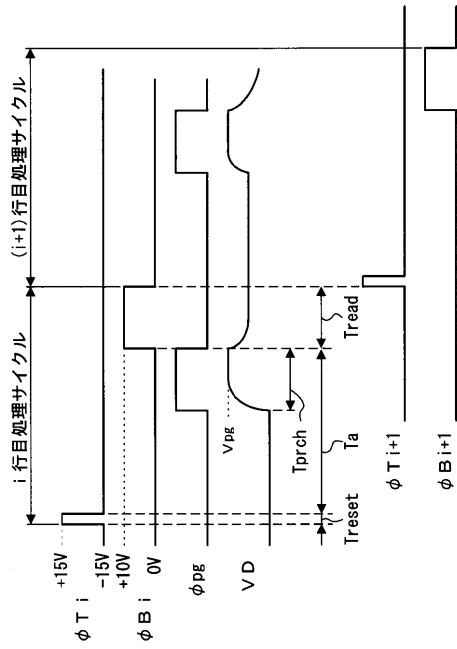
【図 1】



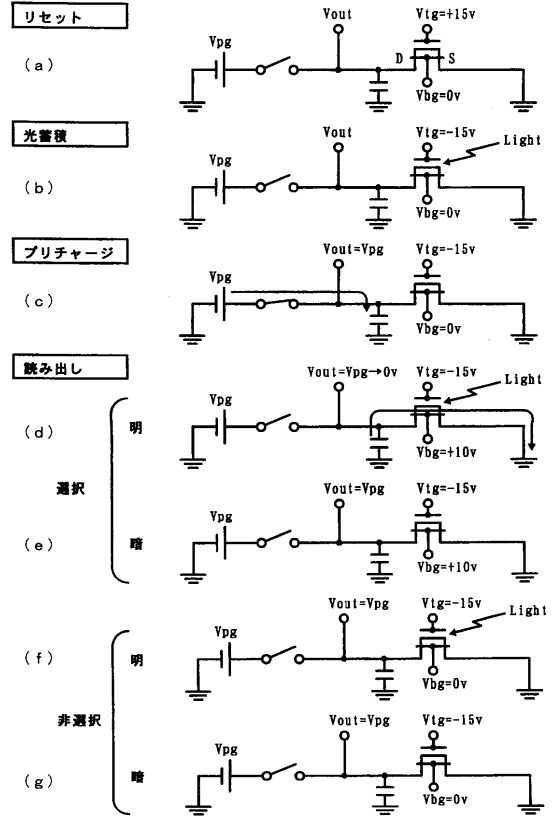
【図 2】



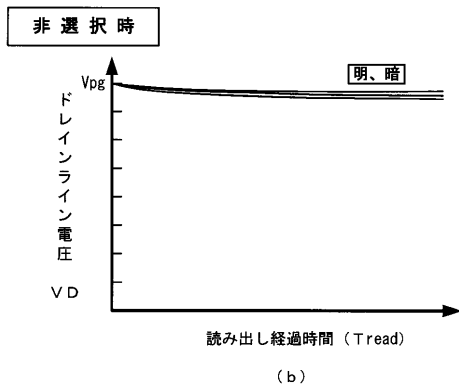
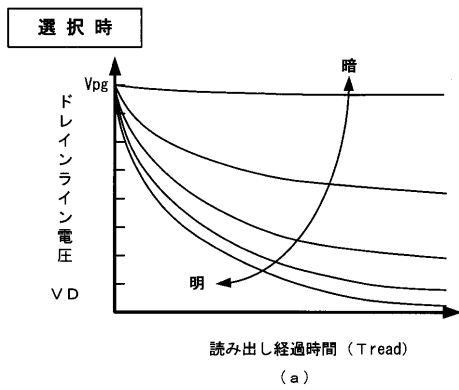
【 図 3 】



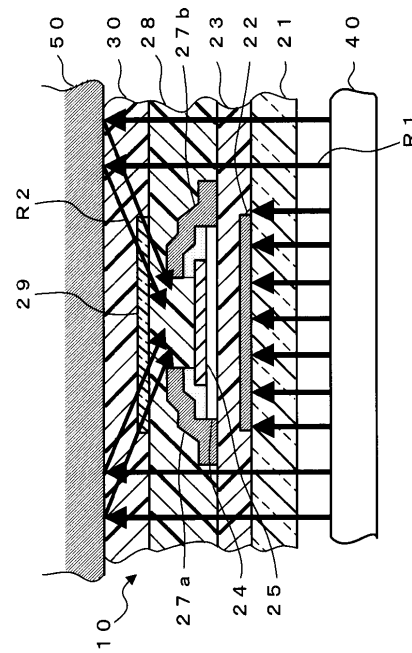
【 図 4 】



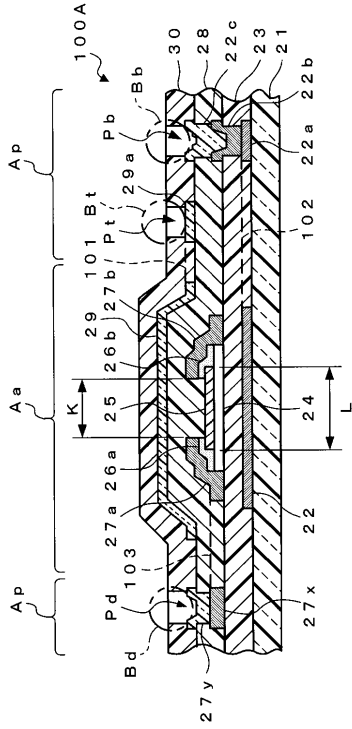
【 図 5 】



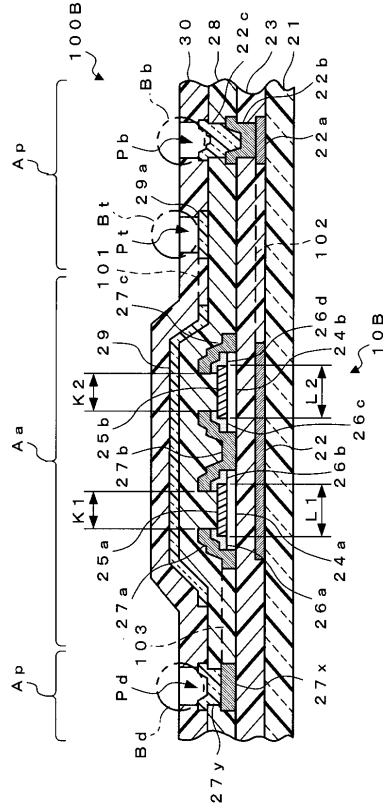
【 図 6 】



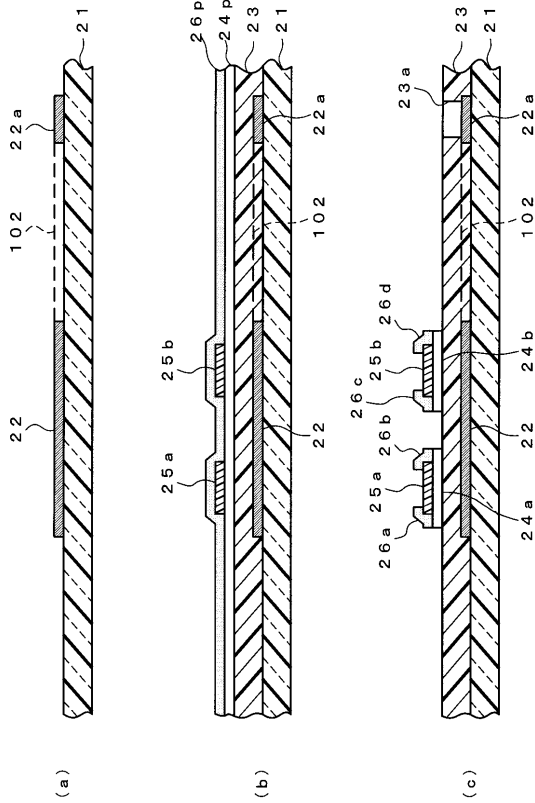
【 7 】



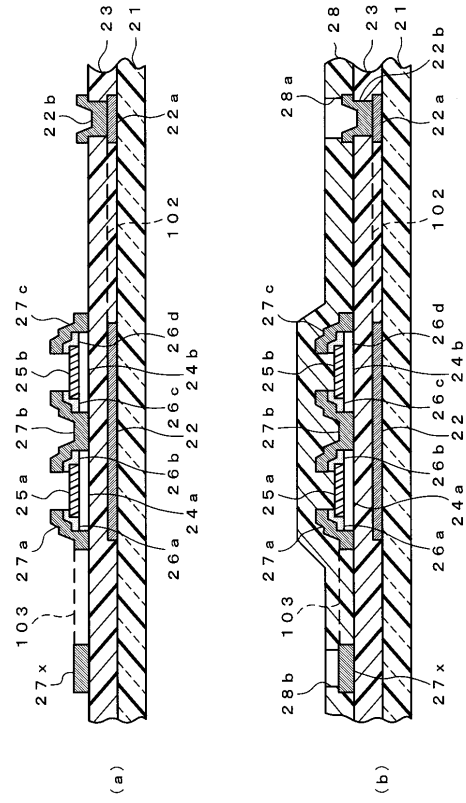
【 8 】



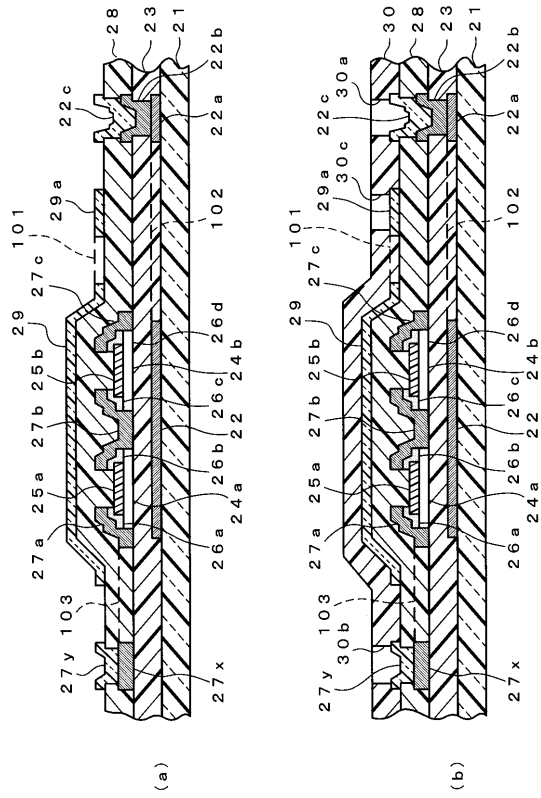
【 9 】



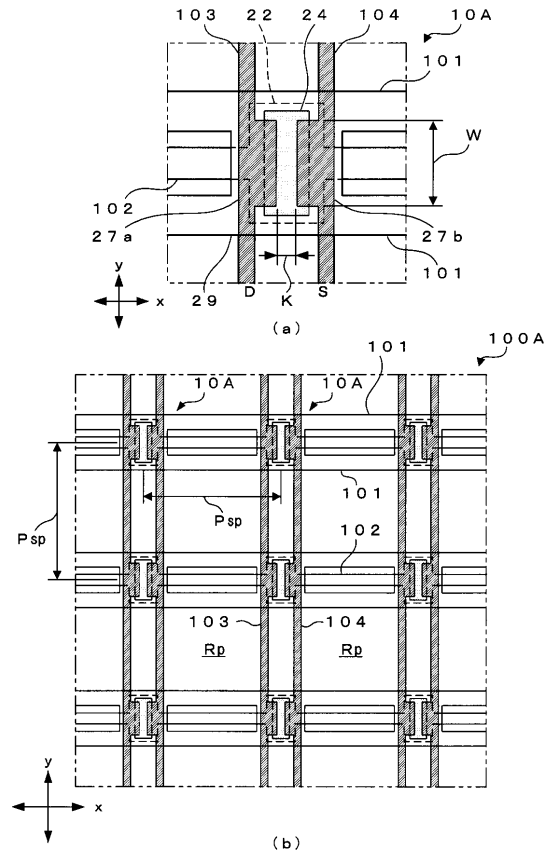
【 10 】



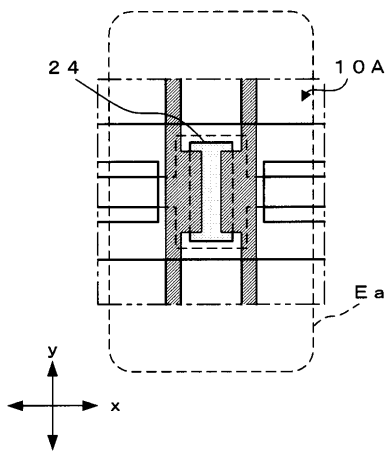
【 図 1 1 】



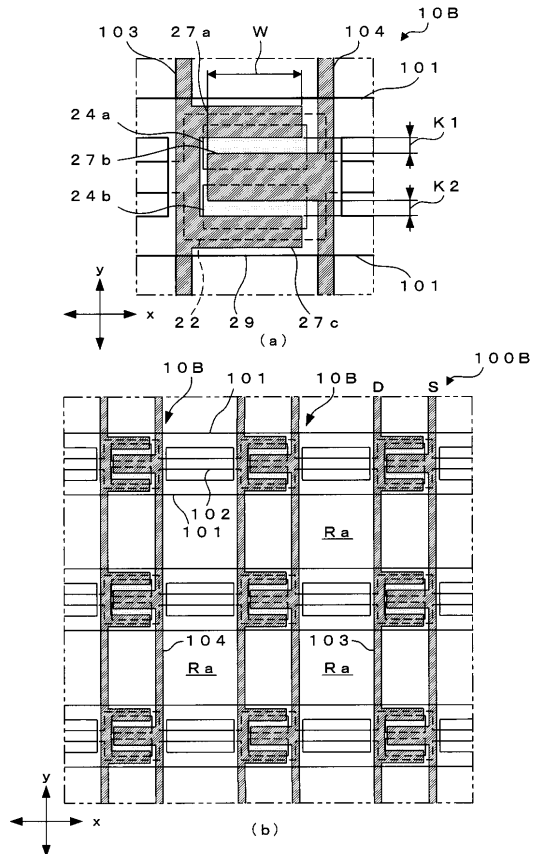
【 図 1 2 】



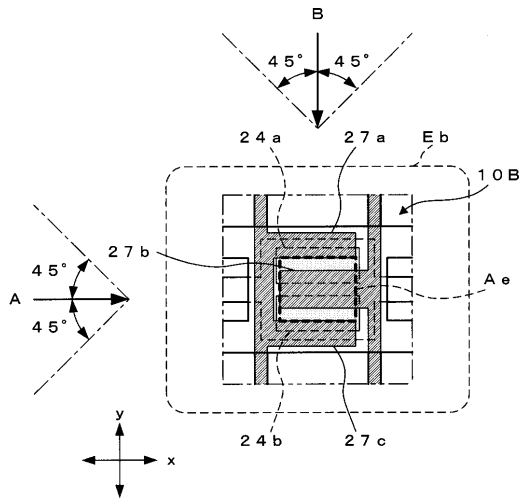
【 図 1 3 】



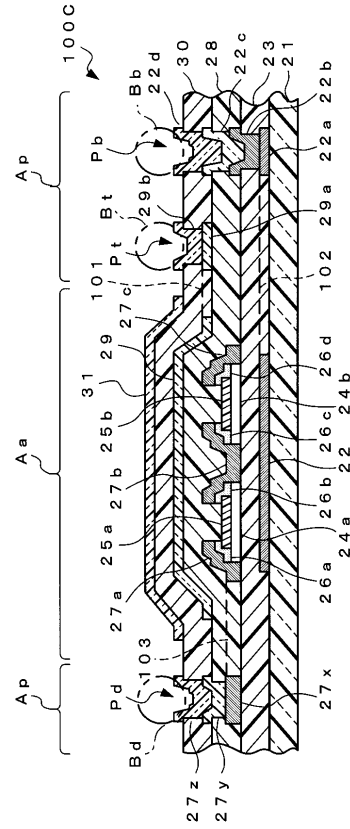
【 図 1 4 】



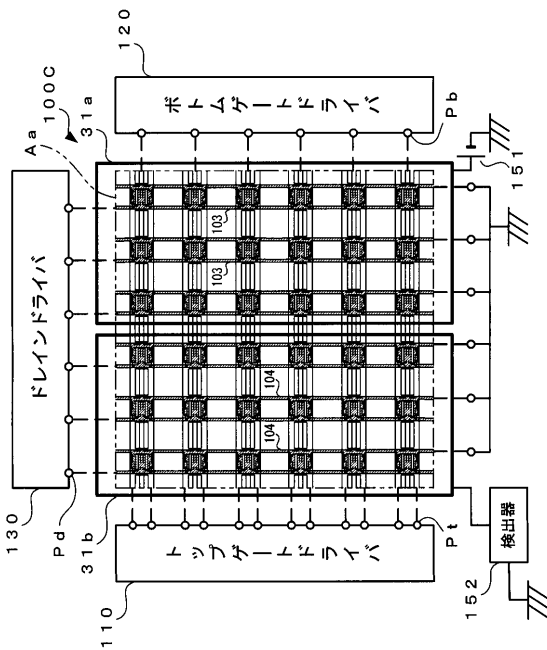
【 図 15 】



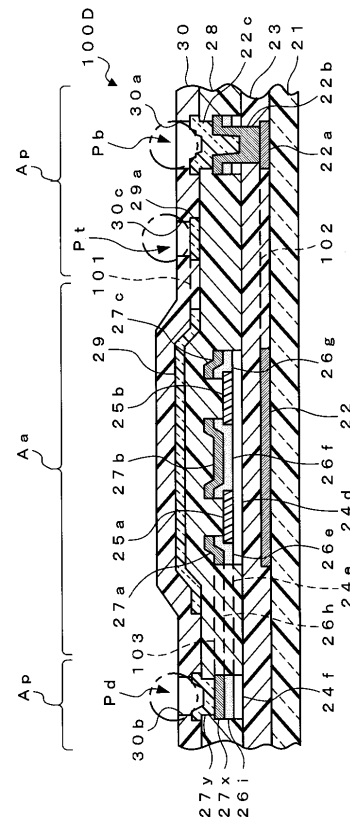
【 図 16 】



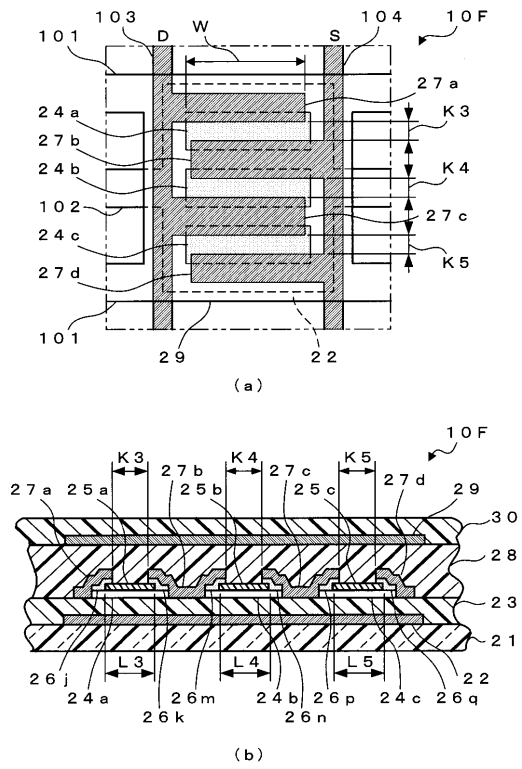
【 図 17 】



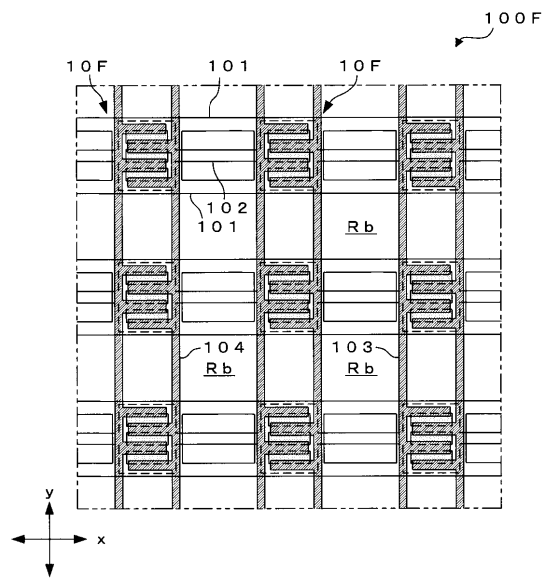
【 図 18 】



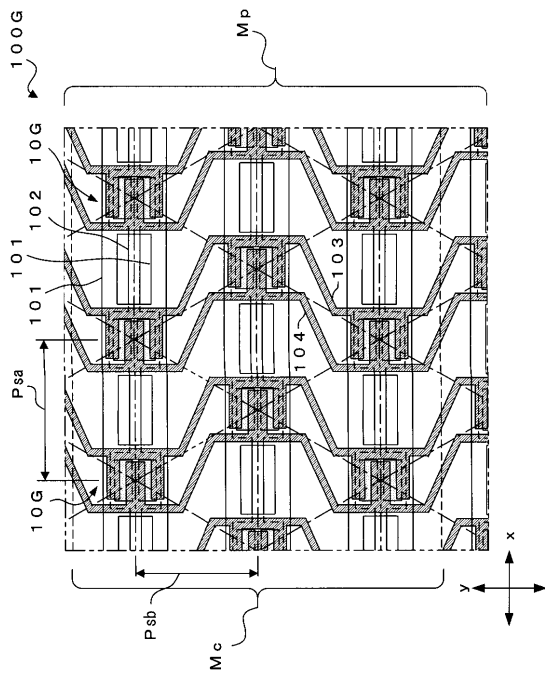
【 図 2 3 】



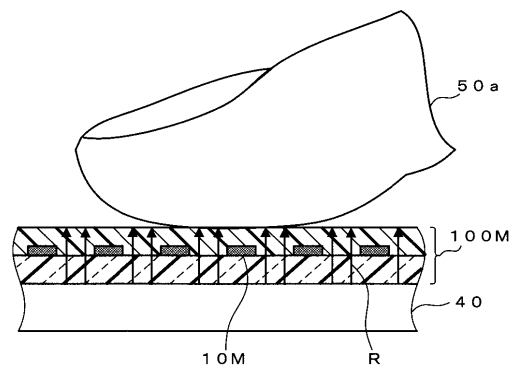
【 図 2 4 】



【 図 2 5 】



【 図 2 6 】



フロントページの続き

- (56)参考文献 特開平11-259638(JP,A)
特開平06-342929(JP,A)
特開昭62-149251(JP,A)
特開平02-246272(JP,A)
特開平01-129472(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 27/146

G01T 1/00