

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 9 月 20 日 (20.09.2007)

PCT

(10) 国際公開番号
WO 2007/105263 A1

- (51) 国際特許分類:
G06F 17/50 (2006.01) H01L 21/82 (2006.01)
- (21) 国際出願番号: PCT/JP2006/304703
- (22) 国際出願日: 2006 年 3 月 10 日 (10.03.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 佐藤 貴雄

(SATO, Takao) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 杉本 浩明 (SUGIMOTO, Hiroaki) [JP/JP]; 〒1600023 東京都新宿区西新宿六丁目 5 番 1 号 株式会社ルネサス東日本セミコンダクタ内 Tokyo (JP). 薄井 俊幸 (USUI, Toshiyuki) [JP/JP]; 〒3170073 茨城県日立市幸町三丁目 2 番 1 号 日立エンジニアリング株式会社内 Ibaraki (JP).

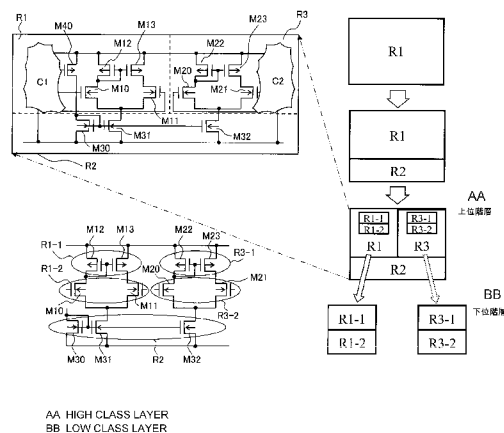
(74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒1010052 東京都千代田区神田小川町 1 丁目 1 番地 山城ビル 901 号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK,

[続葉有]

(54) Title: LAYOUT METHOD FOR ANALOG CIRCUIT, AND DATA PROCESSING SYSTEM

(54) 発明の名称: アナログ回路のレイアウト方法及びデータ処理システム



(57) Abstract: Diagram data of an analog circuit are input, a layout region of the analog circuit is divided into a plurality of sub-regions in response to manipulating instructions, circuits elements of the analog circuit are allocated to the divided sub-regions (rooms), relative positions of the divided sub-regions are regarded as relative ones of the layout, and boundaries adjacent to the divided sub-regions are layout boundaries, so that first processing is carried out for generating first group layout restrictions. A part of the divided sub-regions is cut out as a partial region (lower room) in response to manipulating instructions, relative positions of circuit elements included in the partial region are regarded as relative ones of the layout, and relative dispositions of the adjacent partial regions are relative positions for determining orders of up-streaming and down-streaming electric currents, so that second processing is carried out for generating second group layout restrictions. A layout pattern of the analog circuit is generated with the first and second group layout restrictions satisfied.

(57) 要約: アナログ回路の回路図データを入力し、操作指示に基づいて前記アナログ回路のレイアウト領域を複数に分割し、分割された複数の領域 (ルーム) に前記アナログ回路の回路素子を割り当て、前記分割された領域の相対位置をレイアウトの相対位置とし、前記分割された領域の隣接境界をレイアウト境界とする第1のグループレイアウト制約を生成する処理と、操作指示に基づいて前記分割された領域の一部を部分領域 (下位ルーム) として切り出し、切り出した部分領域に含まれる回路素子の相対位置をレイアウトの相対位置と

[続葉有]

WO 2007/105263 A1



LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

アナログ回路のレイアウト方法及びデータ処理システム

技術分野

- [0001] 本発明はアナログLSI又はアナログ・デジタル混載LSIのアナログ回路に対するレイアウト方法、及びそのレイアウト方法を実現するためのデータ処理システムに関し、例えば大規模なアナログ回路の自動レイアウトに適用して有効な技術に関する。

背景技術

- [0002] 近年、アナログ・デジタル混載の半導体集積回路(以下、LSIとも称する)の設計において、アナログレイアウトパターン設計は、全体に占めるアナログ部の回路の割合が小さいにも関わらずレイアウトパターン設計の自動化が進んでおらず、レイアウト設計工数の多くを占めている。
- [0003] アナログ回路が、その他のデジタル回路と異なる大きな点は、信号の連続した電圧値自体に意味(以下、線形性と称する)があることであり、一方でLSI製造では、ある素子のパターンをLSIチップ上へ配置する位置によって、得られる特性が完全に一致しない(以下、面内バラツキと称する)、ということである。
- [0004] 従って、アナログレイアウトパターン設計においては、アナログ部の回路図から回路シミュレーションなどで期待される回路特性、線形性を忠実に再現するために、例えば差動対のような特性に影響を及ぼす素子については、素子のレイアウトパターンを極力近くに、かつ同じ向きに配置し、また素子をつなぐ配線の長さも合わせて面内バラツキの影響を極力回避するといった、レイアウト制約が多く存在する。これらの制約はアナログ回路の機能によって異なるが、アナログ回路の機能を構成する100素子程度のごく小規模な回路であっても一般に30から50か所程度のレイアウト制約の検討が必要になる。
- [0005] アナログ回路の回路図情報に基づいてそのレイアウトパターンを生成する手法として、回路図内の素子シンボルの置かれているイメージを相対的にレイアウトパターン上に配置する方法がある。しかし、回路図の素子シンボルと、実際の素子のレイアウトパターンの大きさに一定の相関は無い。例えば、MOSTランジスタと容量素子では

回路図上では同じ大きさのシンボルで書いても、レイアウトパターン上は容量素子の方が桁違いで大きいことが多い。このため、上記方法ではレイアウト品質は不十分である。さらに、前者のレイアウト制約(例えば差動対)を遵守したとしても、それらの上下関係を考慮した配置、例えば、電源からグランドへの電流の流れる向き等を考慮した配置順序については保証することができない。

[0006] それらを解消しようとするれば、アナログ回路の回路設計やレイアウト設計の段階で多くのレイアウト制約を事前に付加する作業が設計者に課されることになる。この作業工数にかかる工数を考えると、設計者が自らレイアウトパターンを人手で書くのと同程度の工数を要することになり、自動レイアウトと言う点で現実的ではない。

[0007] 更に別の技術として、レイアウト上において設計者が期待する素子パターンの大凡の配置を指定する技術(以下、セルプランと称する)がある。セルプランは、ディスプレイ上で仮想的にアナログレイアウト領域を2分法(二分木の手法)で順次領域分割し、アナログ回路図内にある全ての素子がどの領域に置かれるかを、設計者が事前に指定する法方であり、レイアウト法方における補助編集機能として位置付けられる。各領域に従属する素子の集まりは、グループ制約というレイアウト制約情報の一種として、アナログレイアウトパターンの自動配置配線処理に引き渡される。グループ制約とは、2次元平面上において分割された領域相互間の上下左右の配置、領域の隣接境界部分ではレイアウトルールを最小寸法を満足するように回路素子が接続又は隣接される、と言う内容である。

[0008] 特許文献1には、設計者が設計したアナログ回路の回路図データから、その回路内の素子の接続関係(以下、回路トポロジと称する)を識別し、アナログレイアウト制約を属性として回路図の各素子に一括指定する方法が記載される。

[0009] 特許文献1:WO 2004/042622国再公開パンフレット

発明の開示

発明が解決しようとする課題

[0010] しかしながら、特許文献1に記載の方法を適用しても、アナログ回路の回路トポロジから全てのレイアウト制約を自動で識別することは不可能である。そのため、一部のレイアウト制約の情報付加には前記セルプラン技術による編集作業を要していた。要

するに、アナログ回路の回路トポロジから自動で識別できなかったレイアウト制約を絞り込める程度まで2分法による分割を多数回行なって、特定の回路素子にペア性等のレイアウト制約を付するようになる。しかしながら2分法であるが故に、その対象を細かく指定したり、対象が多数に及ぶ場合は、分割数が極端に増え、各分割領域への素子割り当ても煩雑になり、多大の処理時間を要する。これでは前述と同様に、設計者が自らレイアウトパターンを手で書くのと同程度の工数を要することになる。逆にペア性等のレイアウト制約を付すべき回路素子を含む領域を大きく分割すれば、その編集作業時間は短くなるが、電流の向き等の順序に関するレイアウト制約が不十分になることが予想される。即ち、セルプランの二分法による分割手法は、1階層のレイアウト図面上で上下、または左右に分割して領域(以下分割された領域をルームと称する)を作成していくアルゴリズムであるから、ひとつのルーム内に入れた素子の集まりの中の各素子の位置関係(以下、レイアウトトポロジと称する)については制御できない。このため、例えば、あるアナログ回路で同じ回路トポロジの差動アンプが複数個存在する場合、各差動アンプ毎にルームを作成し素子を集めたとしても、自動配置されたレイアウトパターンは必ずしも同様なレイアウトトポロジとはならず、差動アンプのレイアウト品質は良くない。各ルームに差動アンプ以外の回路若しくは回路素子も含まれるからである。レイアウト品質を高めるために、ルームを細かく分割し素子を絞り込むことは可能であるが、設計者はセルプラン編集時の作業が複雑になり、工数が大きく発生し自動化技術を使うメリットが得られなくなる。差動アンプを例に採ったが、アナログ部では他にカレントミラーなど、レイアウトトポロジに注意を払う必要のある部分はレイアウトパターン内に多数存在する。結局、自動レイアウトの結果に対してパターンエディタ等の別のツールを用いて個別にパターン修正を行なうことが必要になってしまう。

- [0011] 本発明の目的は所要のアナログ特性を得るためのレイアウトトポロジを容易に得ることを可能にするアナログ回路のレイアウト法方を提供することにある。
- [0012] 本発明の別の目的は所要のアナログ特性を得るためのレイアウトトポロジを比較的短時間の得ることを可能にするデータ処理システムを提供することにある。
- [0013] 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面

から明らかになるであろう。

課題を解決するための手段

- [0014] 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。
- [0015] [1]半導体集積回路におけるアナログ回路のレイアウト方法は、前記アナログ回路の回路図データを入力する処理(第1処理)と、操作指示に基づいて前記アナログ回路のレイアウト領域を複数に分割する処理(第2処理)と、分割された複数の領域(ルーム)に前記アナログ回路の回路素子を割り当てる処理(第3処理)と、前記分割された領域の相対位置をレイアウトの相対位置とし、前記分割された領域の隣接境界をレイアウト境界とする第1のグループレイアウト制約を生成する処理(第4処理)と、操作指示に基づいて前記分割された領域の一部を部分領域(下位ルーム)として切り出す処理(第5処理)と、切り出した部分領域に含まれる回路素子の相対位置をレイアウトの相対位置とし、隣接する部分領域の相対配置を電流が流れる上流と下流の順序を決める相対位置とする第2のグループレイアウト制約を生成する処理(第6処理)と、前記第1及び第2のグループレイアウト制約を満足させて前記アナログ回路のレイアウトパターンを生成する処理と、を含む。
- [0016] 上記法方はセルプラン技術におけるルーム編集機能を改善したものとして位置付けることができる。上記第1乃至第4処理はルーム編集機能に相当する。前記第5及び第6処理は1階層での分割を行って分割作成したルームにおいて、例えば差動アンプを指定したいルームについては下位ルームの指定が可能になる。各ルームにはこれに従属する素子の集合に対する第1のグループレイアウト制約が保持される。当該ルーム中において例えば差動アンプとしてグループ制約を与えたい素子の集合に対しては、差動入力対の下位ルーム、差動負荷の下位ルームといふように、下位ルームを生成し、第1及び第2の2重のグループレイアウト制約を定義可能になる。
- [0017] 下位ルームの切り出しはアナログレイアウト制約の観点から任意に行なえば良く、2分法のように同一階層内の細分化による分割手法ではないから、処理時間を短縮することができる。下位ルームに関する第2のグループレイアウト制約は、下位ルームに含まれる回路素子の相対位置をレイアウトの相対位置とし、隣接する下位ルームの

相対配置を電流が流れる上流と下流の順序を決める相対位置とするから、必要な回路部に対してアナログ特性を得るために必要なレイアウトポロジを確実に特定することができる。

[0018] 本発明の一つの具体的な形態として、前記第1のグループレイアウト制約におけるレイアウトの相対位置とは、2次元平面上における前後左右のレイアウト位置を意味する。

[0019] 本発明の別の具体的な形態として、前記第1のグループレイアウト制約におけるレイアウト境界とは、レイアウトルールを守って最小距離で各々の回路素子が接続又は隣接されることを意味する。

[0020] 本発明の更に別の具体的な形態として、前記隣接する部分領域の相対配置における上側を電源側、下側をグランド側として前記順序を決める。

[0021] [2]本発明に係るデータ処理システムは、半導体集積回路化されるアナログ回路のレイアウト設計を支援可能とするものであり、プロセッサ部を備える。前記プロセッサ部は、前記アナログ回路の回路図データを入力する動作(第1動作)と、操作指示に基づいて前記アナログ回路のレイアウト領域を複数に分割する動作(第2動作)と、分割された複数の領域(ルーム)に前記アナログ回路の回路素子を割り当てる動作(第3動作)と、前記分割された領域の相対位置をレイアウトの相対位置とし、前記分割された領域の隣接境界をレイアウト境界とする第1のグループレイアウト制約を生成する動作(第4動作)と、操作指示に基づいて前記分割された領域の一部を部分領域(回路ルーム)として切り出す動作(第5動作)と、切り出した部分領域に含まれる回路素子の相対位置をレイアウトの相対位置とし、隣接する部分領域の相対配置を電流が流れる上流と下流の順序を決める相対位置とする第2のグループレイアウト制約を生成する動作(第6動作)と、前記第1及び第2のグループレイアウト制約を満足させて前記アナログ回路のレイアウトパターンを生成する動作とを制御する。このデータ処理システムにより、上記アナログ回路のレイアウト方法を実現することができる。

発明の効果

[0022] 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

[0023] すなわち、所要のアナログ特性を得るためのレイアウトポロジを容易に若しくは比較的短時間に得ることができる。換言すれば、設計者の作業工数を軽減し、期待するアナログレイアウトパターンを得ることが容易になる。

図面の簡単な説明

[0024] [図1]図1にはグループレイアウト制約生成処理によるルームの生成処理と下位ルームの生成処理を模式的に示す説明図である。

[図2]図2にはグループレイアウト制約生成処理のフローチャートが例示される。

[図3]図3には本発明に係るデータ処理システムが例示される。

[図4]図4にはプロセッサ1による処理フローが示される。

[図5]図5には回路図データの一例が示される。

符号の説明

- [0025]
- 1 プロセッサ部
 - 2A ネットリストを格納する記憶部
 - 2B 回路図データを格納する記憶部
 - 2C レイアウトルールを格納する記憶部
 - 2D 素子レイアウトデータを格納する記憶部
 - 2E グループレイアウト制約を格納する記憶部
 - 2F レイアウトパターン格納する記憶部
 - 3 入力部
 - 4 ディスプレイ
 - S1 回路図データ処理
 - S2 グループレイアウト制約生成処理
 - S3 アナログレイアウトパターンの自動配置配線処理
 - S10 2分法によるルーム作成処理
 - S11 2分法によるルームへの回路素子割り当て処理
 - S12 第1のグループレイアウト制約生成処理
 - S13 下位ルーム形成の有無判定処理
 - S14 第2のグループレイアウト制約の生成処理

R1、R2、R2 2分法によるルーム

R1-1, R1-2, R2-1, R2-2 下位ルーム

発明を実施するための最良の形態

- [0026] 図3には本発明に係るデータ処理システムが例示される。同図に示されるデータ処理システムは、アナログ集積回路又はアナログ・デジタル混載集積回路を構成するアナログ回路のレイアウト設計を支援可能なシステムであって、例えばエンジニアリングワークスレーションとその制御プログラムによって構成され、プロセッサ部1、記憶部2A～2F、キーボードやマウス等の入力部3、及びディスプレイ4から成る。記憶部2A～2Fは、ネットリスト、回路図データ、レイアウトルール、素子レイアウトデータ、グループレイアウト制約、レイアウトパターンを格納する。プロセッサ部1はレイアウト設計を支援するためのプログラムとしてセルプランツールとレイアウトツールを実行する。
- [0027] 図4にはプロセッサ部1による処理フローが示される。回路図データを入力し(S1)、入力した回路図データで特定される回路に対してグループレイアウト制約生成処理を行ない(S2)、生成されたグループレイアウト制約に基づいてアナログレイアウトパターンの自動配置配線処理を行なう(S3)。アナログレイアウトパターンの自動配置配線処理では回路図データ、ネットリスト、レイアウトルール及び素子レイアウトデータ等を用いて、レイアウトツールを実行する。グループレイアウト制約生成処理では回路図データ等を用いてセルプランツールを実行する。
- [0028] 図5には回路図データ入力処理で入力された回路図データの一例が示される。MOSTランジスタM10～M13は第1の差動アンプを構成し、MOSTランジスタM20～M23は第2の差動アンプを構成する。第1の差動アンプにおいてMOSTランジスタM10, M11は差動入力対、MOSTランジスタM12, M13は差動入力対のカレントミラー負荷である。第2の差動アンプにおいてMOSTランジスタM20, M21は差動入力対、MOSTランジスタM22, M23は差動入力対のカレントミラー負荷である。MOSTランジスタM30、M40は定電流源回路を構成し、MOSTランジスタM31、M32は前記MOSTランジスタM30の電流が所定のミラー比で鏡映される前記差動アンプのパワースイッチである。C1, C2の回路は差動入力MOSTランジスタの入力信号等を形成する適宜の回路を意味する。

[0029] ここで、図5の回路において初期のアナログ特性を得るためには、例えば差動入力MOSTランジスタM10とM11のペア性、カレントミラー負荷ランジスタM12とM13のペア性、差動入力MOSTランジスタM20とM21のペア性、カレントミラー負荷ランジスタM22とM23のペア性、MOSTランジスタM30に対するMOSTランジスタM31とM32のサイズ比が重要であるとする。

[0030] 図2にはグループレイアウト制約生成処理のフローチャートが例示される。図1にはグループレイアウト制約生成処理における2分法によるルームの生成処理と下位ルームの生成処理が模式的に示される。

[0031] 図2において先ず、入力されたアナログ回路の回路図データに対し、入力部3からの操作指示に基づいて前記アナログ回路のレイアウト領域を複数に分割するルーム作成処理が行なわれる(S10)。前記ルーム作成処理はディスプレイ4に仮想的に表示したレイアウト面上での領域分割とされる。入力された回路図は図5の回路図とする。領域分割は2分法で行なわれる。図1に示されるように、前記アナログ回路のレイアウト領域は当初全体でR1とされる。2分法によりR1とR2に分割される。この後、R1はR1とR3に分割される。領域分割は2分法により行なわれる性質上、実際のレイアウト面積を規定するものではない。分割されたルームR1、R2、R3にアナログ回路の回路素子を割り当てる(S11)。即ち、ルームR1、R2、R3にアナログ回路の回路素子が従属される。S10、S11の処理は編集作業とされる。図1の例では、初期のアナログ回路特性を得られるようなレイアウトとするために、左右各々における差アンプのペア性と、カレントミラーパワースイッチのペア性を考慮して、ルームR1には第1の差動アンプを含め、ルームR3には第2の差動アンプを含め、ルームR2にはパワースイッチを含めている。

[0032] 素子割り当てを行なったルームR1、R2、R3に対して第1のグループレイアウト制約を生成する(S12)。第1のグループレイアウト制約は、前記ルームR1、R2、R3の相対位置をレイアウトの相対位置とし、前記ルームR1、R2、R3の隣接境界をレイアウト境界とするという内容を持つ。例えば、前記第1のグループレイアウト制約におけるレイアウトの相対位置とは、2次元平面上における前後左右のレイアウト位置を意味する。前記第1のグループレイアウト制約におけるレイアウト境界とは、レイアウトルール

を守って最小距離で各々の回路素子が接続又は隣接されることを意味する。

[0033] 次に、入力部3からの指示に従って下位ルーム形成の有無を判定する(S13)。下位ルームを形成する場合には、入力部3からの操作指示に基づいて前記2分法によるルームの一部を部分領域(下位ルーム)として切り出す処理を行ない、切り出した下位ルームに含まれる回路素子の相対位置をレイアウトの相対位置とし、隣接する部分領域の相対配置を電流が流れる上流と下流の順序を決める相対位置とする第2のグループレイアウト制約を生成する処理を行なう(S14)。下位ルームは前記2分法によるルームを同一階層で更に2分法により細かく分割して形成されるものではなく、任意領域として抜き出され、そこに着目する回路素子が従属されている。図1の例では2分法によるルームR1に対して下位ルームはR1-1, R1-2が形成される。2分法によるルームR1において、下位ルームR1-1には相互にペア性を確保すべきMOSトランジスタM12とM13だけが割り当てられ、下位ルームR1-2には相互にペア性を確保すべきMOSトランジスタM10とM11だけが従属されている。同様に、2分法によるルームR2において、下位ルームR2-1には相互にペア性を確保すべきMOSトランジスタM22とM23だけが従属され、下位ルームR2-2には相互にペア性を確保すべきMOSトランジスタM20とM21だけが従属されている。第2のグループレイアウト制約において、前記隣接する下位ルームの相対配置における上側を電源側、下側をグランド側として前記順序を決める。例えば図1の例では第1の差動アンプにおいて下位ルームR1-1が電源側、下位ルームR1-2がグランド側に配置される。これにより、差動入力対とその負荷の配置がレイアウトにおいて逆にはならない。

[0034] 前記アナログレイアウトパターンの自動配置配線処理(S3)では前記第1及び第2のグループレイアウト制約を満足させて前記アナログ回路のレイアウトパターンが生成される。

[0035] 以上説明したレイアウト処理では、下位ルームの切り出しはアナログレイアウト制約の観点から任意に行なえば良く、2分法のように同一階層内の細分化による分割手法ではないから、処理時間を短縮することができる。例えば図1において更に2分法による同一階層内の領域分割を繰り返してR1-1, R1-2, R2-1, R2-2と同様の素子だけを従属させることができるまでルームを形成していく場合には、ルーム作

成(S11)とルームへの回路素子の従属処理(S11)の処理時間が長くなる。実際のレイアウトにおいて同一階層のアナログ回路の回路素子のうちペア性を採るべき回路部分の数が多いので、全て2分法で行った場合の処理時間の増大は最初から人手でレイアウトする処理時間に匹敵するほど長くなる。また、下位ルームに関する第2のグループレイアウト制約は、下位ルームに含まれる回路素子の相対位置をレイアウトの相対位置とし、隣接する下位ルームの相対配置を電流が流れる上流と下流の順序を決める相対位置とするから、必要な回路部に対してアナログ特性を得るために必要なレイアウトポロジを確実に特定することができる。従って、従来の2分法によるセルプラン技術におけるルーム編集機能を、任意の領域を下位ルームとして切り出し、切り出した下位ルームに対して、下位ルームに含まれる回路素子の相対位置をレイアウトの相対位置とし、隣接する部分領域の相対配置を電流が流れる上流と下流の順序を決める相対位置とする第2のグループレイアウト制約を更に付加することにより、所要のアナログ特性を得るためのレイアウトポロジを容易に若しくは比較的短時間に得ることができる。これにより、設計者の作業工数を軽減でき、期待するアナログレイアウトパターンを容易に得ることが可能になる。

[0036] 以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

[0037] 例えばアナログ回路においてレイアウトポロジに注意を払う必要のあるレイアウトパターンは差動アンプに限らず、定電圧回路、ミラー回路、その他のアンプなど、適宜の回路部分であってよい。レイアウト対象とされるアナログ回路の回路規模も適宜決定可能である。第1のグループレイアウト制約を生成するための領域分割は必ずしも2分法による分割に限定されないが、同一階層におけるレイアウト領域全体での分割でなければならない。

産業上の利用可能性

[0038] 本発明はアナログ・デジタル混載LSIやアナログLSIのレイアウト設計に広く適用することができる。

請求の範囲

- [1] 半導体集積回路におけるアナログ回路のレイアウト方法であって、
前記アナログ回路の回路図データを入力する処理と、
操作指示に基づいて前記アナログ回路のレイアウト領域を複数に分割し、分割された複数の領域に前記アナログ回路の回路素子を割り当てる処理と、
前記分割された領域の相対位置をレイアウトの相対位置とし、前記分割された領域の隣接境界をレイアウト境界とする第1のグループレイアウト制約を生成する処理と、
操作指示に基づいて前記分割された領域の一部を部分領域として切り出す処理と、
、
切り出した部分領域に含まれる回路素子の相対位置をレイアウトの相対位置とし、隣接する部分領域の相対配置を電流が流れる上流と下流の順序を決める相対位置とする第2のグループレイアウト制約を生成する処理と、
前記第1及び第2のグループレイアウト制約を満足させて前記アナログ回路のレイアウトパターンを生成する処理と、を含むアナログ回路のレイアウト方法。
- [2] 前記第1のグループレイアウト制約におけるレイアウトの相対位置とは、2次元平面上における上下左右のレイアウト位置を意味する請求項1記載のアナログ回路のレイアウト方法。
- [3] 前記第1のグループレイアウト制約におけるレイアウト境界とは、レイアウトルールを守って最小距離で各々の回路素子が接続又は隣接されることを意味する請求項2記載のアナログ回路のレイアウト方法。
- [4] 前記隣接する部分領域の相対配置における上側を電源側、下側をグランド側として前記順序を決める請求項3記載のアナログ回路のレイアウト方法。
- [5] 半導体集積回路化されるアナログ回路のレイアウト設計を支援可能なデータ処理システムであって、
前記アナログ回路の回路図データを入力する動作と、
操作指示に基づいて前記アナログ回路のレイアウト領域を複数に分割し、分割された複数の領域に前記アナログ回路の回路素子を割り当てる動作と、
前記分割された領域の相対位置をレイアウトの相対位置とし、前記分割された領域

の隣接境界をレイアウト境界とする第1のグループレイアウト制約を生成する動作と、
操作指示に基づいて前記分割された領域の一部を部分領域として切り出す動作と

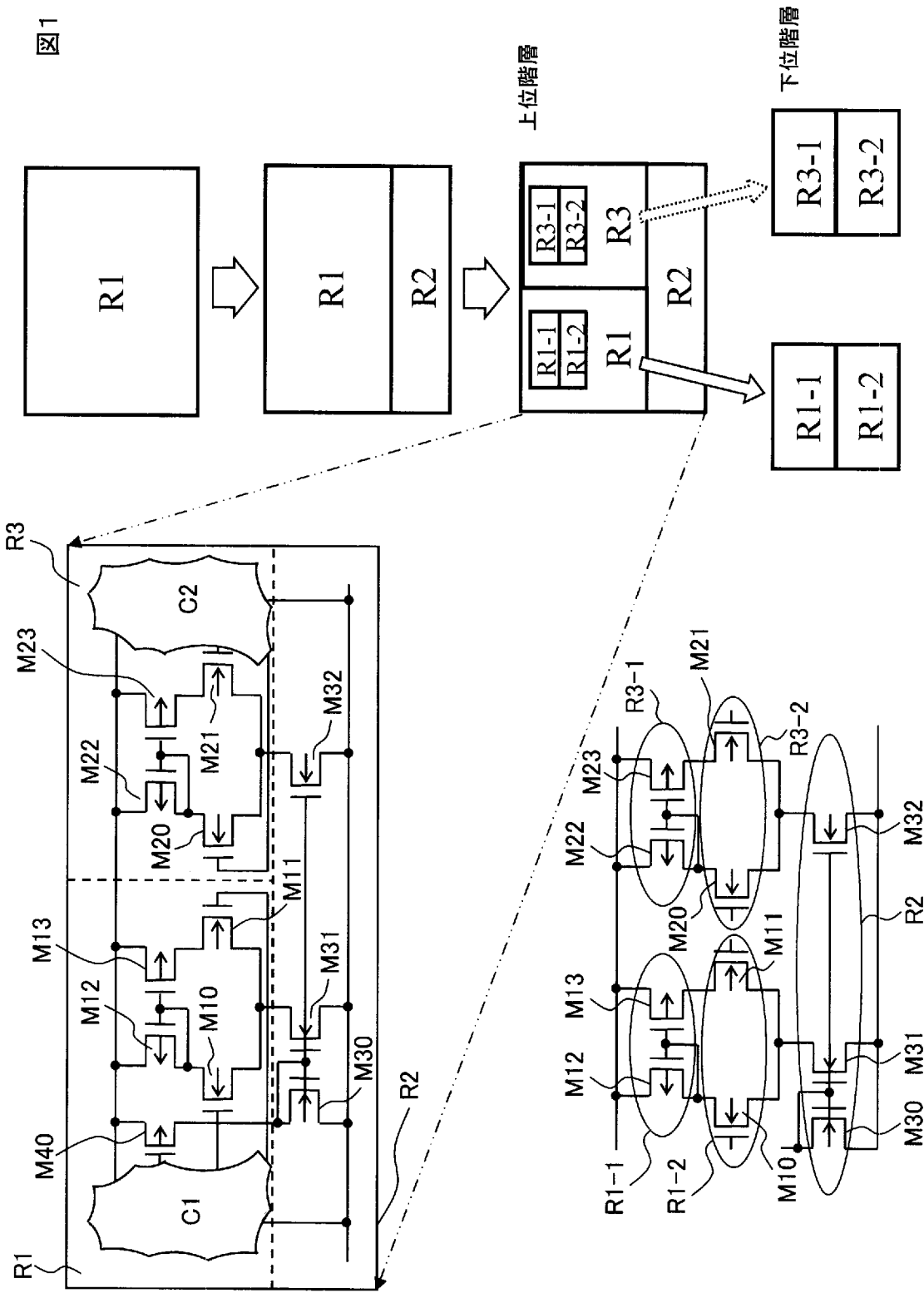
、

切り出した部分領域に含まれる回路素子の相対位置をレイアウトの相対位置とし、
隣接する部分領域の相対配置を電流が流れる上流と下流の順序を決める相対位置
とする第2のグループレイアウト制約を生成する動作と、

前記第1及び第2のグループレイアウト制約を満足させて前記アナログ回路のレイ
アウトパターンを生成する動作と、を制御するためのプロセッサ部を有するデータ処
理システム。

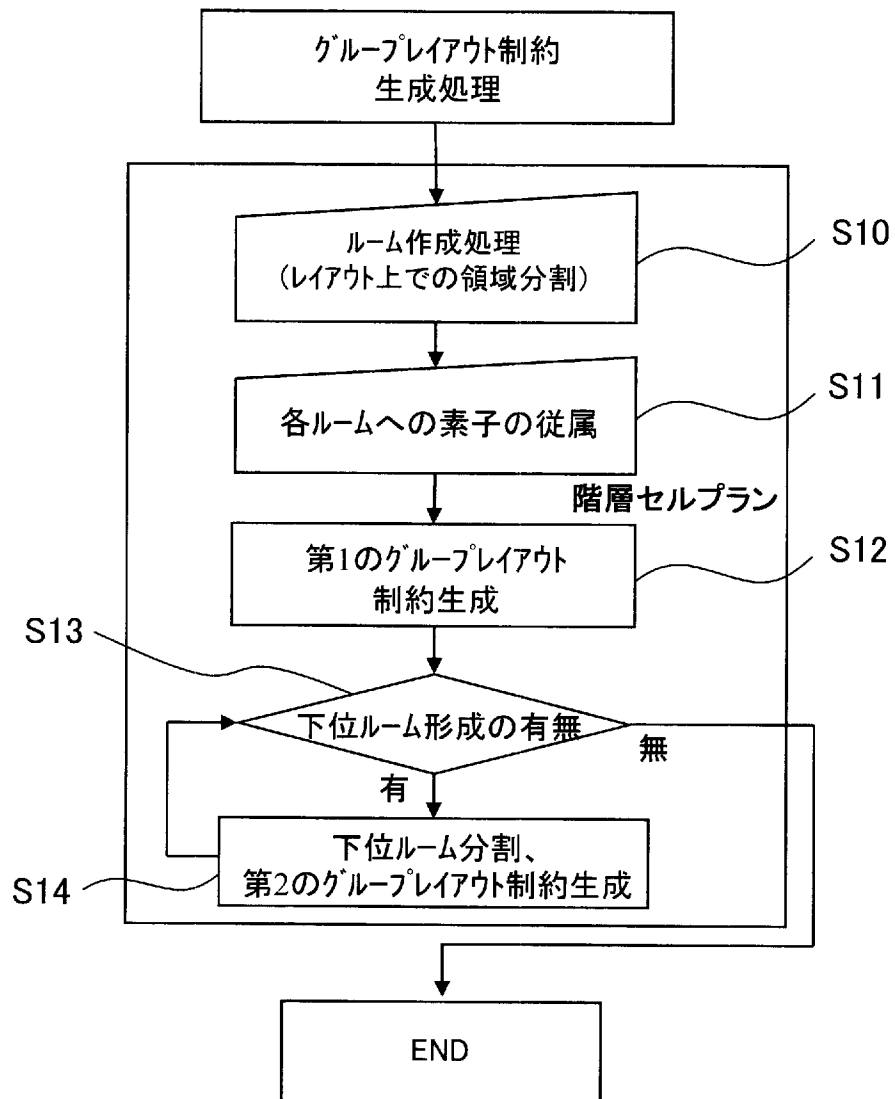
- [6] 前記第1のグループレイアウト制約におけるレイアウトの相対位置とは、2次元平面
上における上下左右のレイアウト位置を意味する請求項5記載のデータ処理システ
ム。
- [7] 前記第1のグループレイアウト制約におけるレイアウト境界とは、レイアウトルールを
守って最小距離で各々の回路素子が接続又は隣接されることを意味する請求項6記
載のデータ処理システム。
- [8] 前記隣接する部分領域の相対配置における上側を電源側、下側をグランド側とし
て前記順序を決める請求項7記載のデータ処理システム。

[図1]



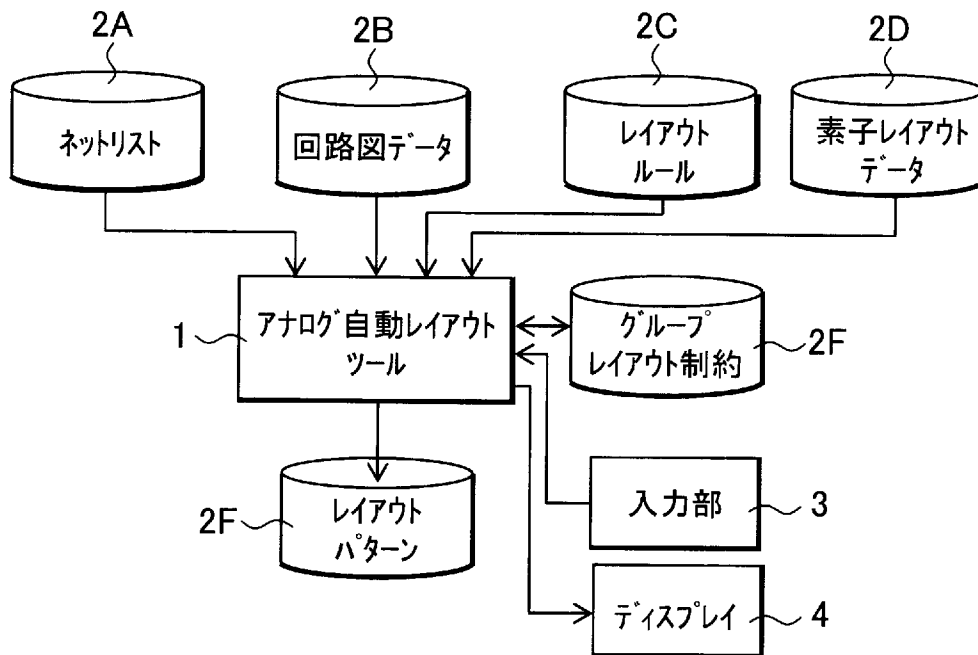
[図2]

図2



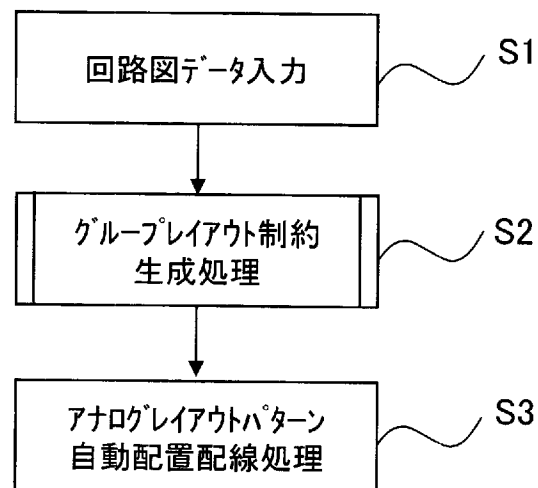
[図3]

図3



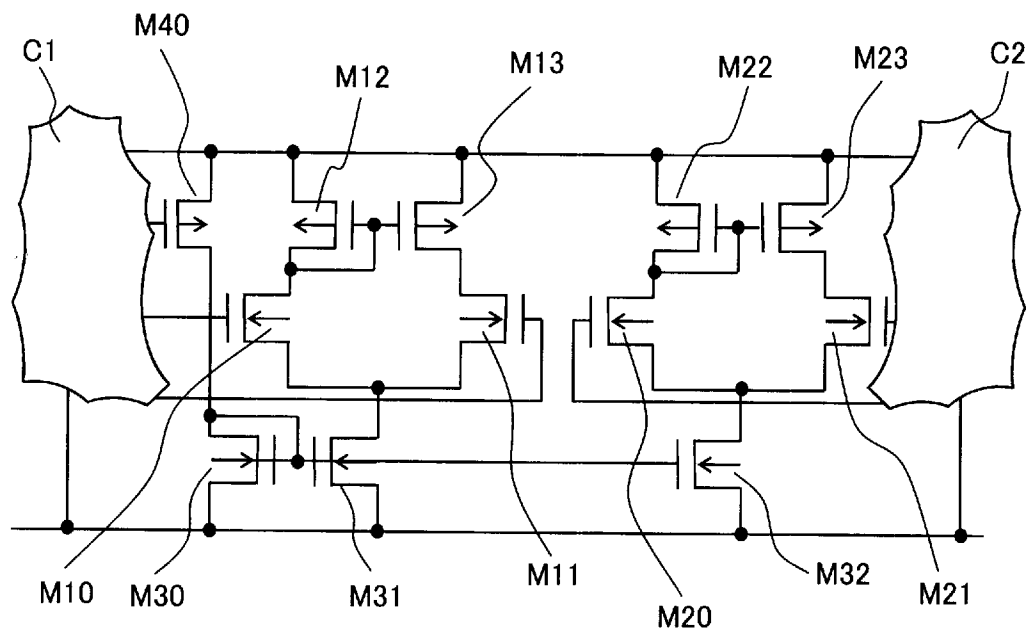
[図4]

図4



[図5]

図5



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/304703

A. CLASSIFICATION OF SUBJECT MATTER

G06F17/50(2006.01), **H01L21/82**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F17/50, H01L21/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE, JSTPlus (JOIS)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Takashi NOJIMA et al., "Analog IC Layout Sekkei ni okeru Kairozu Cluster Joho ni Motozuku Multi Level Haichi Shuho no Teian", IEICE Technical Report, Shadan Hojin The Institute of Electronics, Information and Communication Engineers, 21 November, 2003 (21.11.03), Vol.103, No.480, pages 193 to 198, full text	1-8
A	Tomohira ARAKI et al., "Analog Kairoyo no Print Kiban Sekkei System PRIDE no Gaiyo", Information Processing Society of Japan Kenkyu Hokoku, Shadan Hojin Information Processing Society of Japan, 22 May, 1990 (22.05.90), Vol.90, No.42 (DA-52), pages 1 to 8, 3.1. Gairyaku Haichi to 3.2. Shosai Haichi	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31 March, 2006 (31.03.06)

Date of mailing of the international search report
11 April, 2006 (11.04.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. G06F17/50 (2006.01), H01L21/82 (2006.01)

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F 17/50, H01L 21/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE,
JSTPlus(JOIS)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	野島隆志, 外 4 名, アナログ I C レイアウト設計における回路図クラスタ情報に基づくマルチレベル配置手法の提案, 電子情報通信学会技術研究報告, 社団法人電子情報通信学会, 2003. 11. 21, Vol. 103, No. 480, p. 193-198, 全文	1-8
A	荒木知平, 外 3 名, アナログ回路用のプリント基板設計システム P R I D E の概要, 情報処理学会研究報告, 社団法人情報処理学会, 1990. 05. 22, Vol. 90, No. 42 (DA-52), p. 1-8, 3. 1. 概略配置~3. 2. 詳細配置	1-8

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

3 1 . 0 3 . 2 0 0 6

国際調査報告の発送日

1 1 . 0 4 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

早川 学

5 H

9 6 5 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 3 1