

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 27 年 8 月 20 日 (2015.8.20)

【公表番号】特表 2014-529923 (P2014-529923A)

【公表日】平成 26 年 11 月 13 日 (2014.11.13)

【年通号数】公開・登録公報 2014-062

【出願番号】特願 2014-523426 (P2014-523426)

【国際特許分類】

H 0 4 N 5/3745 (2011.01)

G 0 1 T 1/17 (2006.01)

G 0 1 T 1/24 (2006.01)

G 0 1 T 1/20 (2006.01)

G 0 1 T 1/161 (2006.01)

H 0 1 L 31/10 (2006.01)

【 F I 】

H 0 4 N 5/335 7 4 5

G 0 1 T 1/17 G

G 0 1 T 1/24

G 0 1 T 1/20 E

G 0 1 T 1/20 G

G 0 1 T 1/161 C

H 0 1 L 31/10 G

【手続補正書】

【提出日】平成 27 年 6 月 30 日 (2015.6.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

光子検出器を有する装置であって、前記光子検出器が、
光子の衝突に基づき、ブレイクダウンするよう構成される単一光子アバランシェダイオード検出器を備える検出器アレイと、
前記検出器アレイの単一光子アバランシェダイオード検出器のブレイクダウンに基づき、トリガー信号を生成するよう構成されるトリガー回路と、
ブレイクダウンにある前記検出器アレイの単一光子アバランシェダイオード検出器の位置座標を格納するよう構成され、前記トリガー回路により生成されるトリガー信号に基づき、ラッチするよう構成されるラッチとを含む、装置。

【請求項 2】

ラッチするとき、前記トリガー回路に前記トリガー信号を生成させたブレイクダウンのあった前記単一光子アバランシェダイオード検出器の位置座標を前記ラッチが格納することを確実にするのに有効な遅延時間分、前記ラッチへの前記トリガー信号の伝搬を遅延させる少なくとも 1 つの遅延要素を更に有する、請求項 1 に記載の装置。

【請求項 3】

積分時間インターバル分、前記ラッチへの前記トリガー信号の伝搬を遅延させる少なくとも 1 つの遅延要素を更に有し、ラッチした後、前記ラッチが、前記積分時間インターバルにわたりブレイクダウンする前記単一光子アバランシェダイオード検出器に関する位置

座標を提供する、請求項 1 に記載の装置。

【請求項 4】

前記ラッチが、

行ラッチであって、各行ラッチが、前記検出器アレイの対応する行の単一光子アバランシェダイオード検出器の論理的「OR」組合せに接続される、行ラッチと、

列ラッチであって、各列ラッチが、前記検出器アレイの対応する列の単一光子アバランシェダイオード検出器の論理的「OR」組合せに接続される、列ラッチとを有する、請求項 1 乃至 3 の任意の一項に記載の装置。

【請求項 5】

前記検出器アレイ、前記トリガー回路及び前記ラッチを含む前記光子検出器が、シリコン基板にモノリシックに配置される、請求項 1 乃至 4 の任意の一項に記載の装置。

【請求項 6】

前記光子検出器が更に、前記トリガー回路により生成されるトリガー信号に関するデジタル時間スタンプを生成するよう構成される時間デジタル変換器回路を含む、請求項 1 乃至 5 の任意の一項に記載の装置。

【請求項 7】

前記光子検出器が更に、前記トリガー回路により生成されるトリガー信号、及び前記ラッチのラッチングをもたらし前記トリガー信号に対して前記時間デジタル変換器回路により生成されるデジタル時間スタンプに基づき、ラッチング後のラッチに格納される値に基づき、ブレイクダウンにある単一光子アバランシェダイオード検出器の位置座標を有する光子検出位置を生成及び出力する処理及び出力回路を更に含む、請求項 6 に記載の装置。

【請求項 8】

前記処理及び出力回路が、2 つ又はこれ以上の単一光子アバランシェダイオード検出器がブレイクダウンにあることを示すラッチング後の前記ラッチに基づき、エラー信号を出力するよう更に構成される、請求項 7 に記載の装置。

【請求項 9】

光子の衝突に基づきブレイクダウンするよう構成される単一光子アバランシェダイオード検出器を含む検出器アレイを提供するステップと、

ブレイクダウンにある前記検出器アレイの単一光子アバランシェダイオード検出器の位置座標を格納するよう構成されるラッチを提供するステップと、

前記検出器アレイの単一光子アバランシェダイオード検出器のブレイクダウンに基づき、トリガー信号を生成するステップと、

前記トリガー信号に基づき、前記ラッチをラッチするステップとを有する、方法。

【請求項 10】

前記ラッチングより前に前記トリガー信号の生成をもたらしブレイクダウンのあった前記単一光子アバランシェダイオード検出器の位置座標を前記ラッチが格納することを確認にするのに有効な遅延インターバル分、前記ラッチへの前記トリガー信号の伝搬を遅延させるステップと、

前記ラッチした後、前記トリガー信号の生成をもたらしブレイクダウンのあった前記単一光子アバランシェダイオード検出器の位置を決定するため、前記ラッチを読み出すステップと、

を更に有する、請求項 9 に記載の方法。

【請求項 11】

積分時間分前記ラッチへの前記トリガー信号の伝搬を遅延させるステップと、

前記ラッチした後、前記積分インターバルにわたりブレイクダウンした前記検出器アレイの前記単一光子アバランシェダイオード検出器の画像を生成するため、前記ラッチを読み出すステップとを更に有する、請求項 9 に記載の方法。

【請求項 12】

前記トリガー信号の生成をもたらしブレイクダウンのあった前記単一光子アバランシェダイオード検出器の前記ブレイクダウンに関する時間スタンプを生成するため、前記ト

リガー信号により起動される時間デジタル変換を実行するステップを更に有する、請求項 9 乃至 11 の任意の一項に記載の方法。

【請求項 13】

光子検出器を有する装置であって、前記光子検出器が、
単一光子アバランシェダイオード検出器のアレイと、
ブレイクダウンにある前記アレイの単一光子アバランシェダイオード検出器の位置座標を格納するよう構成されるラッチと、

前記アレイの単一光子アバランシェダイオード検出器のブレイクダウンに基づき、トリガー信号を生成するよう構成されるトリガー回路であって、前記トリガー信号が、前記ラッチがラッチすることをもたらす、トリガー回路と、

前記ラッチされたラッチに格納される位置座標に基づき、光子検出位置を出力するよう構成される処理回路とを含む、装置。

【請求項 14】

前記光子検出器が更に、前記トリガー回路により生成されるトリガー信号に関するデジタル時間スタンプを生成するよう構成される時間デジタル変換器回路を有し、

前記処理回路が更に、前記ラッチのラッチングをもたらす前記トリガー信号に関する前記デジタル時間スタンプに基づき、光子検出時間を出力するよう構成される、請求項 13 に記載の装置。

【請求項 15】

光子検出器を有する装置であって、前記光子検出器が、
単一光子アバランシェダイオード検出器のアレイと、
ブレイクダウンにある前記アレイの単一光子アバランシェダイオード検出器の位置座標を格納するよう構成されるラッチと、

前記アレイの単一光子アバランシェダイオード検出器のブレイクダウンに基づきトリガー信号を生成するよう構成されるトリガー回路であって、前記トリガー信号が、前記ラッチのラッチングをもたらす、トリガー回路と、

積分時間分前記ラッチングを遅延させる少なくとも 1 つの遅延要素と、

前記ラッチされたラッチに格納される位置座標に基づき、前記積分時間にわたり検出される光子の検出位置を出力するよう構成される処理回路とを含む、装置。