

(21)申請案號：105107446

(22)申請日：中華民國 105 (2016) 年 03 月 11 日

(51)Int. Cl. : H03M1/12 (2006.01)

H03M3/00 (2006.01)

(30)優先權：2015/03/25 日本

2015-062833

(71)申請人：日商艾普凌科有限公司(日本) ABLIC INC. (JP)

日本

(72)發明人：今泉崇龜 IMAIZUMI, EIKI (JP)

(74)代理人：葉璟宗；卓俊傑

(56)參考文獻：

US 7379002B1

US 2007/0247341A1

審查人員：陳明德

申請專利範圍項數：5 項 圖式數：10 共 27 頁

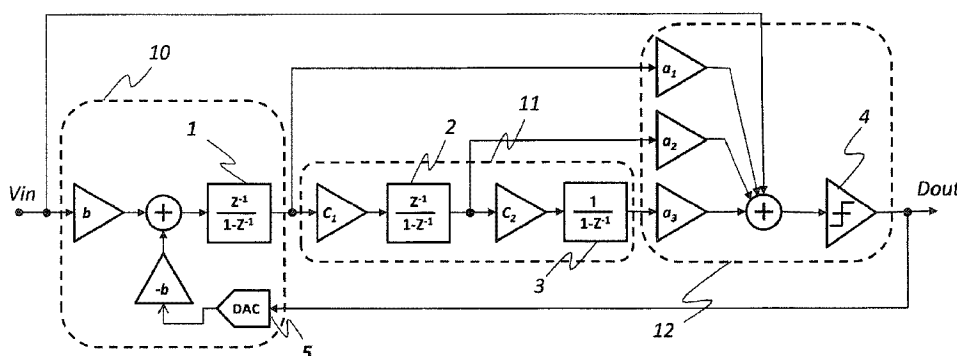
(54)名稱

 $\Delta\Sigma$ 調變器

(57)摘要

本發明提供一種 $\Delta\Sigma$ 調變器，其是高次的 $\Delta\Sigma$ 調變器，並且是藉由實現電路規模小的放大積分電路，而實現小尺寸且低功耗的高精度的 $\Delta\Sigma$ 調變器。本發明的 $\Delta\Sigma$ 調變器是將放大積分電路串聯地多級連接而成，其中在相鄰的放大積分電路中，設為將一個設為延遲積分電路並將另一個設為無延遲積分電路的 $\Delta\Sigma$ 調變器構成，且在實際的電路中，設為藉由使相鄰的放大積分電路的一個放大電路進行時間分割動作而實現共用化，來實現電路規模的降低。

指定代表圖：



【圖1】

符號簡單說明：

- 1、2 . . . 延遲積分電路
- 3 . . . 無延遲積分電路
- 4 . . . 比較器
- 5 . . . 數位/類比轉換器
- 10 . . . 差分放大積分電路
- 11 . . . 放大積分電路
- 12 . . . 量化器
- Dout . . . 量化器的輸出

I672909

TW I672909 B

Vin · · · 輸入信號



【中文發明名稱】 $\Delta\Sigma$ 調變器

【中文】

本發明提供一種 $\Delta\Sigma$ 調變器，其是高次的 $\Delta\Sigma$ 調變器，並且是藉由實現電路規模小的放大積分電路，而實現小尺寸且低功耗的高精度的 $\Delta\Sigma$ 調變器。本發明的 $\Delta\Sigma$ 調變器是將放大積分電路串聯地多級連接而成，其中在相鄰的放大積分電路中，設為將一個設為延遲積分電路並將另一個設為無延遲積分電路的 $\Delta\Sigma$ 調變器構成，且在實際的電路中，設為藉由使相鄰的放大積分電路的一個放大電路進行時間分割動作而實現共用化，來實現電路規模的降低。

【指定代表圖】圖1。

【代表圖之符號簡單說明】

- 1、2：延遲積分電路
- 3：無延遲積分電路
- 4：比較器
- 5：數位/類比轉換器
- 10：差分放大積分電路
- 11：放大積分電路
- 12：量化器

Dout：量化器的輸出

Vin：輸入信號

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 $\Delta\Sigma$ 調變器

【技術領域】

【0001】 本發明是有關於一種過採樣（oversample）型類比/數位（analog/digital）轉換器，特別是有關於一種高次的 $\Delta\Sigma$ 調變器。

【先前技術】

【0002】 在類比/數位轉換器中，有奈奎斯特（Nyquist）型類比/數位轉換器及過採樣型類比/數位轉換器。在信號頻帶比較窄的測量用途中，是使用容易實現高精度且電路規模小的過採樣型類比/數位轉換器。特別是多使用作為過採樣型類比/數位轉換器的一種的類比/數位轉換器。

【0003】 類比/數位轉換器包括： $\Delta\Sigma$ 調變器，包括將輸入類比信號與預期的反饋類比信號的差分信號加以放大並進行積分的多級放大積分電路、使放大積分電路的輸出數位值化的量化器（quantizer）、以及由數位值生成反饋類比信號的數位/類比轉換器；以及數位濾波器（digital filter），包括由自 $\Delta\Sigma$ 調變器輸出的數位值的數值行算出最終的類比/數位轉換值的降頻濾波器（decimation filter）等。

【0004】 本方式中的類比/數位轉換器的精度相依存於 $\Delta\Sigma$ 調變器的構成，因此將放大積分電路加以多級串聯連接而使用以實現高

精度。當增加放大積分電路的級數時精度會提高，但電路規模、功耗增大。

自電路規模、功耗的角度而言，需要抑制級數的增加，然而為了高精度化，必須增加差分放大積分電路的級數，因而需要電路規模小的 $\Delta\Sigma$ 調變器。

【0005】 圖 8 表示習知的 $\Delta\Sigma$ 調變器中的 $\Delta\Sigma$ 調變器的一例。

習知的 $\Delta\Sigma$ 調變器是包括差分放大積分電路 200，放大積分電路 201、放大積分電路 202 及量化器 203 的三次 $\Delta\Sigma$ 調變器。

【0006】 初級差分放大積分電路 200 包括將輸入信號 V_{in} 加以放大（ b 倍）的放大器、使量化器 203 的輸出 D_{out} 類比信號化的數位/類比轉換器 104、將類比信號加以放大（ $-b$ 倍）的放大器、對兩個放大器的輸出信號進行相加的加法電路、以及對加法電路的輸出進行積分的積分電路 100。

【0007】 第 2 級放大積分電路 201 包括將差分放大積分電路 200 的輸出加以放大（ $c1$ 倍）的放大器、以及對放大器的輸出進行積分的積分電路 101。

第 3 級放大積分電路 202 包括將第 2 級放大積分電路 201 的輸出加以放大（ $c2$ 倍）的放大器、以及對放大器的輸出進行積分的積分電路 102。

【0008】 量化器 203 包括：加法器，對輸入信號 V_{in} 、初級差分放大積分電路 200 的輸出的放大（ $a1$ 倍）信號、第 2 級放大積分電路 201 的輸出的放大（ $a2$ 倍）信號、以及第 3 級放大積分電路

202 的輸出的放大 (a3 倍) 信號進行相加；以及比較器 103，將加法信號與預期的基準電壓進行比較。

【0009】 習知的三次 $\Delta\Sigma$ 調變器的信號傳送函數 STF (z) (Signal Transfer Function) 與雜訊傳送函數 NTF (z) (Noise Transfer Function) 分別用下式表示。

$$\text{STF} (z) = 1$$

$$\text{NTF} (z) = (z-1)^3 / \{ (z-1)^3 + b \cdot a1 \cdot (z-1)^2 + b \cdot a2 \cdot c1 \cdot (z-1) + b \cdot a3 \cdot c2 \cdot c1 \}$$

信號成分是直接通過，而量化雜訊由於延遲積分電路設置有 3 級，故而因 z 的三次特性而偏移至高頻帶。再者，信號傳送延遲 3 個時脈。

【0010】 圖 9 是表示習知的三次 $\Delta\Sigma$ 調變器的一例的電路圖。在圖 9 的示例中，將輸入信號設為差動信號 (Vin+、Vin-)。

習知的三次 $\Delta\Sigma$ 調變器包括開關電容放大器 (switched capacitor amplifier) 300、開關電容放大器 301、開關電容放大器 302 及量化器 303。開關電容放大器 300、開關電容放大器 301、開關電容放大器 302 可將放大功能與積分功能加以一體地實現。量化器 303 包括對信號或基準信號進行採樣的電容器、以及藉由經由電容器輸入的信號而與預期的基準電壓進行比較的比較器 305。開關電容放大器 300、開關電容放大器 301、開關電容放大

器 302 分別以相同的時序進行 a) 信號採樣/前信號維持動作、b) 放大/積分動作。

【0011】 圖 10 是將放大積分電路設為 2 級的習知的二次 $\Delta\Sigma$ 調變器的功能圖。二次 $\Delta\Sigma$ 調變器的信號傳送函數 $STF(z)$ 及雜訊傳送函數 $NTF(z)$ 分別用下式表示。

$$STF(z) = 1$$

$$NTF(z) = (z-1)^2 / \{ (z-1)^2 + b \cdot a1 \cdot (z-1) + b \cdot a2 \cdot c1 \}$$

信號傳送函數 $STF(z)$ 與三次 $\Delta\Sigma$ 調變器等同，關於信號成分表示相同特性。放大積分電路少一級，因此量化雜訊因 z 的二次特性而偏移至高頻帶。

[現有技術文獻]

[非專利文獻]

【0012】 [非專利文獻 1]亞諾什·馬庫斯、約瑟·席爾瓦及伽柏·C·騰斯，「增量式 $\Delta\Sigma$ 轉換器的理論及應用」，IEEE 電路與系統匯刊第一部分：定期論文，第 51 卷，第 4 期，2004 年 4 月 (Janos Markus, Jose Silva, and Gabor C. Temes, 「Theory and Applications of Incremental $\Delta\Sigma$ Converters」, IEEE Trans. on Circuits and Systems - I: REGULAR PAPERS, Vol. 51, No. 4, Apr. 2004)

[非專利文獻 2]文森特·奎肯泊伊克斯、菲利浦·德瓦爾、亞歷山大·巴雷托、加布里爾·貝里尼、亞諾什·馬庫斯、約瑟·席爾瓦及

伽柏·C·騰斯，「低功率 22 位元增量型 AD 轉換器」，IEEE J. S. S. C.，第 41 卷，第 7 期，2006 年 7 月（Vincent Quiquempoix, Philippe Deval, Alexandre Barreto, Gabriele Bellini, Janos Markus, Jose Silva, and Gabor C. Temes, 「A Low-Power 22-bit Incremental ADC」，IEEE J. S. S. C. Vol. 41, No. 7, Jul. 2006）

[發明所欲解決之課題]

【0013】 然而，習知的 $\Delta\Sigma$ 調變器中，信號維持或放大與積分所需要的差動放大器需要開關電容放大器的級數量。即，三次 $\Delta\Sigma$ 調變器需要 3 個差動放大器，二次 $\Delta\Sigma$ 調變器需要 2 個差動放大器。

習知的 $\Delta\Sigma$ 調變器與放大積分電路的級數相匹配地需要差動放大器，因此難以減小電路規模及功耗。

【發明內容】

【0014】 本發明是為了解決如上所述的問題而提出，提供一種可減小電路規模及功耗的 $\Delta\Sigma$ 調變器。

[解決課題之手段]

【0015】 為了解決習知的問題，本發明的 $\Delta\Sigma$ 調變器設為如下構成。

包括：第 1 放大積分電路，對類比輸入信號與反饋類比信號的差分進行積分而輸出積分信號；以及量化器，在第 1 放大積分電路上串聯連接 N 個（N 為 1 以上的整數）對所輸入的積分信號進行積分而輸出積分信號的放大積分電路，比較對類比輸入信號

與分別利用預期的增益將第 1 放大積分電路及放大積分電路的積分信號加以放大的信號進行相加所得的信號、與預期的基準信號的大小而輸出數位值；並且相鄰的放大積分電路包括延遲積分電路及無延遲積分電路。

[發明的效果]

【0016】 根據本發明的 $\Delta\Sigma$ 調變器，在包含多級放大積分電路的 $\Delta\Sigma$ 調變器中，藉由將鄰接的積分電路設為延遲積分電路與無延遲積分電路的構成，而利用一個放大電路來實現 2 級放大積分電路，由此可實現電路規模及功耗的降低。即，可提供一種小且低功耗的類比/數位轉換器。

此外，可減少信號的時脈延遲，故而可提高 $\Delta\Sigma$ 調變器的穩定性。

【圖式簡單說明】

【0017】

圖 1 是表示本實施形態的三次 $\Delta\Sigma$ 調變器的構成的功能圖。

圖 2 是表示本實施形態的三次 $\Delta\Sigma$ 調變器的電路構成的一例的電路圖。

圖 3 是表示本實施形態的三次 $\Delta\Sigma$ 調變器的電路構成的一例的電路圖。

圖 4 是表示本實施形態的三次 $\Delta\Sigma$ 調變器的電路構成的一例的電路圖。

圖 5 是表示本實施形態的二次 $\Delta\Sigma$ 調變器的構成的功能圖。

圖 6 是表示本實施形態的二次 $\Delta\Sigma$ 調變器的電路構成的一例的電路圖。

圖 7 是表示本實施形態的二次 $\Delta\Sigma$ 調變器的電路構成的另一例的電路圖。

圖 8 是表示習知的三次 $\Delta\Sigma$ 調變器的構成的功能圖。

圖 9 是表示習知的三次 $\Delta\Sigma$ 調變器的一例的電路圖。

圖 10 是表示習知的二次 $\Delta\Sigma$ 調變器的構成的功能圖。

【實施方式】

【0018】 圖 1 是表示本實施形態的三次 $\Delta\Sigma$ 調變器的構成的功能圖。

本實施形態的三次 $\Delta\Sigma$ 調變器包括初級差分放大積分電路 10、第 2 級至第 3 級放大積分電路 11 及量化器 12。

【0019】 初級差分放大積分電路 10 包括將輸入信號 V_{in} 加以放大 (b 倍) 的放大器、使量化器 12 的輸出 D_{out} 類比信號化的數位/類比轉換器 5、將類比信號加以放大 ($-b$ 倍) 的放大器、對兩個放大器的輸出信號進行相加的加法電路、以及對加法電路的輸出進行積分的積分電路 1。

【0020】 第 2 級至第 3 級放大積分電路 11 包括將差分放大積分電路 10 的輸出加以放大 (c_1 倍) 的放大器、對放大器的輸出進行積分的積分電路 2、將積分電路 2 的輸出加以放大 (c_2 倍) 的放

大器、以及對放大器的輸出進行積分的積分電路 3。

【0021】 量化器 12 包括：加法器，對輸入信號 V_{in} 、初級差分放大積分電路 10 的輸出的放大（ a_1 倍）信號、第 2 級至第 3 級積分電路 2 的輸出的放大（ a_2 倍）信號及積分電路 3 的輸出的放大（ a_3 倍）信號進行相加；以及比較器 4，將加法信號與預期的基準電壓進行比較。

【0022】 本實施形態的三次 $\Delta\Sigma$ 調變器的信號傳送函數 $STF(z)$ 及雜訊傳送函數 $NTF(z)$ 用下式表示。

$$STF(z) = 1$$

$$NTF(z) = (z-1)^3 / \{ (z-1)^3 + b \cdot a_1 \cdot (z-1)^2 + b \cdot a_2 \cdot c_1 \cdot (z-1) + b \cdot a_3 \cdot c_2 \cdot c_1 \cdot z \}$$

信號傳送函數 $STF(z)$ 與習知的三次 $\Delta\Sigma$ 調變器相同。雜訊傳送函數 $NTF(z)$ 的分母的第 4 項與習知的三次 $\Delta\Sigma$ 調變器不同。本實施形態的三次 $\Delta\Sigma$ 調變器的雜訊傳送函數 $NTF(z)$ 由於延遲少 1 個時脈，故而在分母的第 4 項上乘以變數 z 。但是，本實施形態的三次 $\Delta\Sigma$ 調變器的雜訊傳送函數 $NTF(z)$ 亦是分母為變數 z 的三次多項式，藉由分別調整作為增益參數（gain parameter）的 b 、 c_1 、 c_2 、 a_1 、 a_2 、 a_3 而可實現同等的雜訊傳送特性。

【0023】 圖 2 是表示本實施形態的三次 $\Delta\Sigma$ 調變器的電路構成的一例的電路圖。在圖 2 的電路例中，將輸入信號設為差動信號

(V_{in+} 、 V_{in-})。電壓 V_{R+} 及電壓 V_{R-} 是數位/類比轉換器 5 的基準電壓。各開關的控制信號 $\phi 1$ 、控制信號 $\phi 2$ 例如是如圖所示的波形。

【0024】 此處，第 2 級至第 3 級放大積分電路藉由如圖 2 所示而構成，而分別成為 $1/2$ 時脈延遲的開關電容放大器。圖 2 的三次 $\Delta\Sigma$ 調變器將第 2 級至第 3 級放大積分電路合起來設為延遲 1 個時脈，由此較習知的三次 $\Delta\Sigma$ 調變器而減少 1 個時脈量的延遲。

【0025】 圖 3 表示圖 2 的電路的變形例。圖 3 的三次 $\Delta\Sigma$ 調變器是對第 2 級至第 3 級開關電容放大器的開關連接方法進行變更。將圖 2 的第 2 級至第 3 級開關電容放大器的反饋電容器 C_{p4} 、反饋電容器 C_{n4} 、反饋電容器 C_{p6} 、反饋電容器 C_{n6} 與完全差動放大器的輸入輸出連接。圖 3 的第 2 級至第 3 級中，反饋電容器 C_{p4} 、反饋電容器 C_{n4} 經由利用控制信號 $\phi 2$ 而控制的開關來與完全差動放大器的輸入輸出連接，反饋電容器 C_{p6} 、反饋電容器 C_{n6} 經由利用控制信號 $\phi 1$ 而控制的開關來與完全差動放大器的輸入輸出連接。

【0026】 若著眼於圖 3 的第 2 級至第 3 級開關電容放大器，則在第 2 級開關電容放大器中，控制信號 $\phi 2$ 的時脈為「高 (High)」而開關閉合從而將反饋電容器 C_{p4} 、反饋電容器 C_{n4} 與完全差動放大器的輸入輸出端連接。另一方面，此時的第 3 級開關電容放大器由於控制信號 $\phi 1$ 的時脈為「低 (Low)」，故而開關斷開而將反饋電容器 C_{p6} 、反饋電容器 C_{n6} 與完全差動放大器的輸入輸出端分開。當控制信號 $\phi 2$ 的時脈為「Low」而控制信號 $\phi 1$ 的時脈為

「High」時，將第 2 級開關電容放大器中的反饋電容器與完全差動放大器分開，另一方面，將第 3 級開關電容放大器中的反饋電容器與完全差動放大器的輸入輸出端連接。即，意味著當第 2 級完全差動放大器運行時不使用第 3 級完全差動放大器，相反地當不使用第 2 級完全差動放大器時，則使用第 3 級完全差動放大器。這意味著在第 2 級與第 3 級中不會同時使用完全差動放大器，因而可在第 2 級及第 3 級中共用。

【0027】 圖 4 表示在第 2 級與第 3 級中使完全差動放大器共用化的三次 $\Delta\Sigma$ 調變器的電路例。藉由如上所述構成三次 $\Delta\Sigma$ 調變器，而使得完全差動放大器變為 2 個，故而可減小電路規模及功耗。

【0028】 又，本實施形態的三次 $\Delta\Sigma$ 調變器較習知的三次 $\Delta\Sigma$ 調變器而減少 1 個時脈量的延遲，故而具有動作穩定的效果。

再者，在本實施形態的三次 $\Delta\Sigma$ 調變器中，是揭示在第 2 級與第 3 級中使完全差動放大器共用化的電路例，但亦可在第 1 級與第 2 級中使完全差動放大器共用化。

【0029】 圖 5 是表示本實施形態的二次 $\Delta\Sigma$ 調變器的構成的功能圖。

本實施形態的二次 $\Delta\Sigma$ 調變器包括初級差分放大積分電路及第 2 級放大積分電路 10、以及量化器 12。

【0030】 本實施形態的二次 $\Delta\Sigma$ 調變器與本實施形態的三次 $\Delta\Sigma$ 調變器同樣，將第 2 級積分電路設為無延遲的積分電路。本實施形態的二次 $\Delta\Sigma$ 調變器的信號傳送函數 $STF(z)$ 及雜訊傳送函數

NTF (z) 用下式表示。

$$\text{STF} (z) = 1$$

$$\text{NTF} (z) = (z - 1) ^ 2 / \{ (z - 1) ^ 2 + b \cdot a_1 \cdot (z - 1) + b \cdot a_2 \cdot c_1 \cdot z \}$$

信號傳送函數 STF (z) 與習知的二次 $\Delta\Sigma$ 調變器相同。本實施形態的二次 $\Delta\Sigma$ 調變器的雜訊傳送函數 NTF (z) 由於延遲少 1 個時脈，故而在分母的第 3 項上乘以變數 z。但是，分母均為變數 z 的二次多項式是相同的，從而藉由調整作為增益參數的 b、c1、a1、a2，可設為與習知例同等的特性函數。

【0031】 圖 6 表示在初級及第 2 級中使完全差動放大器共用化的二次 $\Delta\Sigma$ 調變器的電路例。

藉由如上所述構成二次 $\Delta\Sigma$ 調變器，完全差動放大器變為 1 個，因此可減小電路規模及功耗。

又，本實施形態的二次 $\Delta\Sigma$ 調變器較習知的二次 $\Delta\Sigma$ 調變器而減少 1 個時脈量的延遲，因而具有動作穩定的效果。

【0032】 圖 7 是表示本實施形態的二次 $\Delta\Sigma$ 調變器的電路構成的另一例的電路圖。作為二次 $\Delta\Sigma$ 調變器的傳送特性而言，與圖 6 的電路相同。圖 7 的電路是假設輸入信號 (Vin+、Vin-) 的共模電壓 (common mode voltage) 與完全差動放大器的共模電壓不同。因此，在數位/類比轉換器 5 上附加有電容器 Cdac。此外，當輸入信號 (Vin+、Vin-) 的信號範圍 (signal range) 與完全差動放大器的

差動範圍存在偏差時，附加有電容器 C_{vsft} 作為對輸入信號（ V_{in+} 、 V_{in-} ）進行位準偏移（level shift）的電路。

【0033】 如上所述，即使在輸入信號（ V_{in+} 、 V_{in-} ）的共模電壓與完全差動放大器的共模電壓不同的情況下、或輸入信號（ V_{in+} 、 V_{in-} ）的信號範圍與完全差動放大器的差動範圍存在偏差的情況下，亦可適用本發明的技術思想。

【0034】 如以上所述，本發明的 $\Delta\Sigma$ 調變器可使鄰接的放大積分電路的完全差動放大器共用化，因此可降低電路規模、功耗。此外，由於信號延遲變少，故而動作穩定。

再者，本發明的 $\Delta\Sigma$ 調變器是對二次電路及三次電路進行了說明，但是即使級數進一步增加亦可同樣地應對。

【符號說明】

【0035】

- 1、2：延遲積分電路
- 3：無延遲積分電路
- 4、103、305：比較器
- 5、104：數位/類比轉換器
- 10：差分放大積分電路
- 11：放大積分電路
- 12、203、303：量化器
- 100、101、102：積分電路

200：初級差分放大積分電路

201：第 2 級放大積分電路

202：第 3 級放大積分電路

300、301、302：開關電容放大器

Cdac、Cn1 ~ Cn3、Cn5 ~ Cn10、Cp1 ~ Cp3、Cp5 ~ Cp10、Cvsft：

電容器

Cn4、Cp4、Cn6、Cp6：反饋電容器

Dout：量化器的輸出

Vin：輸入信號

Vin+、Vin-：差動信號（輸入信號）

VR+、VR-：電壓

$\phi 1$ 、 $\phi 2$ ：控制信號

【發明申請專利範圍】

【第 1 項】一種 $\Delta\Sigma$ 調變器，其特徵在於包括：

第 1 放大積分電路，包括：加法電路，對利用預期的增益將類比輸入信號加以放大的信號與利用預期的增益將反饋類比信號加以放大的信號進行相加而輸出加法信號；及積分電路，對所述加法信號進行積分而輸出積分信號；

N 個放大積分電路，與所述第 1 放大積分電路多級串聯連接，N 為 1 以上的整數，各所述 N 個放大積分電路對利用預期的增益將所輸入的積分信號加以放大的信號進行積分而輸出積分信號；以及

量化器，對所述類比輸入信號與分別利用預期的增益將所述第 1 放大積分電路及所述 N 個放大積分電路的積分信號加以放大的信號進行相加，對相加所得的信號與預期的基準信號的大小進行比較而輸出數位值，

在由所述第 1 放大積分電路以及所述 N 個放大積分電路所構成的級聯電路中，包括延遲積分電路及無延遲積分電路，所述延遲積分電路連接在初級放大積分電路中的放大器之後，所述無延遲積分電路連接在後續級放大積分電路中的放大器之後。

【第 2 項】如申請專利範圍第 1 項所述的 $\Delta\Sigma$ 調變器，其中

所述第 1 放大積分電路的積分電路包括延遲積分電路，

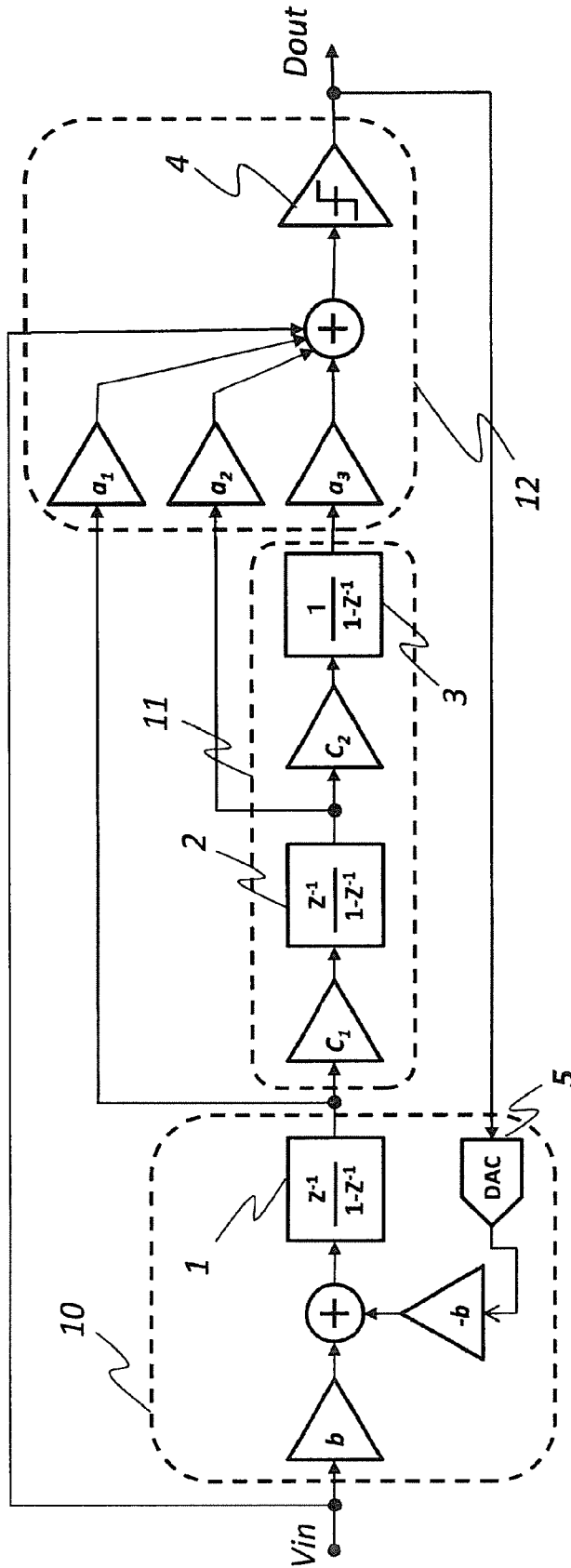
與所述第 1 放大積分電路串聯連接的第 2 放大積分電路的積分電路包括無延遲積分電路。

【第 3 項】如申請專利範圍第 1 項所述的 $\Delta\Sigma$ 調變器，其中
所述第 1 放大積分電路的積分電路包括延遲積分電路，
與所述第 1 放大積分電路串聯連接的第 2 放大積分電路的積
分電路包括延遲積分電路，
將與所述第 2 放大積分電路串聯連接的第 3 放大積分電路的
積分電路設為無延遲積分電路。

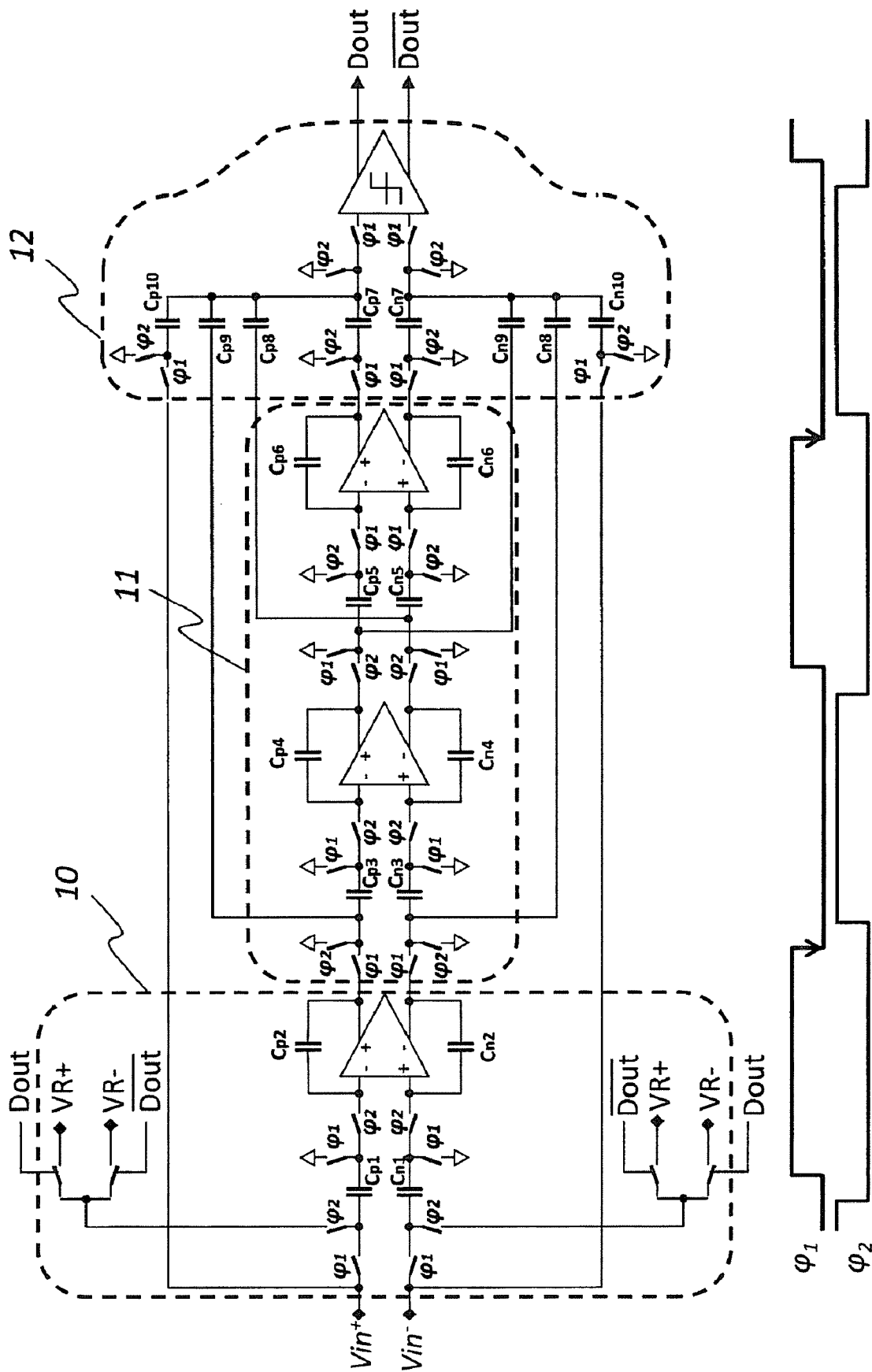
【第 4 項】如申請專利範圍第 2 項或第 3 項所述的 $\Delta\Sigma$ 調變器，其
中
所述第 1 放大積分電路以及所述放大積分電路包括開關電容
放大器，
包括所述延遲積分電路的放大積分電路與包括所述無延遲積
分電路的放大積分電路使各自的所述開關電容放大器進行時間分
割動作。

【第 5 項】如申請專利範圍第 4 項所述的 $\Delta\Sigma$ 調變器，其中
進行時間分割動作的所述開關電容放大器包括為 1 個開關電
容放大器。

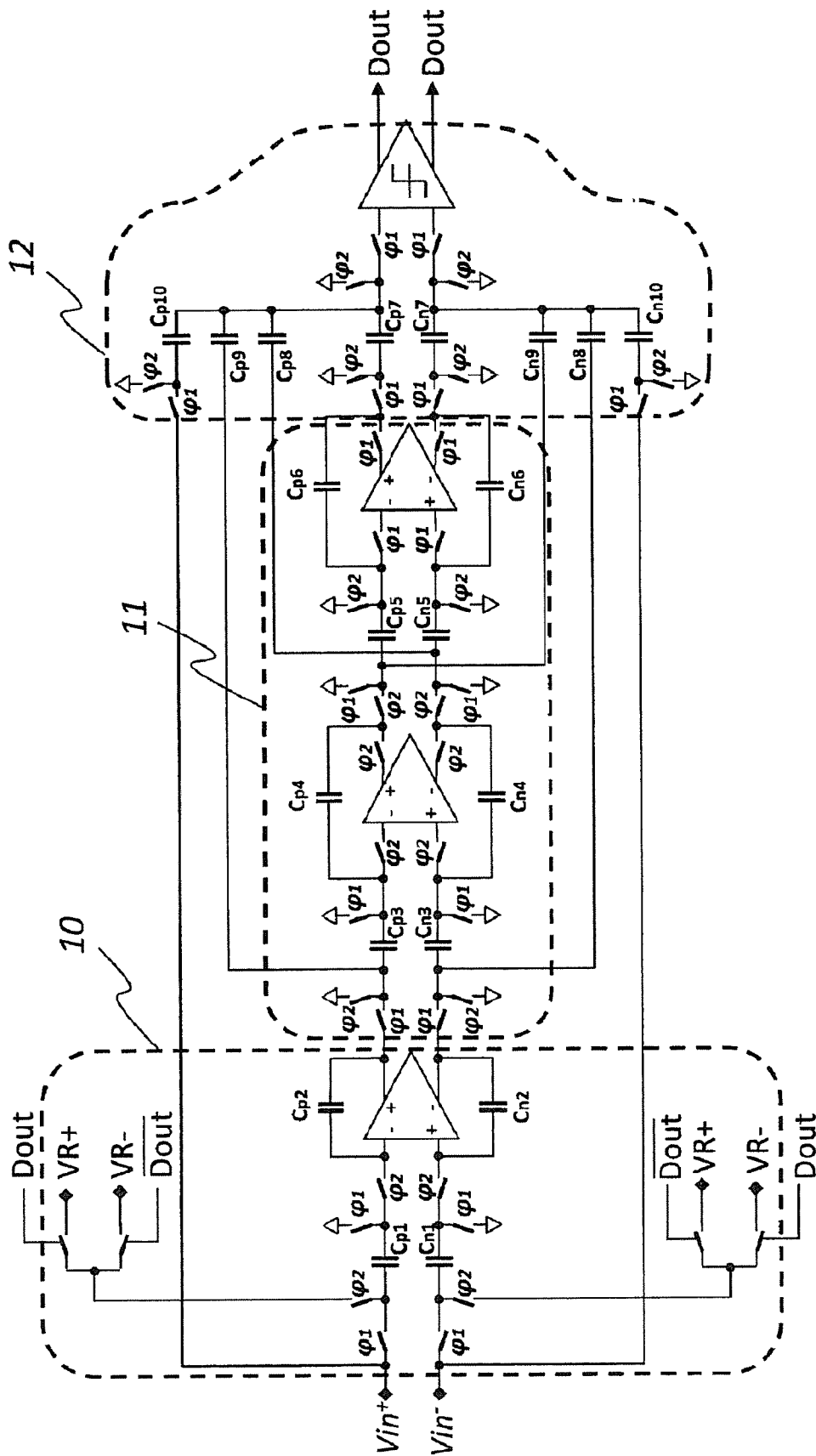
【發明圖式】



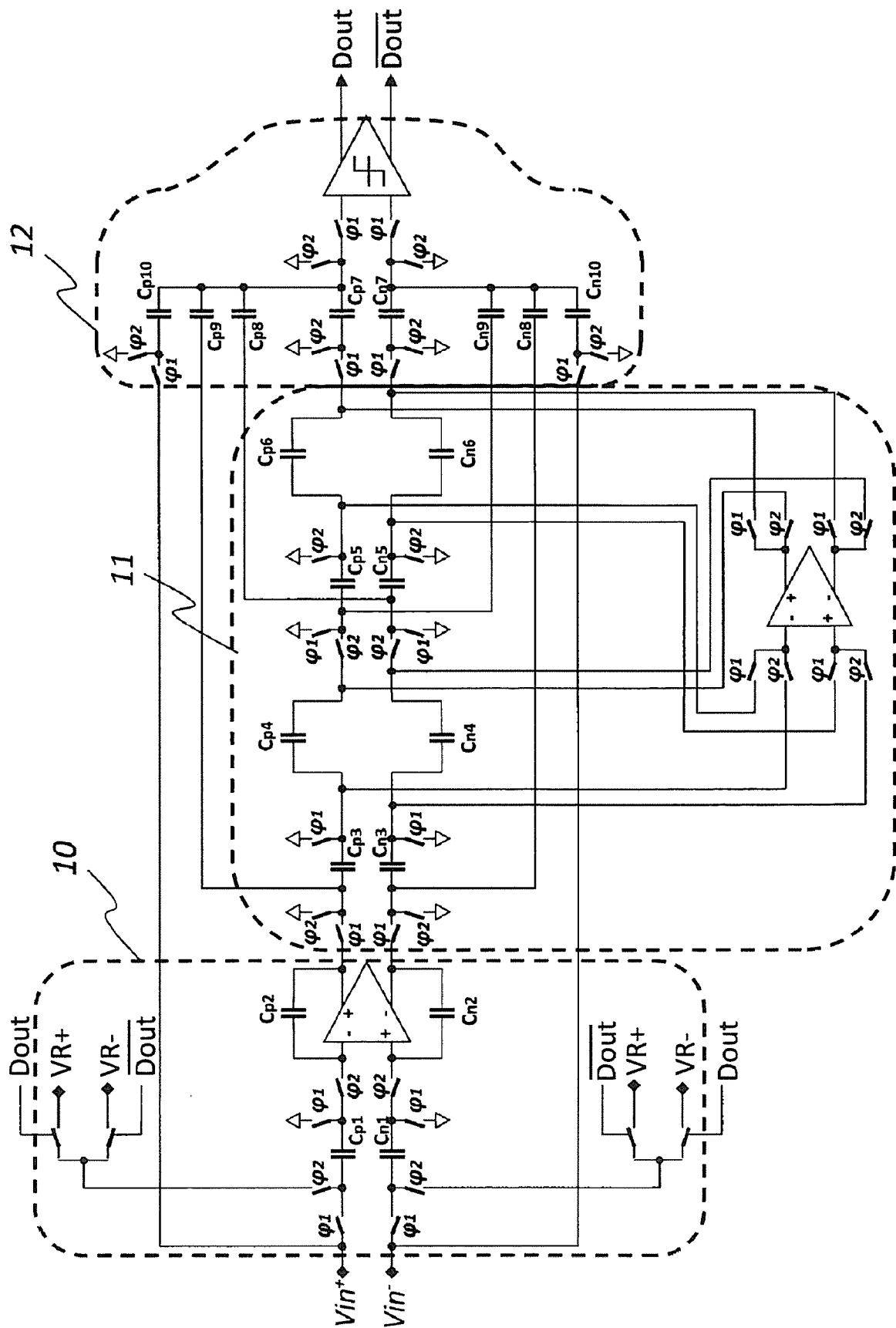
【圖1】



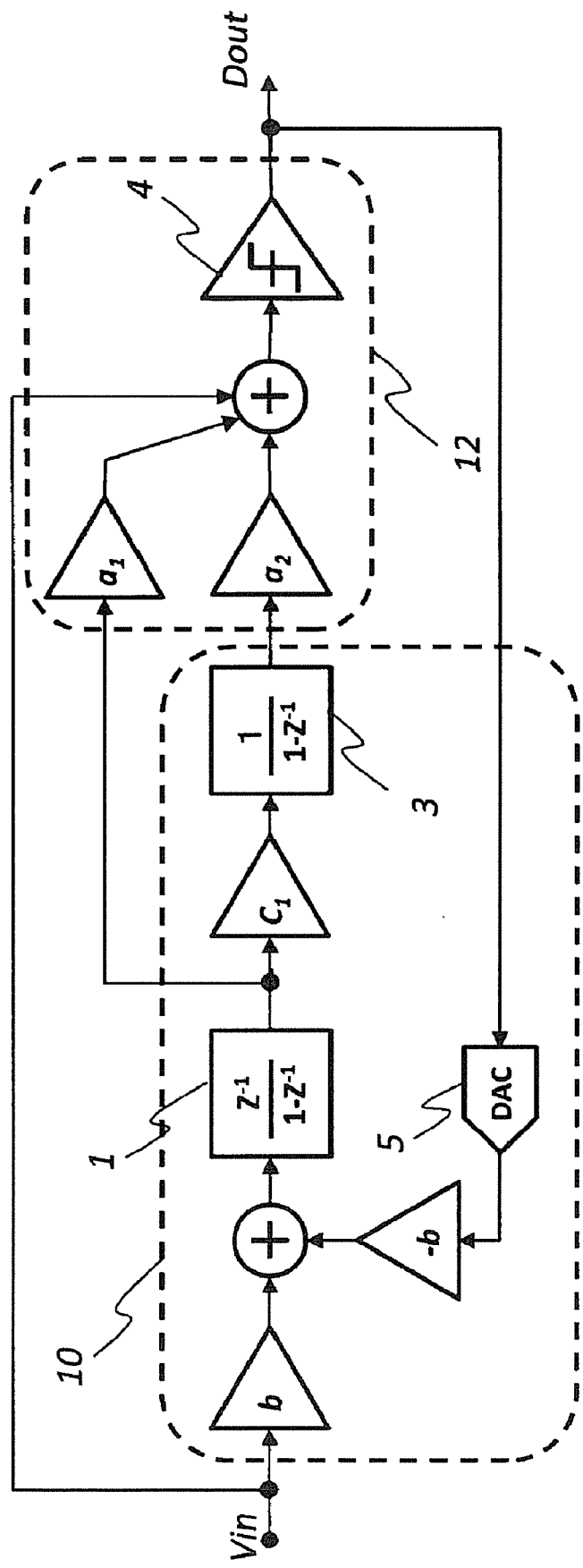
【圖2】



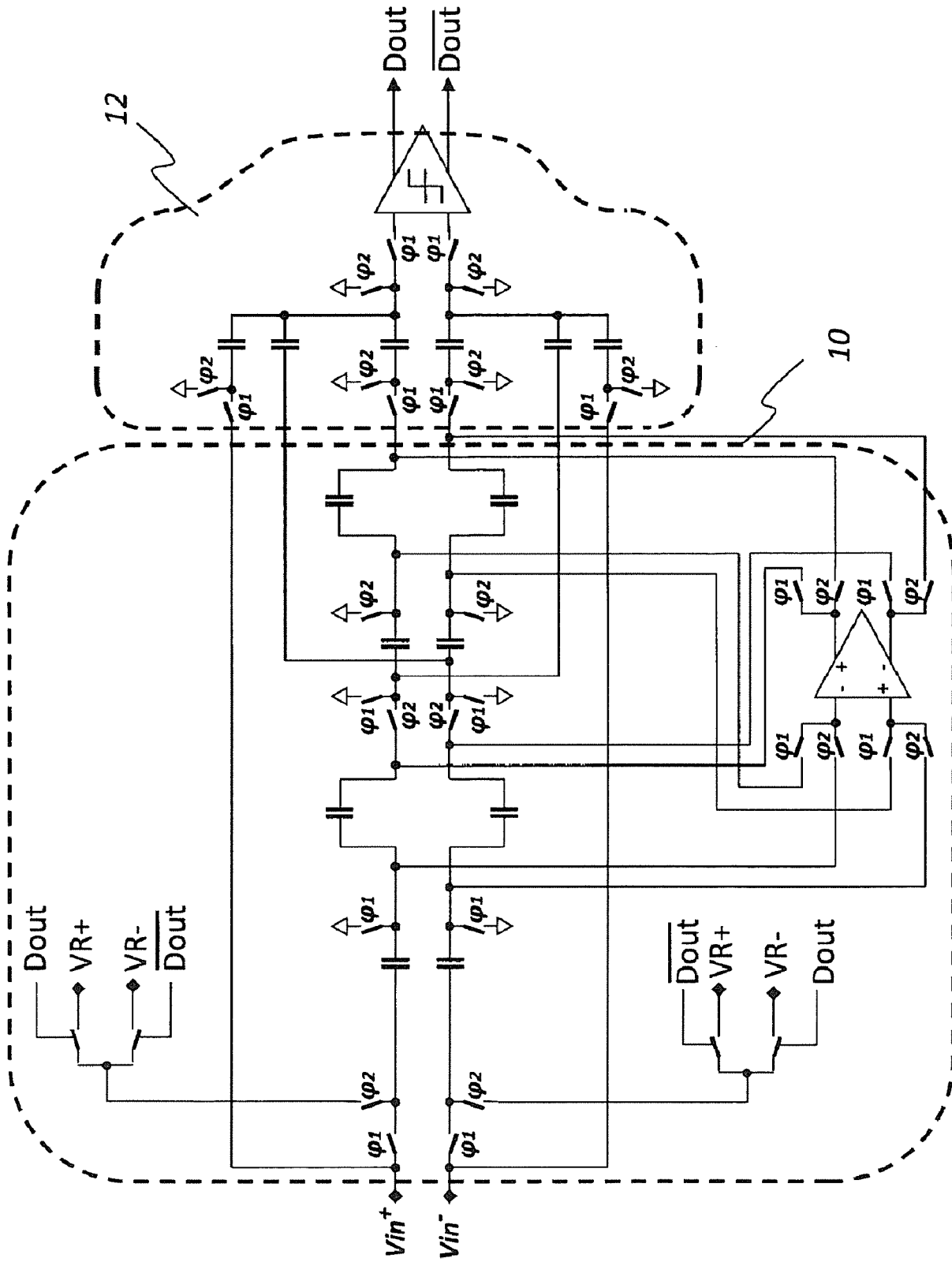
【圖3】



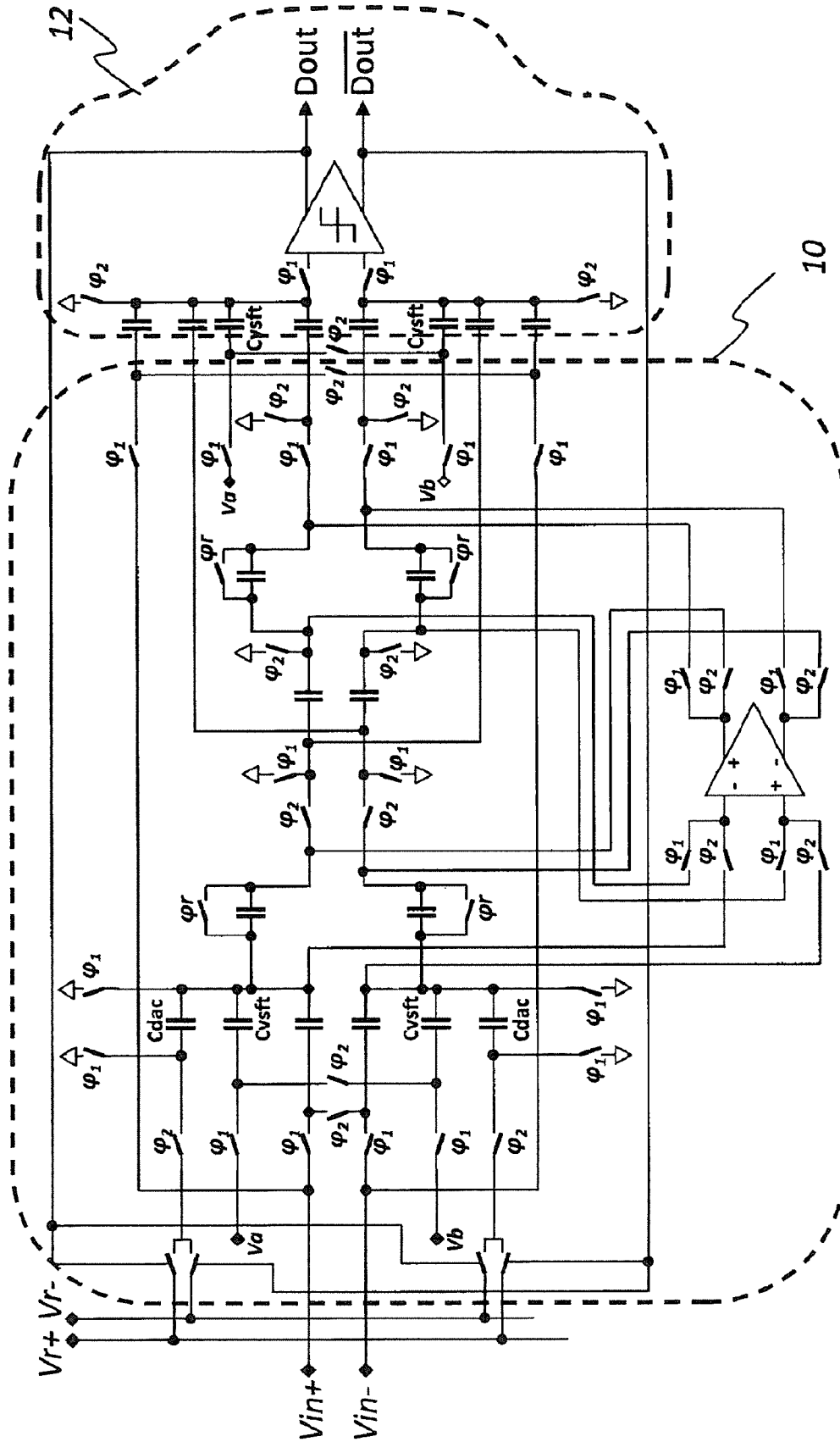
【圖4】



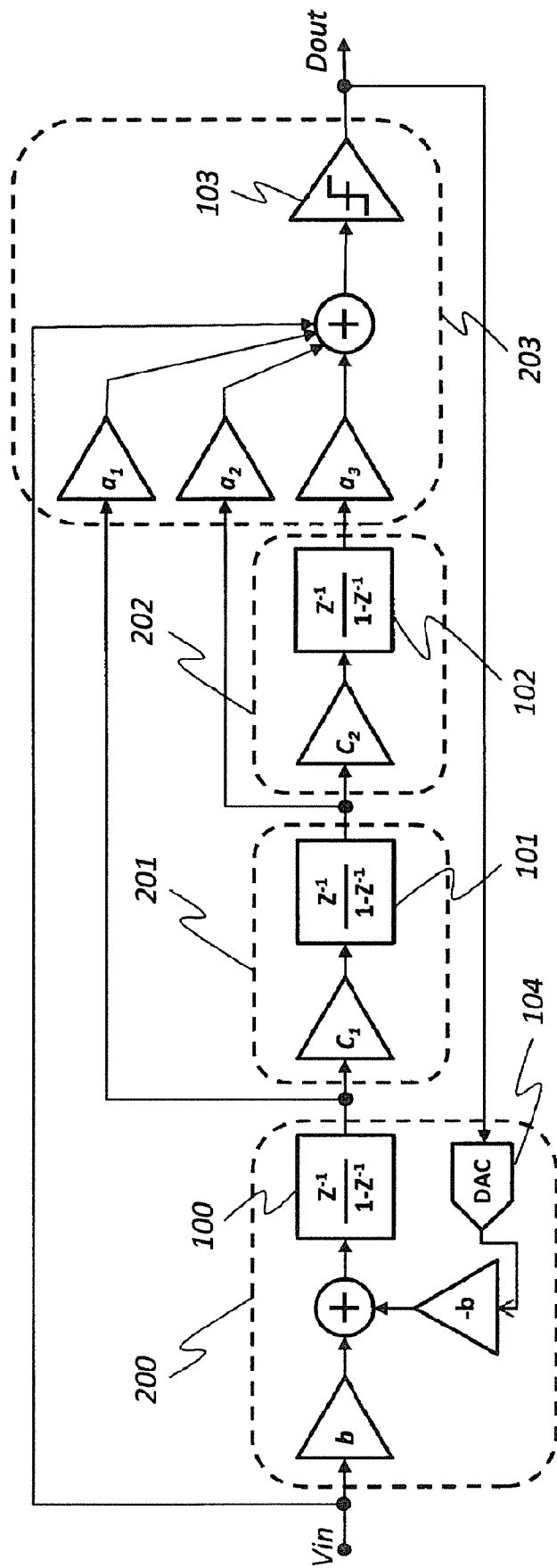
【圖5】



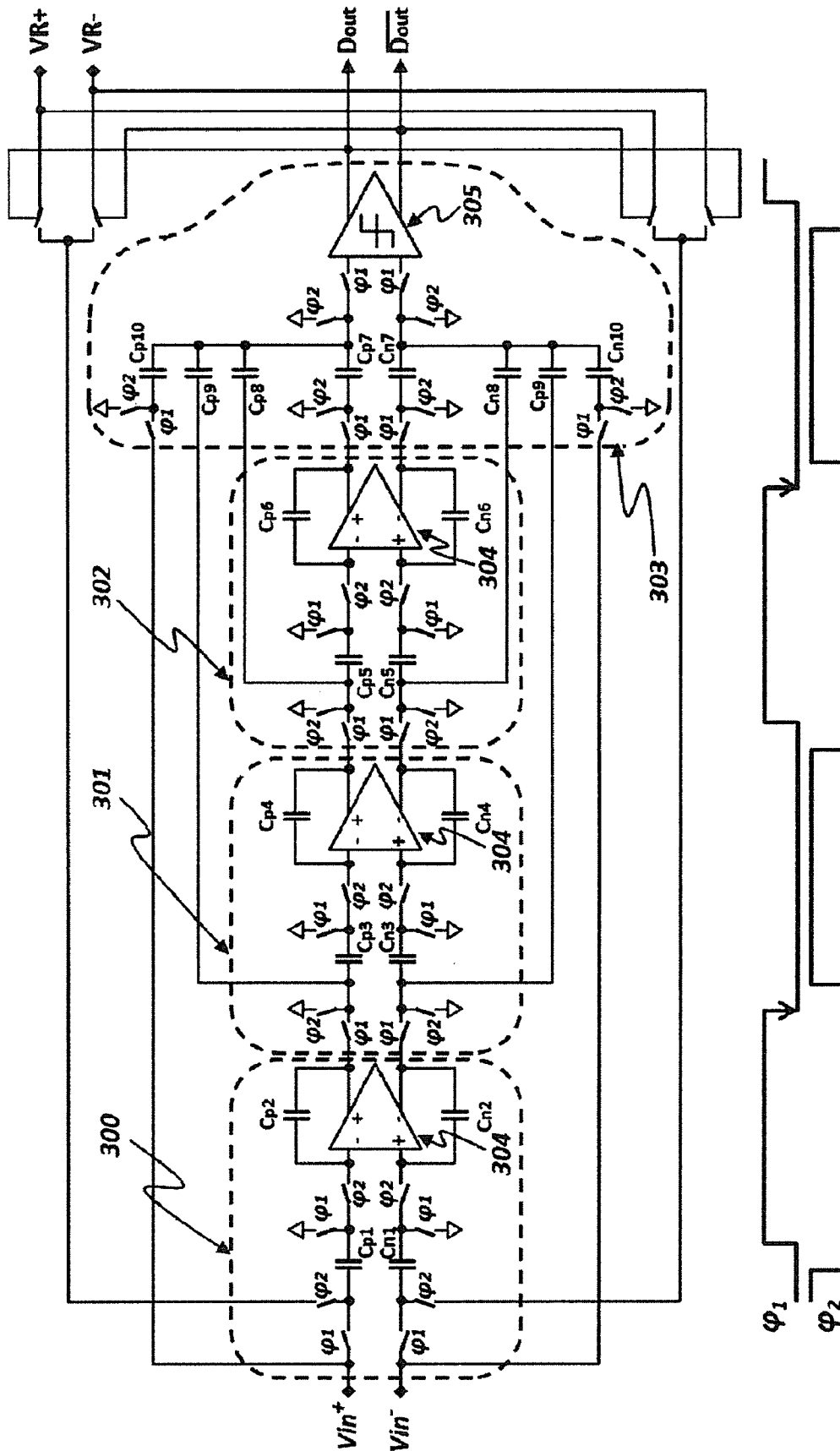
【圖6】



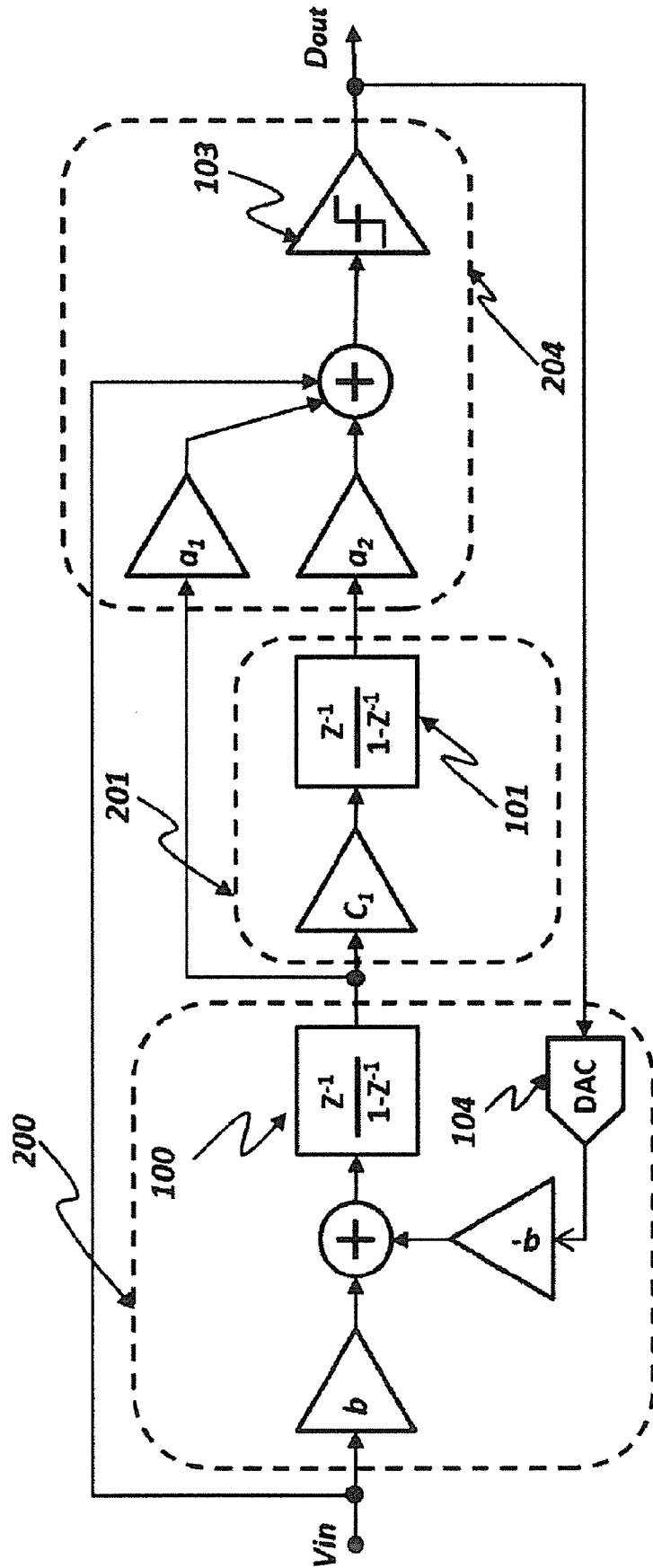
【圖7】



【圖8】



【圖9】



【圖10】