

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5437366号
(P5437366)

(45) 発行日 平成26年3月12日 (2014. 3. 12)

(24) 登録日 平成25年12月20日 (2013. 12. 20)

(51) Int. Cl.		F I			
HO3D	13/00	(2006.01)	HO3D	13/00	A
HO3L	7/081	(2006.01)	HO3L	7/08	J
HO3L	7/091	(2006.01)	HO3L	7/08	C

請求項の数 7 (全 12 頁)

(21) 出願番号	特願2011-515436 (P2011-515436)	(73) 特許権者	510000633
(86) (22) 出願日	平成21年6月30日 (2009. 6. 30)		エスティー-エリクソン、ソシエテ、アノ ニム
(65) 公表番号	特表2011-526752 (P2011-526752A)		スイス国ブラン-レーズアト、シュマン、 デュ、シャン-デー-フィーユ、39
(43) 公表日	平成23年10月13日 (2011. 10. 13)	(74) 代理人	100117787
(86) 国際出願番号	PCT/EP2009/058201		弁理士 勝沼 宏仁
(87) 国際公開番号	W02010/000746	(74) 代理人	100082991
(87) 国際公開日	平成22年1月7日 (2010. 1. 7)		弁理士 佐藤 泰和
審査請求日	平成24年3月30日 (2012. 3. 30)	(74) 代理人	100103263
(31) 優先権主張番号	08159474.9		弁理士 川崎 康
(32) 優先日	平成20年7月2日 (2008. 7. 2)	(74) 代理人	100107582
(33) 優先権主張国	欧州特許庁 (EP)		弁理士 関根 毅
		(74) 代理人	100118843
			弁理士 赤岡 明

最終頁に続く

(54) 【発明の名称】 時間デジタル変換器を有する回路および位相測定方法

(57) 【特許請求の範囲】

【請求項 1】

時間デジタル変換器(14)と、時間デジタル変換器(14)に結合された発振器(10)を有する発振回路と、を備えた回路であって、

前記時間デジタル変換器(14)は、

遅延回路入力と複数のタップとを有する遅延回路(22)であって、前記タップにおいて、遅延回路入力からの信号の、異なって遅延されたそれぞれのバージョンを出力するように構成されている、遅延回路(22)と、

クロック入力と前記タップに結合されたデータ入力とを有するサンプリングレジスタ(24)であって、前記クロック入力でのアクティブ遷移に応じて、前記データ入力からデータをサンプリングするよう構成されている、サンプリングレジスタ(24)と、

前記発振器の出力と、前記遅延回路入力と、前記クロック入力とに結合されるフィード回路(20)であって、当該フィード回路(20)は、基準信号と前記発振器(10)の出力信号とを受信し、前記発振器(10)の出力信号によって定義された時間ポイントで信号遷移を生成するリタイマ(202)を有し、少なくとも通常動作モードまたは調整モードで選択的に動作するように構成されており、前記通常動作モードでは、前記発振回路(10)の発振信号を、前記遅延回路入力に供給し、前記基準信号を、前記サンプリングレジスタ(24)のクロック入力に供給し、前記調整モードでは、前記発振信号によってタイミングが制御された遷移を有する信号を、前記遅延回路入力と前記クロック入力の両方に供給するように構成されており、当該フィード回路(20)は、前記遅延回路入力に

10

20

おける遷移の後に、前記サンプリングレジスタ(24)のクロック入力における第1のアクティブ遷移のタイミングを制御する、前記発振信号の遷移の選択を提供するように構成されている、フィード回路(20)と、

前記フィード回路を、前記通常動作モードと前記調整モードの間で切り替え、前記調整モードにおいて、複数の異なる遷移を連続して選択して前記第1のアクティブ遷移のタイミングを制御するよう、前記フィード回路(20)を制御し、結果として生じるデータを、各選択について前記サンプリングレジスタ(24)から読み出し、前記データから、前記発振信号に対する調整データを決定するように構成されている、制御回路(28)と、
を備えることを特徴とする回路。

【請求項2】

累算器(12)と、前記累算器(12)から得られた位相データの上位部分を、前記位相データの下位部分と組み合わせるように構成されている、位相検出器(16)とを備えた位相ロックループを備え、

前記位相検出器(16)は、前記発振回路(10)の周波数制御入力に結合された位相検出器出力を有しており、

前記時間デジタル変換器(14)は、前記位相検出器(16)に結合されて、前記下位部分を示し、前記制御回路(28)は、前記調整データに応じて、前記下位部分と前記上位部分の相対的な調整を制御するように構成されている、

ことを特徴とする請求項1に記載の回路。

【請求項3】

前記サンプリングレジスタ(24)と前記位相検出器(16)との間に結合されたプログラム可能な変換回路(26)を備え、前記制御回路は、前記調整データに応じて、前記タップからの信号の位相値への変換をプログラムするように構成されている、ことを特徴とする請求項2に記載の回路。

【請求項4】

前記フィード回路(20)は、前記第1のアクティブ遷移のタイミングを制御する前記発振信号における遷移の極性を選択するように構成されている、極性選択回路を備える、ことを特徴とする請求項1に記載の回路。

【請求項5】

前記フィード回路(20)は、前記遅延回路入力での遷移および前記発振信号におけるその後の選択可能な数のパルス後に、前記第1のアクティブ遷移のタイミングを制御する前記発振信号の遷移を選択するように構成されている、パルス抑制回路(40)を備える、ことを特徴とする請求項1に記載の回路。

【請求項6】

前記フィード回路(20)と、前記遅延回路入力および前記クロック入力との間に結合され、前記遅延回路入力および前記クロック入力での信号間の相対的な遅延をディザリングするように構成されている、可変遅延回路を備える、ことを特徴とする請求項1に記載の回路。

【請求項7】

位相を測定する方法であって、

遅延回路(22)のタップにおいて、前記遅延回路の入力に与えられる信号の、異なって遅延されたそれぞれのバージョンを生成すること、

前記遅延回路のタップにおいて生成された前記信号の遅延されたバージョンを、データ入力としてサンプリングレジスタ(24)に与え、

前記サンプリングレジスタにおいて、クロック入力でのアクティブ遷移に応じて、データ入力からデータをサンプリングすること、

通常動作モードと調整モードとの間で切り替えを行うこと、

前記通常動作モードにおいて、発振回路(10)の発振信号を、前記遅延回路入力に供給し、基準信号を、前記サンプリングレジスタ(24)のクロック入力に供給すること、

前記調整モードにおいて、前記発振信号によってタイミングが制御された遷移を有する

10

20

30

40

50

信号を、前記遅延回路入力と前記クロック入力の両方に供給すること、

前記発振信号の複数の異なる遷移を、連続して選択して、前記遅延回路入力での遷移の後に、前記クロック入力における第1のアクティブ遷移のタイミングを制御すること、

結果として生じるデータを、各選択について前記サンプリングレジスタから読み出すこと、を備え、

当該方法は、前記データから、前記複数の異なる遷移に対応する調整データを前記発振信号に対して決定すること、をさらに備える、

ことを特徴とする方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、分数位相検出器を備えた回路およびそのような分数位相検出器を調整する方法に関する。

【背景技術】

【0002】

デジタル位相ロックループ(DPLL: digital phase lock loop)は、位相検出器を用いて、基準信号とデジタル制御発振信号の位相差を検出する。デジタル発振器(DO: digital oscillator)信号のエッジがカウントされる場合、DOの位相を、1つのDO周期の精度で量子化する。基準カウンタは、基準クロックサイクル毎に、基準周波数の単位でチャンネルを表すチューニングワード(tuning word)を蓄積する。このようにして、基準カウンタは、DOがあるべき時間ポイントを定義する。位相検出器は、2つのカウンタと、ループ向けに生成された訂正信号との間の差を測定する。

20

【0003】

米国特許第6,429,693号は、クロック周期の分数に対応する精度による、より洗練された位相差の測定を提供する分数位相検出器を開示している。これは、遅延回路のチェーンを用いて、クロック信号のより遅延されたバージョンを連続して生成し、これらのバージョンを、基準信号の遷移時にサンプリングすることにより実現可能である。遅延は、信号周期の分数により異なっている。サンプリング結果から、遅延回路の時間遅延に関して表された、クロック信号と基準信号との間の時間遅延を決定することができる。この種の動作は、時間デジタル変換(TDC: time to digital conversion)と呼ばれる。

30

【0004】

残念ながら、TDCは、位相ではなく時間を測定する。米国特許第6,429,693号は、測定時間を位相に変換するために、遅延回路の遅延に関して表されたクロック信号の周期の長さによって、遅延を割る必要があることを述べている。米国特許第6,429,693号は、この変換を行うことを避けており、それは、この特許が、時間測定をエラー信号としてのみ使用しているためである。しかし、米国特許第6,429,693号は、時間遅延を、基準信号の遷移とクロック信号の正負両方の遷移との間で、それぞれ遅延回路の時間遅延に関して決定する位相計算を示している。2つの時間遅延の間の差は、クロック信号の正および負の遷移の間の時間間隔を表している。この差を用いて、クロック信号の遷移と、基準信号の遷移との間の時間測定値が正規化される。これにより、位相値が得られる。しかし、この方法は、基準信号の周期がクロック信号の整数倍である場合には、有用な結果をもたらさない場合がある。また、論理的なアップ-ダウンおよびダウン-アップ遷移に対する、遅延ラインの異なる反応時間が、精度に影響を及ぼす可能性がある。

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

特に、調整された分数位相測定を提供することを目的とする。

【課題を解決するための手段】

【0006】

50

請求項 1 に記載のように、時間デジタル変換器と、時間デジタル変換器に結合された発振器を有する発振回路とを備えた回路が提供される。ここで、調整モードが用いられ、このモードでは、発振信号によってタイミングが制御された遷移を有する信号が、遅延回路の入力と、遅延回路のタップに結合されたサンプリングレジスタのクロック入力との両方に供給される。発振信号の複数の異なる遷移が選択され、遅延回路入力での遷移の後に、クロック回路における第 1 のアクティブ遷移のタイミングを制御する。結果として生じるデータが、各選択についてサンプリングレジスタから読み出され、発振信号に対する調整データが、複数の異なる遷移についてのデータから決定される。このようにして、未知の遅延の影響を、除去することができる。例えば、調整データを用いて、時間デジタル変換器によって得られた位相の下位部分と、例えば発振信号の周期をカウントすることにより得られた上位部分との、相対的な調整を制御することができる。

10

【 0 0 0 7 】

実施形態において、発振回路と、時間デジタル変換器とは、位相ロックループの一部であり、また、位相ロックループは、互いに相対的に調整された下位部分と上位部分の両方を用いて、発振器に対する周波数制御信号を生成する位相検出器を備えている。よって、不正確な相対的調整によるジッタを減少させることができる。代替の実施形態において、このような位相検出器を用いて、位相ロックループなしに、位相復調回路を実現してもよい。調整データは、タップと位相検出器の間に結合されたプログラム可能な変換回路によってプログラムされてもよい。これにより、高速な調整を実現することができる。

【 0 0 0 8 】

実施形態において、サンプリングレジスタが遅延回路からデータをサンプリングする第 1 のアクティブ遷移のタイミングを制御する、発振信号における遷移の極性を選択するように構成されている極性選択回路を用いてもよい。これにより、高速な調整が可能となる。

20

【 0 0 0 9 】

実施形態において、フィード回路は、発振信号におけるその後の選択可能な数のパルス後に、サンプリングのタイミングを制御する発振信号の遷移を選択するように構成されている、パルス抑制回路を備える。これにより、調整の衝撃係数依存を回避することができる。

【 図面の簡単な説明 】

30

【 0 0 1 0 】

これらおよび他の目的ならびに有利な態様は、以下の図面を用いた例示的な実施形態の説明から明らかとなるであろう。

【 図 1 】 図 1 は、デジタル位相ロックループを示している。

【 図 2 】 図 2 は、時間デジタル変換回路を示している。

【 図 3 】 図 3 は、調整に関わる信号を示している。

【 図 4 】 図 4 は、時間デジタル変換回路を示している。

【 図 5 】 図 5 は、時間デジタル変換回路を示している。

【 発明を実施するための形態 】

【 0 0 1 1 】

40

図 1 は、デジタル位相ロックループを示している。位相ロックループは、デジタル制御発振器 10 と、累算器 12 と、時間デジタル変換器 14 と、位相検出器 16 と、ループフィルタ 18 と、リタイムサンプリング回路 (retimed sampling circuit) 19 と、を備えている。位相検出器 16 は、それぞれ基準信号、累算された発振位相信号、および分数位相信号のための、第 1、第 2、および第 3 の入力を有する。位相検出器 16 の出力は、ループフィルタ 18 を介して、デジタル制御発振器 10 の制御入力に結合されている。デジタル制御発振器 10 は、累算器 12 および時間 / デジタル変換器 14 のそれぞれを介して、位相検出器 16 の第 2 および第 3 の入力に結合された出力を有する。サンプリング回路 13 は、累算器 12 と位相検出器 16 の間に結合されている。

【 0 0 1 2 】

50

動作時には、デジタル制御発振器 10 の周波数（すなわち位相インクリメント速度）が、フィードバックループにおいて制御される。デジタル制御発振器 10 の出力信号の位相が、基準と比較され、比較の結果を用いて、デジタル制御発振器 10 の周波数の適合が制御される。デジタル制御発振器 10 の位相の最上位部分は、累算器 12 での累算値によって定義される。

【0013】

基準は、第 1 および第 2 の基準信号によって表される。第 1 の基準信号は、位相検出器 16 の第 1 の入力に印加される。基準信号および累算値は、両方とも、サイクルのカウントを表す整数部分を含んでもよい。任意で、基準信号および累算値は、分数部分を含んでもよい。第 2 の基準信号は、サンプリング回路 13 と時間デジタル変換器 14 とに印加される。第 2 の基準信号は、累算器 12 からの累算値のサンプルをいつサンプリングすべきかを示す。第 2 の基準信号のタイミングは、また、デジタル制御発振回路 10 の出力信号に対する、基準の位相の最下位部分も定義している。時間デジタル変換器 14 は、基準とデジタル制御発振器 10 との間の位相差の最下位部分の測定値を生成する。

10

【0014】

位相検出器 16 は、位相差の最上位部分を、累算器からのサンプル値および第 1 の基準信号から決定し、これを最下位部分と結合する。位相検出器 16 は、結果として生じた位相差信号を、ループフィルタ 18 を介して、デジタル制御発振器 10 の周波数制御入力に印加し、これにより、デジタル制御発振器 10 の周波数および位相が、基準にロックされる。

20

【0015】

累算器 12、位相検出器 16 およびループフィルタ 18 は、デジタル信号処理回路としてもよく、あるいは、それぞれの機能を実行するようにプログラムされた、デジタル信号プロセッサを用いて実施してもよい。同様に、デジタル制御発振器 10 は、一部を信号処理回路として実施してもよい。これらの信号処理回路は、連続するクロックサイクルが開始するたびに信号値を更新する、クロック信号の制御下で動作してもよい。

【0016】

第 2 の基準信号は、このクロック信号に同期している必要はない。累算器 12 からの累算値が、第 2 の基準信号の制御下でサンプリングされるので、サンプリング回路 13 は、タイミングの問題を回避するように構成してもよい。一実施形態において、サンプリング回路 13 は、同期サンプリング回路と、それ自体は既知の種類クロックリタイマ回路とを備える。クロックリタイマ回路は、第 2 の基準信号と、デジタル制御発振器の出力信号とを受信し、第 2 の基準信号の先行する遷移によってイネーブルされている場合は、デジタル制御発振器の出力信号によって定義された時間ポイントで、信号遷移を生成するように構成されている。同期サンプリング回路は、累算器 12 と位相検出器 16 の間に結合されており、クロックリタイマ回路の出力に結合されたクロック入力を有する。よって、同期サンプリング回路は、他の信号処理回路のクロック領域で動作する。

30

【0017】

図 2 は、フィード回路 20 と、遅延回路 22 と、サンプリングレジスタ 24 と、変換回路 26 と、制御回路 28 と、を備えた時間デジタル変換器を示している。フィード回路 20 は、遅延回路 22 に結合された第 1 の出力を有する。一実施形態において、遅延回路は、インバータまたは連続するインバータの対などの、相互に等しい遅延を有する遅延要素のチェーンを備え、遅延要素の間のノードにそれぞれタップが結合されている。しかし、変換回路 26 が、等しくない遅延を訂正可能であるため、等しい遅延は必須ではない。あるいは、相互に異なる遅延とタップとをそれぞれの出力に有する、複数の遅延要素を並列に用いてもよい。理解されるように、遅延回路 22 は、遅延信号の増幅、反転、しきい値設定等をしてよい。ここで用いられるように、遅延回路は、信号の他の変化を除外することなく、論理レベル遷移を遅延する回路である。

40

【0018】

サンプリングレジスタ 24 は、遅延回路 22 のタップに結合されたデータ入力と、フィ

50

ード回路20の第2の出力に結合されたクロック入力とを有する。サンプリングレジスタ24は、変換回路26を介して、時間デジタル変換器の出力と、制御回路28とに結合された出力を有する（後者は明確には図示せず）。制御回路28は、フィード回路20と、変換回路26とに結合された制御出力を有する。

【0019】

フィード回路20は、リタイマ202と、サンブラ204と、第1および第2のマルチプレキサ206, 208とを備える。フィード回路は、それぞれデジタルクロック信号および基準信号のための、第1および第2の入力200a, bを有する。第1の入力200aは、リタイマ202とサンブラ204のクロック入力に結合されている。リタイマ202の出力は、サンブラ204のデータ入力に結合されている。サンブラ204は、サンプリングされた信号およびそれらの論理逆数のそれぞれのための、第1および第2の出力を有する。

10

【0020】

第1および第2のマルチプレキサ206, 208は、遅延回路22の入力と、サンプリングレジスタ24のクロック入力とにそれぞれ結合された出力を有する。第1および第2のマルチプレキサ206, 208は、制御回路28に結合された制御入力を有する。第1のマルチプレキサ206は、第1の入力200aと、リタイマ202の出力とに結合された入力を有する。第2のマルチプレキサ208は、第2の入力200bと、サンブラ204の出力とに結合された入力を有する。

【0021】

20

動作時には、制御回路28は、時間デジタル変換器を、通常動作モードと調整モードの間で切り替える。通常動作モードでは、制御回路28は、マルチプレキサ206, 208を制御して、それぞれ第1および第2の入力200a, bからの信号を通過させる。その結果、第1の入力200aに到着したデジタル制御発振器10からの信号は、遅延回路22へと通され、第2の入力200bに到着した基準信号は、サンプリングレジスタ24のクロック入力に通される。デジタル制御発振器10からの信号は、バイナリ信号であってもよい。遅延回路22は、この信号の様々な遅延されたバージョンを生成する。サンプリングレジスタ24は、デジタル制御発振器10からの信号の様々な遅延されたバージョンを、基準信号によって定義された時間ポイントでサンプリングする。変換回路26は、サンプリングされた信号を、最下位の位相差値に変換し、これらの値を位相検出器16に印加する。変換回路26は、プログラム可能な回路、例えばロックアップメモリであり、サンプル値から位相差値へのプログラム可能な変換を提供する。

30

【0022】

制御回路28は、調整モードにおいて得られた結果に基づいて変換をプログラムするよう構成されている。これらの結果を得るために、制御回路28は、時間デジタル変換器を、周期的に調整モードに切り替えてもよい。調整モードでは、制御回路28は、第1のマルチプレキサ206を制御して、リタイマ202からの信号を、遅延回路22の入力へと通過させる。同様に、調整モードでは、制御回路28は、第2のマルチプレキサ208を制御して、サンブラ204からの信号を、サンプリングレジスタ24のクロック入力へと通過させる。調整モードは、サンプリングレジスタ24のクロック入力に結合されるサンブラ204の出力の選択が異なる、2つのステージを有する。第1および第2のステージにおいて、第2のマルチプレキサ208は、サンプリングレジスタ24のクロック入力を、サンブラ204の第1および第2の出力に、それぞれ結合する。その結果、それぞれのステージにおいて、互いに逆のクロック信号が用いられる。

40

【0023】

図3は、第1および第2のステージでの信号を示している。第1のトレースは、デジタル制御発振器10からの信号CKVを示し、第2のトレースは、第2の基準信号R2を示し、第3のトレースは、遅延回路22に印加される、リタイマ202からのリタイム信号RTを示す。第4および第5のトレースは、それぞれ、サンプリングレジスタ24のクロック入力に印加される、第1および第2の調整ステージでのサンブラ204の出力信号S

50

P, SNを示している。

【0024】

示された実施形態において、サンプラ204からの信号SP, SNにおける第1の正の遷移は、サンプリングレジスタ24によるサンプリングをトリガする。サンプリングをトリガする遷移を、第1のアクティブ遷移と呼ぶ。勿論、正の遷移は、1つの例であり、正のクロック信号遷移に応じる替わりに、サンプリングレジスタ24は、負の遷移に応じてよく、その場合は負の遷移がアクティブ遷移と呼ばれる。

【0025】

デジタル制御発振器10の出力信号に依存する第1のアクティブ遷移の、制御されたタイミングが、調整において用いられる。フィード回路20は、異なる調整ステージにおいて、この第1の正の遷移のタイミングが、デジタル制御発振器10の出力信号の互いに異なる遷移（すなわち、リタイム信号RTの前の遷移に対するそれぞれの相対位置が異なる）によって制御されることを確実にする。図3の実施形態において、第1のアクティブ遷移は、異なるステージのそれぞれにおいて、デジタル制御発振器10の出力信号における正および負の極性の遷移によって、タイミングが決定される。

【0026】

第1のアクティブ遷移は、様々なやり方で生成可能である。図3は、この第1の正の遷移に、サンプリングをトリガしない負の遷移が先行し得ることを示しているが、先の負の遷移なしの交互の信号を用いてもよいことを理解すべきである。これは、リタイム202の出力信号の互いに論理的に逆のバージョンに応じる、複数のサンプリング回路を用いて実現してもよい。もう1つの実施形態においては、マルチプレキサ208を、サンプラ204の互いに逆の出力に結合する替わりに、サンプラ204の1つの出力が、排他的ORゲートの第1の入力に結合され、排他的ORゲートの第2の入力が、制御回路28に結合され、排他的ORゲートの出力が、第2のマルチプレキサ208に結合される。このようにすると、制御回路は、排他的ORゲートを介して、反転を制御することが可能である。あるいは、デジタル制御発振器10の出力信号において、異なる遷移を選択的に生じさせ、第1のアクティブ遷移のタイミングを、サンプリングレジスタ24のクロック入力において決定する、他の極性選択回路を用いてもよい。

【0027】

調整の間、制御回路28は、サンプリングされた出力信号を、サンプリングレジスタ24から受信する。これらの信号は、遅延回路22のそれぞれのタップから生じ、出力信号SP, SNの第1の立ち上がり遷移時に、リタイム信号RTの最後の遷移が、タップに関連する遅延よりも過去にさらに起こったかどうかを示す。これが当てはまるタップと、当てはまらないタップとの間の境界を決定することにより、制御回路28は、リタイム信号RTの最後の遷移と、サンプラ204の出力信号SP, SNの遷移との間の時間間隔の長さTp, Tnの、量子化推定値を得ることが可能である。

【0028】

これらの長さに対して、次の式が成り立つ。

$$T_n = T_{cvk} - T_o$$

$$T_p = T_{cvk} / 2 - T_o$$

ここで、Tcvkは、デジタル制御発振器10からの出力信号の周期であり、Toは、マルチプレキサ206, 208、サンプラ204、および遅延回路22とサンプリングレジスタ24の内部回路に起因する、未知の遅延である。これらの関係から、Tcvkについての表現を、次のように導くことができる。

$$T_{cvk} = 2 * (T_n - T_p)$$

【0029】

調整モードにおいて、制御回路28は、異なる設定の後に、第2のマルチプレキサ208を、サンプラ204の第1および第2の出力からの信号を通すように設定し、サンプリングレジスタ24から信号を読み出す。これにより、これらの信号は、長さTp, Tnの量子化推定値を表す。その後、制御回路28は、TpおよびTnに関するTcvkの式と

10

20

30

40

50

一致する、長さ T_p , T_n の量子化推定値から、 T_{cvk} を計算する。計算された T_{cvk} から、制御回路 128 が、通常動作モードで可能なサンプリングレジスタ 24 の出力信号と関連する位相値 (T_{cvk} によって正規化された時間値) を決定し、これらの出力信号を決定された位相値に変換するよう、変換回路 26 をプログラムする。

【0030】

遅延回路 22 が、等間隔の遅延を定義する場合、変換は、単一の調整因子を用いてプログラムしてもよい。遅延が等しくなくてもよい場合、それぞれの可能な読み出し値に対して、ルックアップテーブルにおいて、訂正された値を提供してもよい。加えて、制御回路 28 は、これらの測定値から、未知の遅延 T_o を決定し、この遅延を用いて、サンプリングされた値の位相値への変換におけるオフセットを制御してもよい。

10

【0031】

図 4 は、サンプラ 204 の出力と、第 2 のマルチプレキサ 208 の入力との間に、パルス抑制回路 40 が追加された実施形態を示している。このパルス抑制回路は、リタイマ 202 の出力に結合されたリセット入力を有する。パルス抑制回路は、第 2 の出力からの信号のパルスの数 (例えば 1 パルス) を、リタイマ 202 の出力の遷移後にディセーブルするよう構成されている。パルス抑制回路自体は、既知である。パルス抑制回路は、カウンタと、AND ゲートとを備えてもよい。カウンタは、パルス入力に結合されて、リタイマ 202 からのリセット後にパルスをカウントするようにしてもよい。AND ゲートは、パルス入力とカウンタのオーバーフロー出力とに結合された入力を有してもよい。

【0032】

パルス抑制回路の使用は、測定された遅延が、次式に対応するという効果を有する。

$$T_n(k) = k * T_{cvk} - T_o$$

ここで、 k は抑制されたパルスの数である。よって、異なる数 k , k' の抑制されたパルス (このうちの 1 つは 0 であってもよい) により、2 つの遅延 $T_n(k)$, $T_n(k')$ が測定される場合、

$$T_{cvk} = (k - k') * (T_n(k) - T_n(k'))$$

となる。

【0033】

制御回路 28 は、パルス抑制回路 40 を、異なる数のパルス k , k' (このうちの 1 つは 0 であってもよい) を抑制するよう連続して設定し、これらの設定を用いて、サンプリングレジスタ 24 から信号を読み出してもよい。これらの信号は、長さ $T_n(k)$, $T_n(k')$ の量子化推定値を表す。その後、制御回路 28 は、長さ $T_n(k)$, $T_n(k')$ の量子化推定値から、 T_{cvk} を計算し、位相値を決定し、変換回路 26 を、サンプリングレジスタ 24 の出力信号を位相値に変換するようにプログラムする。このようにして、衝撃係数依存を無効にすることが可能である。

20

30

【0034】

図 4 の実施形態は、例えば、サンプラ 204 の 1 つまたは両方の出力と、第 2 のマルチプレキサ 208 との間、または第 2 のマルチプレキサ 208 と、サンプリングレジスタ 24 のクロック入力との間で、パルス抑制回路を用いることにより、図 2 の実施形態と組み合わせてもよい。理解されるように、デジタル制御発振器 10 の出力信号の、異なって選択された複数の遷移によって制御される時間ポイントでのサンプリングにより得られる、タップデータの任意の組み合わせを用いてもよい。異なって選択された 2 つの遷移があれば、十分である。遅延回路 22 からの、結果として生じる異なるタップ信号によって表される遅延を減算することにより、共通の未知の遅延を除去することができる。

40

【0035】

図 5 は、フィード回路 20 とサンプリングレジスタ 24 のクロック入力との間に、可変遅延回路 50 が加えられた実施形態を示している。動作時には、可変遅延回路 50 を用いて、測定値がディザリングされる。すなわち、制御回路 28 は、可変遅延回路 50 を制御して、量子化されていないランダムに変化する遅延を、遅延回路 22 の遅延として印加させてもよい。その後、制御回路は、結果としての量子化された遅延測定値 T_n および / ま

50

たはT₀を平均して、より正確な遅延測定を得てもよい。遅延のランダムな変化の代わりに、遅延は、ランプアップまたはダウン (ramped up or down)、あるいは他の任意の方法で変化させてもよい。ディザリングは、より正確な測定値を得るために、通常動作の間に用いてもよく、この場合、制御回路28は、好ましくは、ループフィルタ18の通過帯域外の周波数で遅延を変化させるように構成される。

【0036】

デジタル制御発振器10の周期を、少しだけ変化させる場合、調整モードは、頻繁に行う必要はない。基本的に、1つの周波数に対して、一度の調整で十分である。あるいは、周期的な調整を行ってもよい。一実施形態では、調整モードにおいて、通常動作モードで得られた最後の位相値にその出力をフリーズするよう、変換回路26を構成してもよい。

10

【0037】

具体的な実施形態について説明したが、他の実施形態も可能であることを理解すべきである。例えば、調整モードにおいて、フィード回路20の入力として、第2の基準信号を用いる代わりに、他の任意の信号を用いてもよく、あるいは、制御回路28からの信号に応じて、図3に示されるパルスシーケンスをトリガすることによって、この信号を省いてもよい。

【0038】

同様に、調整モードにおいて、サンプリングレジスタ24のクロック入力で、異なる信号を用いる代わりに、遅延回路22に対して、異なる信号を印加してもよい。サンプリングレジスタ24のクロック入力と遅延回路22の入力での信号の間の相対的な遅延を、デジタル制御発振器10の出力信号の周期または半分の周期によって定義される量で変化させた場合、位相測定値の正確な調整を行うことが可能である。

20

【0039】

制御回路28は、その機能を実行するようにプログラムされたプログラム可能なコンピュータを用いて実施してもよい。プログラム可能なコンピュータは、累算器12、位相検出器16、ループフィルタ18、変換回路26等の機能を実行するようにプログラムしてもよい。

【0040】

時間デジタル変換回路において、変換回路を用いる代わりに、遅延回路22の遅延に関する発振周期についての情報を用いて、位相情報の上位部分を、遅延回路22のタップをサンプリングすることにより得られたデータと組み合わせるやり方を制御するように、位相検出器16を構成してもよい。例えば、時間を位相に変換する代わりに、発振周期についての情報を用いて、位相を時間に変換してもよい。調整モードと通常動作モードの両方において、同じサンプリングレジスタを用いて遅延回路22を読み取る代わりに、異なるサンプリングレジスタを、この異なるモードでの読み出しに用いてもよい。

30

【0041】

位相ロックループにおいて、時間デジタル変換器を用いる実施形態を説明したが、例えば、必ずしも周波数を適合させることなく、デジタル制御発振器10と基準信号の間の位相差が測定される、デジタル位相復調器や、位相検出器を用いて、デジタル制御発振器10の周波数の代わりに、基準信号のソース回路の周波数を制御する位相ロックループでの、他の適用も可能であることを理解すべきである。

40

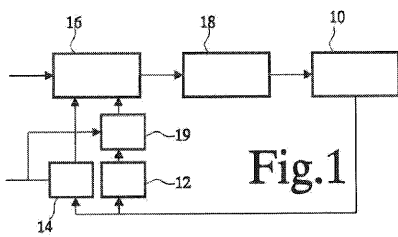
【0042】

開示された実施形態に対する他の変更が、特許請求される発明を実施する当業者によって、図面、開示、および添付の特許請求の範囲を検討することにより理解され、行うことができるであろう。特許請求の範囲において、“備える”という語は、他の要素またはステップを除外せず、「1つの」という語(不定冠詞“a”または“an”)は、複数であることを除外しない。単一のプロセッサまたは他のユニットが、特許請求の範囲において述べられるいくつかの項目の機能を実現することが可能である。互いに異なる従属請求項において、特定の手段が述べられているという単なる事実は、これらの手段の組み合わせを有利に用いることができない、ということを示すものではない。コンピュータプログラム

50

を、他のハードウェアと共にまたはその一部として供給される、光記憶媒体またはソリッドステート媒体などの適切な媒体で、保存/配布してもよく、あるいは、インターネットもしくは他の有線または無線の電気通信システムを介するなどして、他の形態で配布してもよい。特許請求の範囲における参照符号はどれも、範囲を限定するものとして解釈されるべきではない。

【 図 1 】



【 図 2 】

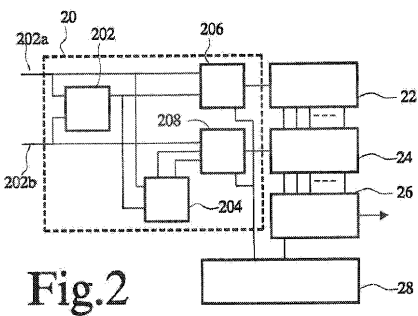


Fig.2

【 図 3 】

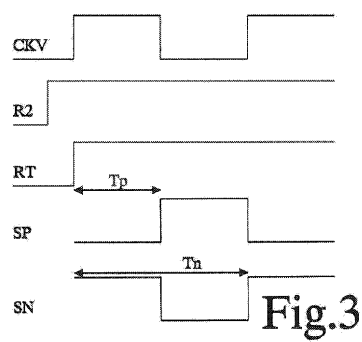


Fig.3

【 図 4 】

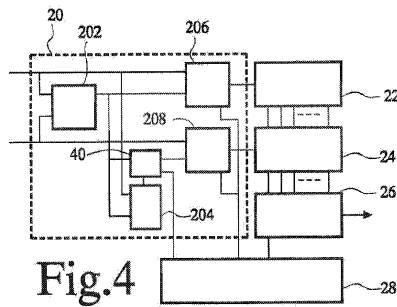
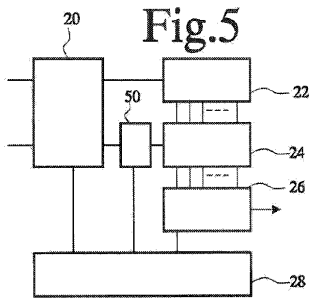


Fig.4

【 図 5 】



フロントページの続き

- (72)発明者 ネナド、パプロビク
オランダ国5611、ペーサー、アインドーフェン、ヘルトフストラート、86
- (72)発明者 マネル、コラドス、アセンシオ
オランダ国5616、ヘーアー、アインドーフェン、シント、トルドストラート、31エル
- (72)発明者 ヘ、シン
オランダ国5656、アーエー、パールレ、フォンデルフェルド、10
- (72)発明者 ヤン、ファン、シンダーレン
オランダ国5298、エスベール、リーンプデ、ストレイペンホフ、3

審査官 國分 直樹

- (56)参考文献 米国特許出願公開第2005/0001656(US, A1)
米国特許出願公開第2008/0048791(US, A1)
米国特許出願公開第2006/0103566(US, A1)
特開2002-076886(JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03D13/00
H03L7/08-7/14