



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년06월30일

(11) 등록번호 10-1413380

(24) 등록일자 2014년06월23일

(51) 국제특허분류(Int. Cl.)

H01L 21/301 (2006.01)

(21) 출원번호 10-2007-0086787

(22) 출원일자 2007년08월28일

심사청구일자 2012년08월24일

(65) 공개번호 10-2009-0021897

(43) 공개일자 2009년03월04일

(56) 선행기술조사문현

JP05144938 A*

JP2001102330 A

JP63117445 A*

JP2007056134 A

*는 심사관에 의하여 인용된 문현

(73) 특허권자

쓰리엠 이노베이티브 프로퍼티즈 캠파니

미국 미네소타주 55133-3427 세인트 폴 피.오. 박
스 33427 쓰리엠 센터

(72) 발명자

조광제

경기도 화성시 병점동 374-5 한국쓰리엠이노베이
션센타

장경호

경기도 화성시 병점동 374-5 한국쓰리엠이노베이
션센타

(74) 대리인

김성기, 김태홍

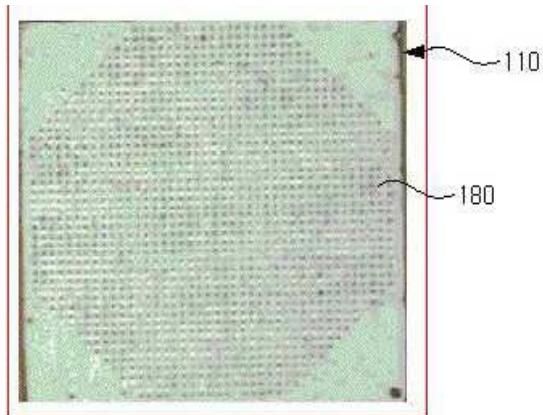
전체 청구항 수 : 총 4 항

심사관 : 김종희

(54) 발명의 명칭 반도체 다이의 제조방법, 상기 방법으로 제조된 반도체다이를 포함하는 반도체 소자

(57) 요 약

본 발명은 반도체 다이의 제조방법에 관한 것으로서, 더욱 상세하게는 반도체 웨이퍼를 다이싱하는 과정에서 발생하는 실리콘 더스트에 의한 오염을 방지하여, 후공정에서 발생될 수 있는 와이어 본딩 불량이나 소자의 오염 등을 미연에 방지할 수 있도록 하는 웨이퍼의 다이싱 공정을 포함하는 반도체 다이의 제조방법에 관한 것이다. 이를 위하여, 본 발명에서는 회로 패턴이 형성된 웨이퍼의 일면에 불소계 고분자 코팅액을 도포하여 불소계 고분자 코팅막을 형성한 후, 다이싱하는 방법을 적용한다.

대 표 도 - 도2h

특허청구의 범위

청구항 1

웨이퍼 표면에 불소계 고분자 코팅막을 형성하는 단계;

웨이퍼를 절단하는 단계; 및

상기 불소계 고분자 코팅막을 제거하는 단계

를 포함하고,

상기 불소계 고분자 코팅막은 $C_aH_bF_cO_dS_eN_f$ 로 표현되고, 여기서, a는 10 내지 10,000이며, b는 10 내지 20,000이고, c는 10 내지 20,000이며, d는 10 내지 1,000이고, e는 0 내지 100이며, 그리고 f는 0 내지 1,000인 것인 반도체 다이의 제조방법.

청구항 2

삭제

청구항 3

제 1항에 있어서,

상기 불소계 고분자 코팅막의 두께는 0.1 내지 $10\mu m$ 인 것을 특징으로 하는 반도체 다이의 제조방법.

청구항 4

제 1항에 있어서,

상기 불소계 고분자 코팅막을 제거하는 단계는,

불소계 용매를 포함하는 디코팅액을 불소계 고분자 코팅막에 도포하는 단계; 및

상기 웨이퍼를 세정하는 단계

를 포함하는 것을 특징으로 하는 반도체 다이의 제조방법.

청구항 5

제 4항에 있어서,

상기 도포하는 단계는, 증기세정 공정 또는 딥핑 공정에 의하여 이루어지는 것을 특징으로 하는 반도체 다이의 제조방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0011]

본 발명은 반도체 다이의 제조방법에 관한 것으로서, 더욱 상세하게는 반도체 웨이퍼를 절단하는 다이싱 공정에서 발생하는 실리콘 더스트에 의하여 반도체 소자가 오염되는 것을 방지하여 후공정에서 발생할 수 있는 문제점들, 예를 들어, 와이어 본딩 불량, 센서 표면 오염, 실리콘 더스트의 표면 침해 등을 미연에 방지할 수 있도록 하는 웨이퍼의 다이싱 공정을 포함하는 반도체 다이의 제조방법에 대한 것이다.

[0012]

최근 개인 정보단말기기의 보급이 본격화됨에 따라 여기에 사용되는 전자부품으로서 반도체 소자에 많은 발전이 있었으며, 아울러, 보다 작고 정밀한 반도체 소자의 제조 공정에 대한 개발 또한 더욱 가속화되어 가고 있다.

[0013]

이러한 반도체 소자는, 칩 패키지(Chip Scale Package)라고도 불리는데, 이는 일반적으로 "다이", 즉 실리콘 웨이퍼에서 분리된, 배선이 형성된 반도체 다이를 절연물질로 패키징한 것이다. 본 발명에서 다이라 함은 반도체 다이를 의미한다.

[0014]

일반적인 반도체 소자의 제조 공정은 웨이퍼 제조공정, 웨이퍼 가공공정 및 웨이퍼 패키징 공정으로 크게 구별된다.

- [0015] 웨이퍼 제조 후, 웨이퍼 가공공정을 통하여 웨이퍼 일면(10a)에 회로 패턴을 형성한 다음, 필요한 경우에는 반도체 소자의 두께를 줄이기 위하여, 도 1a에서 도시된 것과 같이 회로 패턴이 형성되지 않은 웨이퍼(10)의 후방면(10b)을 그라인더(20)로 제거하는 그라인딩 공정을 실시한다.
- [0016] 이때 회로 패턴이 형성된 웨이퍼 면(10a)에는 회로 패턴 보호를 위하여 통상적으로 백그라인딩 테이프(14)가 부착된다.
- [0017] 이어, 회로 패턴이 형성된 웨이퍼의 상면(10a)에서 상기 백그라인딩 테이프(14)를 제거한 후, 상기 웨이퍼(10)의 후방면(10b)에 다이싱 테이프(15)를 부착한 후, 도 1c 및 도 1d와 같이, 웨이퍼(10)를 절단하는 다이싱 공정을 실시하여 하나의 웨이퍼(10)로부터 수백 개의 반도체 다이(13)를 형성한다.
- [0018] 한편, 도 1e에서와 같이, 웨이퍼(10) 제조시에 다이(13)와 다이 사이에는 $100\mu\text{m}$ 정도 간격으로 스트립 라인(19)이 형성되는데, 다이싱 공정에서 상기 스트립 라인(19)을 따라 블레이드에 의한 절단작업이 이루어져 다이(13)가 형성된다.
- [0019] 상기 스트립 라인(19)을 절단하는 다이싱 공정에서는 웨이퍼(10)의 경도, 연성, 내마모성 등과 같은 반도체 소자의 특징에 따라 블레이드(30)가 선택되며, 절단 작업에 의한 충격에 의하여 개별적으로 분리된 다이(13)가 날아가지 않도록 다이싱 테이프(15)가 웨이퍼에 부착된다.
- [0020] 이러한 다이싱 테이프(15)는 다이싱 공정 후, UV를 조사하여 테이프의 접착층을 경화시켜 테이프의 접착력을 약화시킴으로써 상기 웨이퍼의 후방면(10b)으로부터 제거된다. 다이싱 테이프(15)의 제거 후, 개별 다이를 꾹 업하여 인쇄회로기판 상에 실장하여 와이어 본딩으로 다이와 인쇄회로기판을 전기적으로 연결하고, 패키징하면 원하는 소자 특성을 갖는 반도체 소자가 완성된다.
- [0021] 그러나, 반도체 소자의 박형화 및 소형화 추세에 따라 웨이퍼의 두께는 감소시키고, 또한 제조비용을 줄이면서 반도체 소자의 생산 개수를 늘릴 수 있도록 웨이퍼의 직경은 증가시킴에 따라, 얇고 넓은 웨이퍼를 블레이드를 이용하여 다이싱하여야 하기 때문에, 블레이드의 기계적인 충격에 의해 웨이퍼의 깨짐 현상(Broken/Crack)이 발생한다.
- [0022] 이를 개선하기 위해서는 블레이드의 절삭 속도를 낮추고, 블레이드의 절삭 깊이를 더욱 깊게 하여 다이싱 공정을 진행한다. 그런데, 이 경우 웨이퍼의 절단면에서 발생되는 실리콘 더스트의 양이 늘어나는 문제점이 있다. 이러한 실리콘 더스트(18)에는 실리콘 조각 외에 블레이드에서 발생한 니켈, 다이아몬드 가루, 합금 및 씨꺼기가 포함되어 있는데, 이들은 블레이드의 절삭 시 비산되어 도 1f에서 도시된 것과 같이 다이의 본딩 패드(11)상에 박히게 된다.
- [0023] 그런데, 더 작은 사이즈의 다이에 논리 소자의 집적도를 증가시키기 위해서는 I/O 단자의 숫자도 증가하여야 하기 때문에 다이에서 본딩 패드(11)의 면적이 더욱 감소할 수 밖에 없으므로, 실리콘 더스트(18)가 작은 면적의 본딩 패드에 박혀 있게 되면 후속 공정을 통하여 와이어 본딩을 실시할 때 그 본딩 신뢰성을 획득하는 것이 어렵다.
- [0024] 즉, 적은 면적의 본딩 패드(11) 상에 실리콘 더스트(18)가 남아 있는 상태에서, 예를 들어, A1로 형성된 본딩 패드에 Au 와이어를 접착하더라도 본딩이 잘 일어날 수 없으므로, 본딩 강도(bonding strength)의 열화와 저항 증가가 초래되어 온도 스트레스가 가해질 때 본드 와이어 단선(bond wire open) 또는 반도체 소자의 성능 저하를 야기시킬 수 있다.
- [0025] 이를 위하여, 종래에는 이산화탄소(CO_2) 가스가 혼합된 탈이온수(DI water)를 분사하여 웨이퍼 상의 실리콘 더스트를 제거하였으나, 세척력을 높이기 위하여 첨가된 이산화탄소 가스는 본딩 패드(11)의 금속과 반응하여 이를 부식시킨다.
- [0026] 이러한 본딩 패드의 부식 또한 후속 공정의 와이어 본딩 성능을 저하시켜 반도체 소자의 전기적 신뢰성을 저하시킨다.
- [0027] 이에 따라, 다이의 표면에 실리콘 더스트 등의 원치 않는 잔류물이 잔존하는 것을 방지하고, 다이 표면의 금속 등을 부식시키지 않을 수 있는 다이싱 작업 방법이 요구된다.

발명이 이루고자 하는 기술적 과제

- [0028] 본 발명은 상기한 문제점을 해결하기 위한 것으로서, 웨이퍼의 다이싱 공정 시 발생하는 실리콘 더스트에 의한

반도체 다이의 오염 및 실리콘 더스트의 표면 침해, 와이어 본딩 불량 등을 미연에 방지하는 데 그 목적이 있다.

[0029] 본 발명의 또 다른 목적은 세정 시 사용되는 탈이온수와 이산화탄소와 같은 가스 혼합물에 의한 금속의 부식을 억제하는 데 있다.

발명의 구성 및 작용

[0030] 본 발명은 반도체 다이의 제조방법에 대한 것으로서, 상기 방법은 반도체 웨이퍼 표면에 불소계 고분자 코팅막을 형성하는 단계; 상기 웨이퍼를 절단하는 단계; 및 상기 불소계 고분자 코팅막을 제거하는 단계;를 포함한다.

[0031] 상기 불소계 고분자 코팅막은 불소계 고분자 코팅액에 의하여 형성될 수 있다. 상기 불소계 고분자 코팅액은 불소계 고분자 화합물 및 용매를 포함한다. 즉, 상기 불소계 고분자 코팅액은 불소계 고분자 화합물을 용매에 분산 또는 용해시켜 제조될 수 있다.

[0032] 상기 불소계 고분자 화합물로는, 예를 들어 탄화수소계 고분자에서 수소가 불소로 치환된 구조를 가진 것이 있다. 본 발명의 일례에 따르면 상기 불소계 고분자 화합물은 소수성기와 친수성기를 함께 가지는 것이 바람직하다. 소수성기와 친수성기를 함께 가지는 불소계 고분자 화합물로서 탄화수소로 된 주쇄 또는 불소를 함유하는 탄화수소 주쇄에 산소 또는 질소가 결합된 화합물이 가능하며, 산기를 가진 분자체가 결합된 화합물도 가능하다. 이러한 산기로는 아세트산(-COOH), 술폰산(sulfonic acid, -SO₃H) 등이 있다. 이때, 탄화수소 또는 불소를 함유하는 탄화수소는 소수성기로서 작용을 하며, 상기 산소, 질소 또는 산기는 친수성기로서 작용한다.

[0033] 상기 불소계 고분자 코팅액에 있어서 용매로서는 상온에서 액체상태를 갖는 불소계 용매를 사용할 수 있다. 상기 용매의 분자량은 상온에서 액체상태가 유지될 수 있도록 조절되는 것이 좋은데, 예를 들어, 100 내지 800 정도의 분자량을 가진 불소계 용매가 가능하다. 이러한 불소계 용매로서, 불소치환 에테르, 불소치환 에스테르, 불소치환 케톤 등이 가능하다.

[0034] 한편, 불소계 고분자 코팅액의 제조에 사용될 수 있는 상기와 같은 불소계 용매는 또한 상기 불소계 고분자 코팅액에 의하여 형성된 불소계 고분자 코팅막을 제거하는 데에도 사용될 수 있다. 즉, 상기 불소계 고분자 코팅막을 제거하는 단계에서는, 코팅막 제거를 위하여 디코팅액(decoating solution)을 사용하는데, 디코팅액으로서 상기 불소계 용매를 사용할 수 있다.

[0035] 상기 디코팅액으로 사용되는 불소계 용매는 디코팅액이 사용될 불소계 고분자 코팅막을 형성하기 위한 불소계 고분자 코팅액을 제조할 때 사용한 불소계 용매와 동일할 수도 있고 다를 수도 있다. 즉, 상기 디코팅액으로 사용되는 불소계 용매는, 당해 불소계 고분자 코팅액을 제조할 때 사용한 용매와 동일할 필요는 없다.

[0036] 본 발명에 의한 반도체 다이의 제조방법에 의한 경우, 불소계 코팅액을 이용하여 반도체 다이의 표면을 보호하여 실리콘 더스트의 오염을 방지할 수 있다.

[0037] 구체적으로 본 발명의 일 실시예를 첨부도면을 참조하여 설명하면 다음과 같다.

[0038] 반도체 소자의 제조 공정에 있어서, 반도체 소자의 고집적화에 수반하여, 반도체 웨이퍼 상에 다수 층의 배선 패턴을 형성하기 위해서 다수 번의 증착, 에칭, 세정 등이 행해지는 것이 일반적이다.

[0039] 이와 같은 웨이퍼의 가공 공정을 통하여 웨이퍼 일면(100a)에 회로 패턴을 형성한 후, 반도체 소자의 두께를 줄이기 위해, 도 2a에서 도시된 것과 같이, 회로 패턴이 형성되지 않은 웨이퍼(100)의 후방면(100b)을 그라인더(200)로 제거하는 그라인딩 공정을 실시한다.

[0040] 이때 회로 패턴이 인쇄된 면(100a)에는 패턴의 보호를 위해 백그라인딩 테이프(140)를 부착한다.

[0041] 그라인딩 공정을 실시한 후, UV를 조사하여 웨이퍼(100)의 회로 패턴이 형성된 면(100a)에 부착된 백그라인딩용 테이프(140)를 상기 웨이퍼(100)로부터 제거한 후, 도 2b와 같이, 웨이퍼의 후방면(100b)에 다이싱 공정을 위한 다이싱 테이프(150)를 부착한다.

[0042] 이 후, 상기 웨이퍼(100)의 회로 패턴이 형성된 면(100a)에 불소계 고분자 코팅액을 도포하여, 도 2c와 같이 불소계 고분자 코팅막(160)을 형성한다.

[0043] 상기 불소계 고분자 코팅막은 불소계 고분자 코팅액에 의하여 형성될 수 있다. 상기 불소계 고분자 코팅액은 불

소계 고분자 화합물 및 용매을 포함한다. 즉, 상기 불소계 고분자 코팅액은 불소계 고분자 화합물을 용매에 분산 또는 용해시켜 제조될 수 있다.

[0044] 이때, 본 발명에 따른 불소계 고분자 코팅액은 웨이퍼(100)의 본딩 패드(110) 및 폴리머 등과 같은 웨이퍼의 다른 구성요소에 바람직하지 않은 화학적인 영향을 주지 않는 것이 바람직하다.

[0045] 상기 불소계 고분자 화합물로는, 예를 들어 탄화수소계 고분자에서 수소가 불소로 치환된 구조를 가진 것이 있다. 본 발명의 일례에 따르면 상기 불소계 고분자 화합물은 소수성기와 친수성기를 함께 가지는 것이 바람직하다. 소수성기와 친수성기를 함께 가지는 불소계 고분자 화합물로서 탄화수소로 된 주체 또는 불소를 함유하는 탄화수소 주체에 산소 또는 질소가 결합된 화합물이 가능하며, 산기를 가진 분지쇄가 결합된 화합물도 가능하다. 이러한 산기로는 아세트산(-COOH), 술폰산(sulfonic acid, -SO₃H) 등이 있다.

[0046] 이 때, 탄화수소 또는 불소를 함유하는 탄화수소는 소수성기로서 작용을 하며, 상기 산소, 질소 또는 산기는 친수성기로서 작용한다.

[0047] 본 발명의 일례에 따르면 상기 불소계 고분자 화합물은 분자량이 1,000 내지 1,000,000 정도인 것이 바람직하다. 상기 불소계 고분자 화합물로는 상온에서 고체상태인 화합물을 사용할 수 있다.

[0048] 상기 불소계 고분자 화합물의 종류가 특별히 제한되는 것은 아니지만, 본 발명의 일례에 따르면 상기 불소계 고분자 화합물로는 C_aH_bF_cO_dS_eN_f로 표현되는 화합물을 사용할 수 있다. 여기서, a는 10 내지 10,000이며, b는 10 내지 20,000이고, c는 10 내지 20,000이며, d는 10 내지 1,000이고, e는 0 내지 100이며, 그리고 f는 0 내지 1,000인 것이 가능하다. 본 발명의 다른 일례에 따르면 상기 불소계 고분자 화합물은 C_aH_bF_cO_dS_e이고, a는 100 내지 5000인 정수이고, b는 200 내지 10000인 정수이고, c는 200 내지 10000인 정수이며, d는 30 내지 1000인 정수이고, e는 0 내지 100인 정수이다.

[0049] 본 발명의 일례에 따르면, 상기 불소계 고분자 화합물로서 불소 원자의 함량이 화합물 총 중량에 대하여 30 중량% 이상인 것을 사용할 수 있으며, 바람직하게는 50 중량% 이상인 것을 사용할 수 있다.

[0050] 상기 불소계 고분자 코팅액에 있어서 용매로서는 상온에서 액체상태를 갖는 불소계 용매를 사용할 수 있다. 상기 용매의 분자량은 상온에서 액체상태가 유지될 수 있도록 조절되는 것이 좋은데, 예를 들어, 100 내지 800 정도의 분자량을 가진 불소계 용매가 가능하다. 이러한 불소계 용매로서, 불소치환 에테르, 불소치환 에스테르, 불소치환 케톤 등이 가능하다.

[0051] 이러한 용매는 예를 들어, C_kH_lF_mO_n으로 표시될 수 있다. 이때, 상기 k는 3 내지 15의 정수, l은 3 내지 20의 정수, m은 3 내지 20의 정수, n은 1 내지 3의 정수가 가능하다. 예를 들어, -O-, -C=O 또는 -COO를 중심으로 한쪽은 C_xF_{2x+1}이며 다른 한쪽은 C_yH_{2y+1}로 이루어진 불소치환 에테르, 불소치환 에스테르, 불소치환 케톤 등이 가능하다. 바람직하게는, 상기 x는 2 내지 3의 정수가 가능하며, 상기 y는 1 내지 5의 정수가 가능하다.

[0052] 본 발명의 일례에 따르면, 상기 불소계 용매로는 C_nF_{2n+1}-R-C_mH_{2m+1}로 표현되며, 여기서 상기 R은 O, C=O 또는 COO이며, n은 2 내지 8의 정수이고, m은 1 내지 5의 정수인 화합물을 사용할 수 있다. 특히, C_nF_{2n+1}-O-C_mH_{2m+1}으로 표현되며, 여기서 n은 2 내지 8의 정수이고, m은 1 내지 5의 정수인 에테르계 화합물을 사용할 수 있다.

[0053] 본 발명의 일례에 따르면, 상기 불소계 용매로서 불소 원자의 함량이 용매의 총 중량에 대하여 30 중량% 이상인 것을 사용할 수 있으며, 바람직하게는 50 중량% 이상인 것을 사용할 수 있다.

[0054] 상기 불소계 용매로서는 시판되는 제품을 사용할 수도 있다. 시판되는 제품으로서 예를 들어, 3M™ Novec™ Engineered Fluid HFE-7100을 사용할 수 있다.

[0055] 본 발명에 따른 불소계 고분자 코팅액은 용매에 불소계 고분자 화합물을 용해 또는 분산시켜 제조될 수 있는데, 불소계 고분자 화합물이 충분히 용해 또는 분산될 수만 있다면 상기 용매와 불소계 고분자 화합물의 비율에 특별한 제한이 있는 것은 아니다. 상기 용매와 상기 불소계 고분자 화합물의 비율은 불소계 고분자 코팅액의 용도에 따라 달라질 수 있다. 본 발명의 일례에 따르면 용매 100 중량부에 대하여 불소계 고분자 화합물을 약 0.1 내지 10 중량부만큼 사용하여 불소계 고분자 코팅액을 제조할 수 있다. 불소계 고분자 코팅액의 점도, 건조속도, 사용성 등을 고려할 때, 본 발명의 일례에 따르면, 불소계 용매 100 중량부에 대하여 불소계 고분자 화합물을 약 1 내지 2 중량부만큼 사용할 수 있다.

- [0056] 본 발명의 일례에 따르면, 상기 불소계 고분자 코팅액 중에서 불소 원자의 함량이 상기 불소계 고분자 코팅액의 총 중량에 대하여 30 중량% 이상이 되도록 할 수 있는데, 바람직하게는 50 중량% 이상이 되도록 할 수 있다.
- [0057] 상기 불소계 고분자 코팅액으로는 시판되는 제품을 사용할 수도 있다. 시판되는 제품으로서, 예를 들어, 3MTM NovecTM EGC-1700을 사용할 수 있다.
- [0058] 상기 불소계 고분자 코팅액에 의해 형성된 고분자 코팅막(160)에 의해 폴리머의 패시베이션 효과가 유발되므로, 다이 상면에 실리콘 더스트가 증착되는 것을 방지할 수 있다.
- [0059] 이때, 상기 불소계 고분자 코팅막(160)의 두께는 약 0.1μm 내지 10μm 정도가 바람직하다.
- [0060] 본 발명의 일례에 따르면, 다이싱 공정을 통하여 발생된 실리콘 더스트에 의하여 상기 본딩 패드(11)가 손상되지 않을 수 있는 정도로 충분한 두께를 가지도록 하기 위하여, 상기 두께를 약 1μm 정도로 할 수도 있다.
- [0061] 이와 같이, 웨이퍼(100)의 회로 패턴 형성 면(100a)에 불소계 고분자 코팅막(160)을 형성한 후, 도 2d와 같이 상기 웨이퍼를 개별 다이로 분리하기 위하여 스트립 라인을 따라 웨이퍼(100)를 절단하는 다이싱 공정을 실시한다.
- [0062] 웨이퍼(100)의 다이싱 공정에서는, 예를 들어, 다이아몬드 재질로 된 블레이드(300)를 이용하여 웨이퍼(100)를 절단할 수 있다.
- [0063] 상기 다이싱 공정에서 블레이드의 기계적인 충격에 의하여 발생된 실리콘 더스트(180)가, 도 2e에서 도시된 것과 같이, 본딩 패드(110) 상에 특히, 웨이퍼의 최외부층에 노출된 본딩 패드의 상면에 박히게 된다.
- [0064] 그러나, 본 발명에 의한 경우, 회로 패턴이 형성된 웨이퍼 상면의 전체에 불소계 고분자 코팅막(160)이 형성되어 있기 때문에, 상기 실리콘 더스트(180)가 상기 본딩 패드(110)에 직접적으로 박히지는 않는다.
- [0065] 이후, 도 2f와 같이 다이싱 테이프를 웨이퍼 하부면(100a)으로부터 제거한다. 상기 다이싱 테이프를 제거하는 방법으로서, 상기 다이싱 테이프에 UV를 조사하여 다이싱 테이프의 접착제를 경화시킨 후 상기 다이싱 테이프를 제거하는 방법이 있다.
- [0066] 이어 상기 절단된 웨이퍼(100) 상에 형성되었던 불소계 고분자 코팅막을 제거한다. 상기 불소계 고분자 코팅막을 제거하는 단계에서는 코팅막 제거를 위하여 디코팅액(decoating solution)을 사용한다. 예를 들면, 도 2g와 같은 증기세정(vapor degreasing) 공정 또는 딥핑(dipping) 공정에 의하여 웨이퍼 표면에 디코팅액(decoation fluid, 170)을 도포하여 불소계 고분자 코팅막을 제거한다.
- [0067] 상기 증기세정(vapor degreasing) 공정은, 웨이퍼에 증기상의 용제를 분사하여, 상기 증기상의 용제와 웨이퍼의 온도차에 의하여 열을 빼앗긴 증기상의 용제가 웨이퍼의 표면에 응축되도록 함으로써 용제가 도포되도록 한 후, 웨이퍼에 부착된 오염물들을 상기 응축된 용제와 함께 씻어내는 방법으로서 반도체 공정에 널리 이용되고 있다.
- [0068] 한편, 딥핑 공정은 디코팅액인 담진 베스(bath)에 약 1분간 웨이퍼를 딥핑(dipping)하여 웨이퍼 상면의 불소계 고분자 코팅막과 실리콘 더스트를 제거하는 방법이다.
- [0069] 증기 세정 또는 딥핑 방법에 의해 웨이퍼 상에 도포되는 디코팅액(170)에 의해서 불소계 고분자 코팅막(160)이 제거됨과 동시에 상기 불소계 고분자 코팅막에 박혀있던 실리콘 더스트(180)도 함께 웨이퍼로부터 제거된다. 그 결과, 본딩 패드(110)의 오염을 감소시킬 수 있다.
- [0070] 이때, 본 발명에 따른 디코팅액(170)은 웨이퍼(100)의 본딩 패드(110) 및 폴리머 등으로 이루어진 웨이퍼의 다른 구조물에 바람직하지 않은 화학적인 영향을 주지 않는 것이 바람직하다.
- [0071] 상기 불소계 고분자 코팅막을 제거하기 위하여 사용되는 디코팅액(decoating solution)으로서 불소계 고분자 코팅액의 제조에서 사용된 불소계 용매를 사용할 수 있다.
- [0072] 디코팅액으로 사용되는 불소계 용매는 불소계 고분자 코팅막을 형성하기 위하여 사용된 불소계 고분자 코팅액을 제조할 때 사용한 불소계 용매와 동일할 수도 있고 다를 수도 있다. 상기 디코팅액으로 사용되는 불소계 용매로는 상온에서 액체상태를 갖는 불소계 용매를 사용할 수 있다. 상기 불소계 용매의 분자량은 상온에서 액체상태가 유지될 수 있는 정도로서, 예를 들어, 100 내지 800 정도의 분자량이 가능하다. 디코팅액으로 사용될 수 있는 불소계 용매는, 불소치환 에테르, 불소치환 에스테르, 불소치환 케톤 등이 있으며, 그 종류가 이것으로 한정되는 것은 아니다.

- [0073] 이러한 디코팅액은, 예를 들어, $C_kH_mO_n$ 으로 표시될 수 있다. 이때, 상기 k는 3 내지 15의 정수, l은 3 내지 20의 정수, m은 3 내지 20의 정수, n은 1 내지 3의 정수가 가능하다. 예를 들어, -O-, -C=O 또는 -COO를 중심으로 한쪽은 C_xF_{2x+1} 이며 다른 한쪽은 C_yH_{2y+1} 로 이루어진 불소치환 에테르, 불소치환 에스테르, 불소치환 케톤 등이 가능하다. 바람직하게는, 상기 x는 2 내지 3의 정수가 가능하며, 상기 y는 1 내지 5의 정수가 가능하다. 본 발명의 일례에 따르면, 디코팅액으로 사용되는 불소계 용매로서 불소 원자의 함량이 용매의 총 중량에 대하여 30 중량% 이상인 것을 사용할 수 있으며, 바람직하게는 50 중량% 이상인 것을 사용할 수 있다.
- [0074] 이러한 디코팅액으로는 시판되는 제품을 사용할 수도 있다. 시판되는 제품으로서 예를 들어, 3MTM NovecTM Engineered Fluid HFE-7100을 사용할 수 있다.
- [0075] 도 2h에서 도시된 바와 같이, 다이싱 공정 전에 웨이퍼 상에 불소계 고분자 코팅막이 형성됨에 따라 다이싱 공정에서 상기 본딩 패드(110)가 실리콘 더스트(180)에 의해 오염되는 것을 감소시킬 수 있다.
- [0076] 이후, 개별적으로 분리된 다이(130)를 인쇄회로기판 또는 리드프레임 상에 실장하여 와이어 본딩을 실시하여 전기적으로 서로 연결한다.
- [0077] 반도체 소자의 본딩 패드(110)는 일반적으로 알루미늄(Al), 또는 Al/Cu 혹은 Al/Cu/Si와 같은 Al 합금에 의하여 형성되는 경우가 일반적이다. 상기 Al 또는 Al 합금으로 형성된 본딩 패드에, 와이어로서 Au 와이어를 접착하면 금속간 화합물($AuAl_2$)을 생성하는 것은 매우 용이하기 때문에 와이어 본딩 효율이 매우 높다.
- [0078] 본 발명에 따른 반도체 소자의 제조 공정에서는, 이산화탄소(CO_2) 가스가 혼합된 탈이온수(DI water)를 분사하여 웨이퍼 상의 실리콘 더스트를 제거하는 방법을 적용한 것이 아니라, 웨이퍼 표면에 화학적으로 영향을 주지 않을 수 있는 불소계 고분자 코팅막 재료를 이용하여 반도체 소자의 회로 패턴 면을 보호하기 때문에 본딩 패드의 부식을 방지할 수 있다. 그 결과, 본딩 패드에서의 본딩이 원활하여 본딩 효율이 높고 불량이 발생할 가능성은 적다.
- [0079] 한편, 본딩 부위를 밀봉시킬 수 있도록 에폭시 몰딩 재료를 이용하여 다이와 인쇄회로기판 또는 리드 프레임을 몰딩한 후, 개별 유닛으로 절단하여 반도체 소자를 완성한다.
- [0080] 이러한 본 발명에 따른 반도체 웨이퍼의 다이싱 방법을 적용할 경우, 다이싱 공정의 후속 공정에서 진행되는 와이어 본딩의 실패가 적으며 그에 따라 반도체 소자의 전기적 신뢰성을 확보할 수 있게 된다.
- [0081] 이하 실시예를 설명한다. 이러한 실시예는 본 발명을 구체적으로 예시하기 위한 것일 뿐 본 발명의 범위가 실시예에 의하여 한정되지 않는다는 것은 자명하다.
- [0082] <실시예 1>
- [0083] 본 발명에 따른 반도체 소자의 다이싱 공정은 하기와 같은 순서로 진행된다. 본 실시예에서는 약 8인치인 웨이퍼를 사용한다.
- [0084] 웨이퍼(100)의 후방면(100b)에 다이싱 테이프(150)를 부착한 후, 웨이퍼에 불소계 고분자 코팅막(160)을 형성하기 위해, 웨이퍼를 코팅액(본 실시예에서는 시판되는 3MTM NovecTM EGC-1700를 사용함)에 담근 후, 수직으로 일정 속도를 유지하면서 인출하여 웨이퍼(100)의 표면에 불소계 고분자 코팅막을 형성한다(S1).
- [0085] 참고로, 스판 코팅방법에 의하여 웨이퍼(100)의 표면에 불소계 고분자 코팅막을 형성할 수도 있다.
- [0086] 그리고, 블레이드(300)를 이용하여 다이(130)와 다이(130) 사이에 형성된 스트립 라인(190)을 따라 다이싱 공정을 실시한다(S2).
- [0087] 다이싱 공정이 완료된 후, 코팅된 웨이퍼가 디코팅액(본 실시예에서는 시판되는 3MTM NovecTM Engineered Fluid HFE-7100를 사용함)을 이용한 증기 세정 공정을 거치도록 하여 코팅막과 더스트를 동시에 제거하여 준다(S3). 참고로, 상기 디코팅 용매를 사용하는 함침의 방법으로 코팅막과 더스트를 동시에 제거할 수도 있다.
- [0088] 이후, UV를 조사하여 웨이퍼(100)의 후방면(100b)에 부착된 다이싱 테이프(150)의 접착력을 제거한 후, 개별적으로 분리된 다이(130)를 인쇄회로기판 또는 리드프레임 상에 실장하여 와이어 본딩을 실시하여 전기적으로 연

결하는 본딩 공정을 실시한다(S4).

[0089] 그리고, 본딩 부위를 밀봉시킬 수 있도록 예폭시 물딩 재료를 이용하여 다이와 인쇄회로기판 또는 리드 프레임을 물딩한 후, 개별 유닛으로 절단하여 반도체 소자를 완성한다(S5).

[0090] 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

[0091] 이상 설명한 바와 같이, 본 발명에 의한 경우 웨이퍼를 절단하는 다이싱 공정에서 웨이퍼가 오염되는 것을 방지할 수 있다. 즉, 본 발명은 다이싱 공정에서 실리콘 더스트에 의한 오염을 효과적으로 방지함으로써, 반도체 소자 제조 공정의 수율을 높일 수 있게 된다. 또한, 본 발명에 따르면, 불소계 고분자 코팅막을 이용함으로써 와이어 본딩 불량을 개선하고, 반도체 소자의 금속 배선의 부식을 방지할 수 있으며, 반도체 소자의 신뢰성 및 수율을 증진시킬 수 있다.

도면의 간단한 설명

[0001] 도 1a 내지 도 1e는 종래 반도체 소자의 제조 공정의 일례를 순차적으로 나타내는 개략 단면도이다.

[0002] 도 1f는 종래 방법에 의한 다이싱 공정 후 웨이퍼의 본딩 패드가 얼마나 오염되었는지를 보여주는 상면도이다.

[0003] 도 2a 내지 도 2g는 본 발명에 따른 반도체 소자의 제조 공정의 일례를 순차적으로 나타내는 개략 단면도이다.

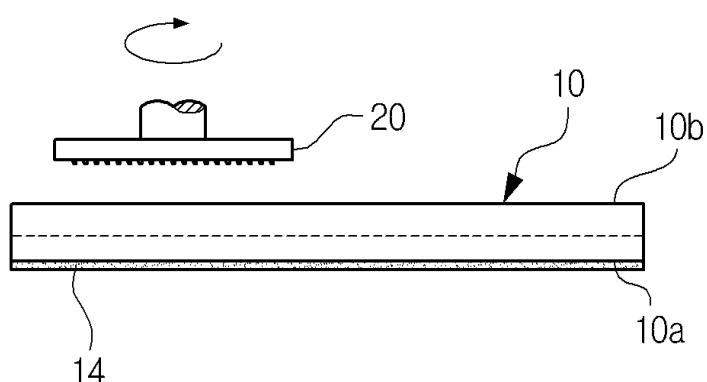
[0004] 도 2h는 본 발명에 따른 다이싱 공정 후 웨이퍼의 본딩 패드가 얼마나 오염되었는지를 보여주는 상면도이다.

[0005] <도면의 주요 부분에 대한 부호의 설명>

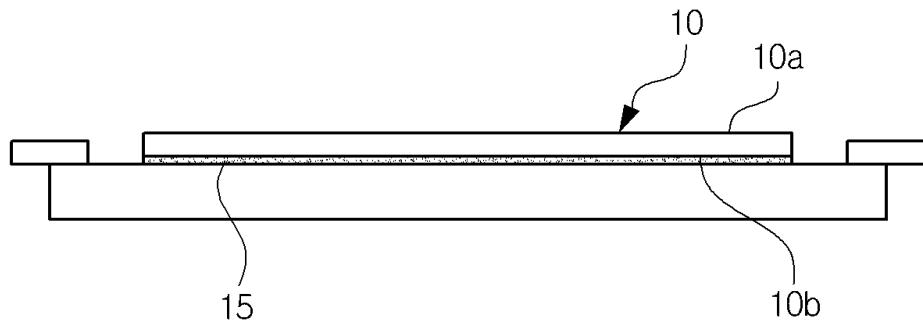
| | |
|--------------------|--------------------------|
| 10, 100: 웨이퍼 | 10a, 100a: 회로 패턴 형성면(상면) |
| 11, 110: 본딩 패드 | 30, 300: 블레이드 |
| 14, 140: 백그라인딩 테이프 | 15, 150: 다이싱 테이프 |
| 160: 불소계 고분자 코팅막 | 170: 디코팅액 |
| 10b: 웨이퍼 후방면 | 19, 190: 스트립 라인 |

도면

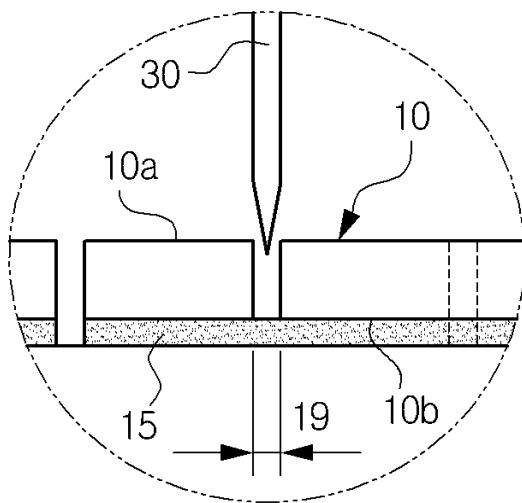
도면1a



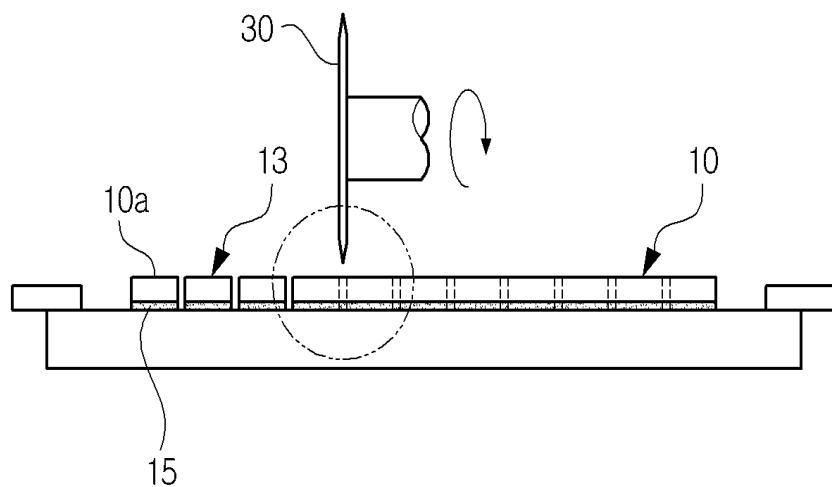
도면1b



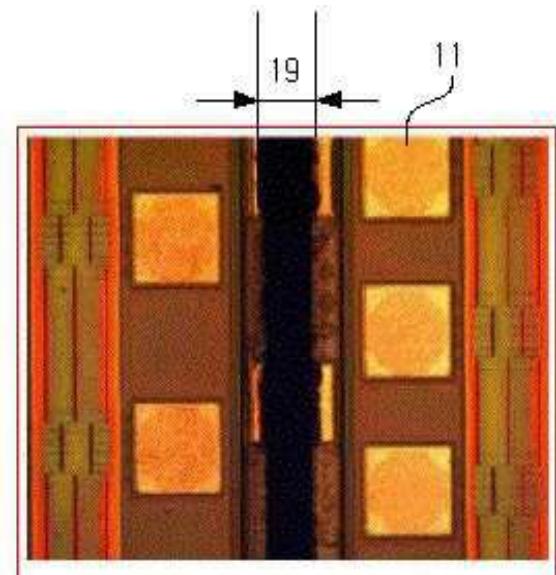
도면1c



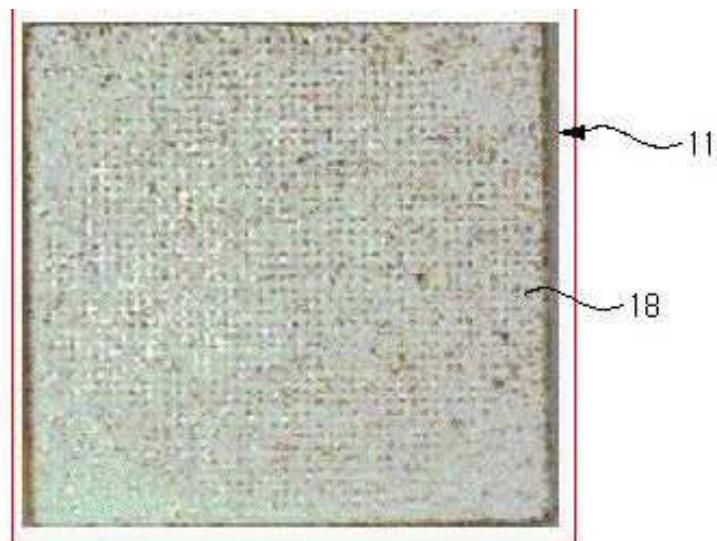
도면1d



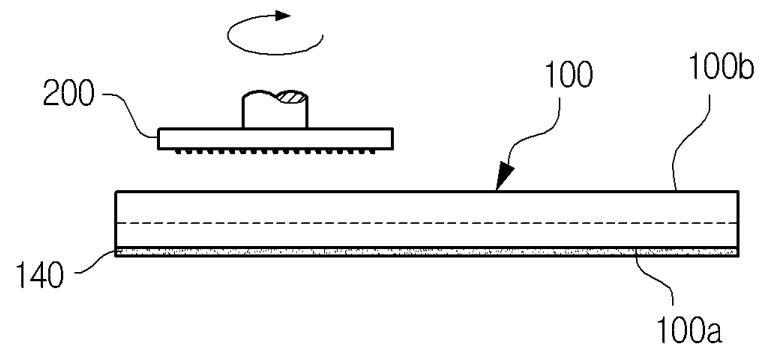
도면1e



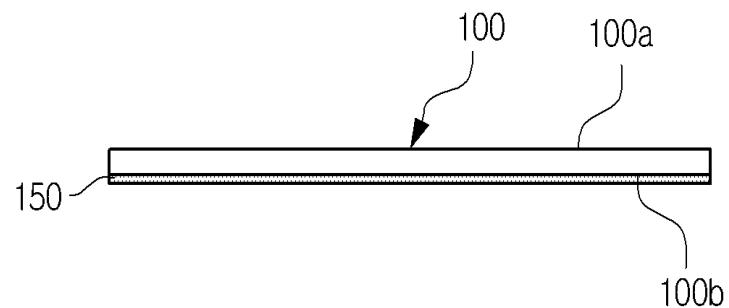
도면1f



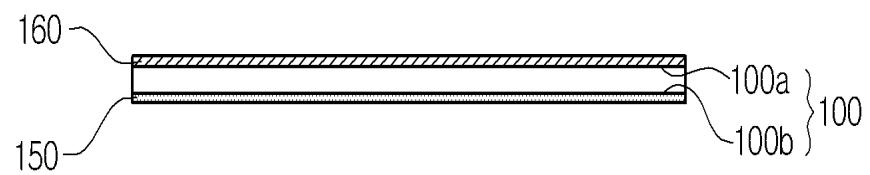
도면2a



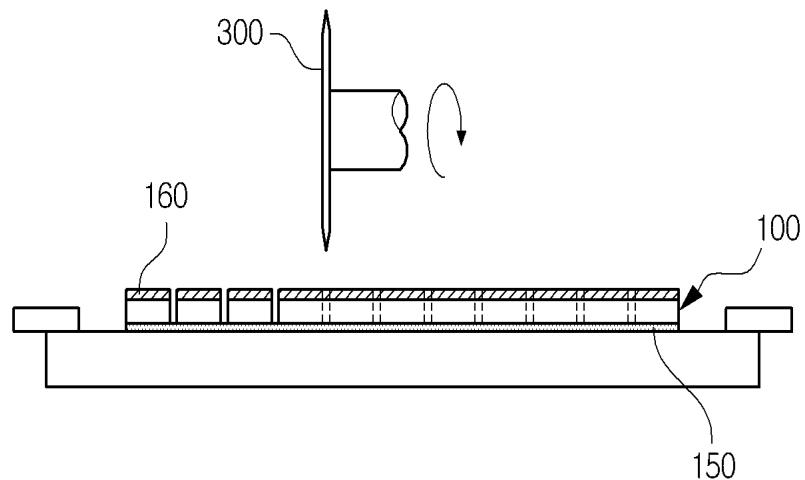
도면2b



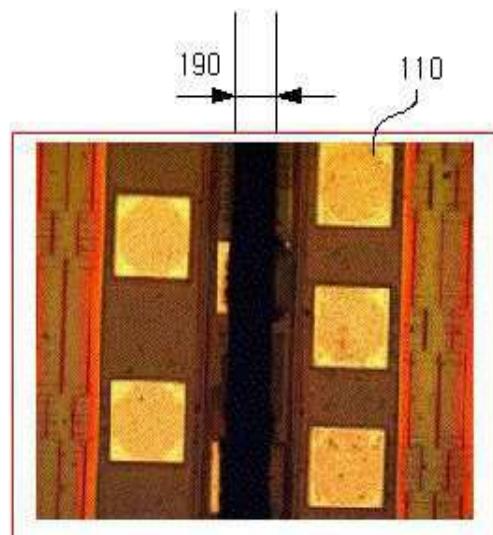
도면2c



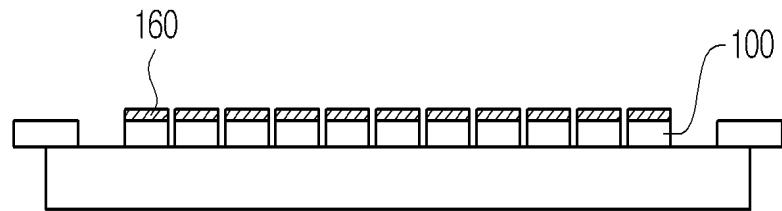
도면2d



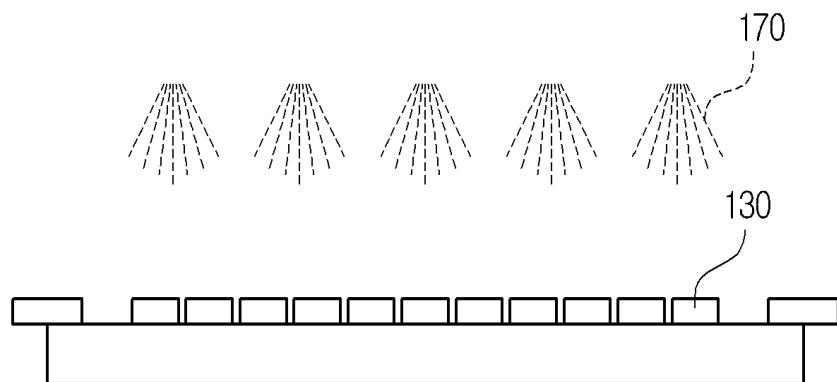
도면2e



도면2f



도면2g



도면2h

