



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 900317

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 03.01.80 (21) 2863210/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 23.01.82. Бюллетень № 3

Дата опубликования описания 25.01.82

(51) М. Кл.³

G 11 C 19/00

(53) УДК 681.
.327.6(088.8)

(72) Автор
изобретения

В.И. Шилинговский

(71) Заявитель



(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

1

Изобретение относится к области вычислительной техники, в частности к запоминающим устройствам с последовательной выборкой информации.

Известно запоминающее устройство с выборкой информации в последовательном коде, содержащее регистр сдвига, входы которого соединены с соответствующими логическими шинами, адресные шины, элементы И и элемент ИЛИ, причем первые входы элементов И соединены с соответствующими выходами регистра сдвига, вторые - с соответствующими адресными шинами, а выходы - со входами элемента ИЛИ [1].

Недостатком этого устройства является большое количество запоминающих элементов, необходимых для хранения информации.

Наиболее близким к предлагаемому техническим решением является запоминающее устройство, содержащее регистр сдвига, шины управления, элементы И по количеству разрядов ре-

2

гистра сдвига и элемент ИЛИ, причем выходы разрядов регистра сдвига соединены с информационными входами элементов И, управляющие входы которых подключены к соответствующим адресным шинам, а выходы соединены со входами элемента ИЛИ, информационные входы регистра сдвига подключены к соответствующим шинам логического нуля и единицы, вход разрешения записи регистра сдвига соединен с шиной "Обращение", а выход последнего разряда регистра сдвига, подключен ко входу его первого разряда [2].

Недостатком известного устройства является его сложность при хранении больших массивов информации, так как количество разрядов регистра сдвига равняется количеству хранимых чисел.

Цель изобретения - повышение информационной емкости устройства.

Поставленная цель достигается тем, что запоминающее устройство, содержащее накопитель, выполненный на

кольцевом сдвиговом регистре, содержащем P запоминающих элементов ($P-1$) запоминающих элементов которого соединены последовательно, а первые входы P запоминающих элементов соединены с шиной "Обращение", вторые входы - с тактовой шиной, третьи входы - с шиной установки в исходное состояние, четвертые входы - соответствующими шинами логического нуля и единицы, первые выходы P запоминающих элементов соединены с первыми входами одних из элементов I группы, а вторые выходы - с первыми входами других элементов I группы, выходы которых подключены к соответствующим входам первого элемента ИЛИ, адресные шины, содержит группу элементов ИЛИ, второй, третий и четвертый элементы ИЛИ, первый, второй и третий элементы I и инвертор, при этом соответствующие входы элементов ИЛИ, группы второго и третьего элементов ИЛИ соединены с соответствующими адресными шинами, а выходы вторых элементов ИЛИ группы - со вторыми входами соответствующих элементов I группы, выход второго элемента ИЛИ соединен со входом инвертора и первым входом второго элемента I , второй вход которого подключен к выходу первого запоминающего элемента, а выход - к первому входу четвертого элемента ИЛИ, второй вход которого соединен с выходом третьего элемента I , первый вход которого соединен с выходом инвертора, а второй - с выходом P -го запоминающего элемента, пятый вход которого соединен с выходом первого элемента I , первый вход которого подключен к выходу третьего элемента ИЛИ, а второй - к пятому входу первого запоминающего элемента, а пятый вход ($n-1$)-го запоминающего элемента соединен с выходом четвертого элемента ИЛИ.

На фиг. 1 представлена блок-схема запоминающего устройства на 20 пятиразрядных чисел; на фиг. 2 - ориентированный эйлеров граф для пятиразрядных двоичных чисел; на фиг. 3 - временная диаграмма работы устройства, на которой введены следующие обозначения: а - сигнал "Обращение" на шине управления; б - сигнал на выбранной адресной шине; в - тактовые импульсы; г - сигнал на шине установки в исходное состояние; д - сигналы на выходе устройства.

Устройство содержит кольцевой сдвиговой регистр 1, запоминающие элементы 2, группы элементов в I 3, первый элемент ИЛИ 4, группу элементов в ИЛИ 5, второй элемент ИЛИ 6, первый элемент I 7, инвертор 8, второй элемент I 9, третий элемент I 10, третий и четвертые элементы ИЛИ соответственно 11 и 12, тактовую шину 13, шину установки в исходное состояние 14, шину логической единицы 15, шину логического нуля 16, шину 17 "Обращение", адресные шины 18.

Запоминающее устройство работает следующим образом.

В исходном состоянии кольцевой сдвиговой регистр 1 находится в нулевом состоянии. При поступлении импульса "Обращение" с шины 17 "обращение" на первые входы запоминающих элементов 2 в кольцевом сдвиговом регистре 1 записывается начальный код числа, который с выходов запоминающих элементов 2 поступает на первые входы первых элементов I 3 группы. Одновременно с импульсом "Обращение" возбуждается одна из выбранных адресных шин 18, с которой разрешающий сигнал через один из элементов ИЛИ 5 группы подается на второй вход соответствующего первого элемента I 3 группы, а так как на первых входах всех элементов I 3 установлен начальный код числа, то с выхода соответствующего элемента I 3 через первый элемент ИЛИ 4 на выход устройства поступает первый разряд выбранного числа. С выбранной адресной шины 18 разрешающий сигнал одновременно поступает на соответствующий вход второго элемента ИЛИ 6 или третьего элемента ИЛИ 11 и в соответствии с этим на первый вход первого элемента I 7 или на вход инвертора 8 и первый вход второго элемента I 9. Тем самым замыкается определенная цепь переноса, начиная с запоминающего элемента n -го или с ($n-1$)-го.

После формирования на выходе устройства первого разряда выбранного числа подается первый тактовый сигнал на тактовую шину 13, и информация сдвигается на один разряд по кольцу только в той части кольцевого сдвигового регистра 1, которая охвачена цепью переноса из старшего разряда в младший, тем самым подключая к выходу устройства следующий разряд

начального кода, который является вторым разрядом выбранного числа. После формирования на выходе устройства второго разряда на тактовую шину 13 подается второй тактовый сигнал, и информация снова сдвигается в этой же части кольцевого сдвигового регистра 1 на один разряд по кольцу, подключая к выходу устройства следующий разряд начального кода, который является третьим разрядом выбранного числа.

После проведения П-1 сдвигов путем подачи П-1 тактовых импульсов, где П - разрядность хранимых в устройстве чисел, на выходе устройства сформируется П разрядов выбранного числа. Затем на шине установки в исходное состояние 14 формируется сигнал, по окончании которого снимается возбуждение с адресной шины 18 и шины 17 "Обращение", а кольцевой сдвиговый регистр 1 устанавливается в нулевое состояние.

В качестве начального кода числа в кольцевом сдвиговом регистре числа 1 записан код 110010, который является кодом ориентированной цепи, образованной ориентированным эйлеровым графом для пятиразрядных чисел. Этому коду соответствует цепь из двух ребер с числами 11001 и 10010 (фиг. 2). Каждое из этих чисел в свою очередь является кодом ориентированного цикла, состоящего из пяти ребер. Цикл - это замкнутая последовательность неповторяющихся ребер при их последовательном обходе в направлении стрелок (фиг. 2). Легко заметить, что на фиг. 2 существует некоторое множество ориентированных цепей из трех ребер, каждое ребро которой принадлежит одной из пар циклов с взаимнообратными кодами, например цепь из 11001, 10010, 00100.

Таким образом, в кольцевом сдвиговом регистре 1 коду ориентированной цепи 110010 соответствуют следующие пятиразрядные числа, которые получают в столбцах из кодов ориентированных циклов

11001	10010
10011	00101
00111	01010
01110	10100
11100	01001

путем П-1 сдвигов (П-разрядность чисел графа) в направлении от младших

разрядов к старшим. На вторых выходах кольцевого сдвигового регистра 1 формируются следующие числа:

00110 01100 11000 10001 00011
01101 11010 10101 01011 10110

Согласно подключению четвертых входов кольцевого сдвигового регистра 1 к шинам логической единицы и нуля соответственно 15, 16 в запоминающие элементы 2.1, 2.2 и 2.5 записывается "1", а в 2.3, 2.4 и 2.6 записывается "0", поэтому в запоминающих элементах 2.1-2.5 записывается код ориентированного цикла 11001, а в 2.2-2.6 - код ориентированного цикла 10010. Следовательно, с выходов запоминающих элементов 2.1 и 2.6 считываются числа, образованные только одним кодом ориентированного цикла, а с выходов запоминающих элементов 2.2-2.5 - образованные обоими кодами ориентированных циклов. При подключении к выбранной адресной шине 18 соответствующего входа второго элемента ИЛИ 6 осуществляется считывание из ячеек 2.1-2.5, причем с первых выходов числа 11001, 10011, 00111, 01110 и 11100, а со вторых выходов 00110, 01100, 11000, 10001 и 00011.

При подключении к выбранной адресной шине 18 соответствующего входа третьего элемента ИЛИ 11 осуществляется считывание из запоминающих элементов 2.2-2.6, причем с первых выходов считываются числа 10010, 00101, 01010, 10100 и 01001, а со вторых - 01101, 11010, 10101, 01011 и 10110.

Если нужно выбрать число 00110 по адресу, то возбуждается соответствующая адресная шина 18, к которой подключается по одному входу одного из элементов в ИЛИ 5.2 группы и второго элемента ИЛИ 6 (см. фиг. 1). Для выборки числа 01010 по соответствующей адресной шине 18 нужно к этой шине 18 подключить по одному входу одного из элементов в ИЛИ 5.7 группы и третьего элемента ИЛИ 11.

Таким образом, предлагаемое устройство позволяет записать код ориентированной цепи в виде нескольких кодов ориентированных циклов, используя минимальное количество оборудования и тем самым повышая информационную емкость устройства.

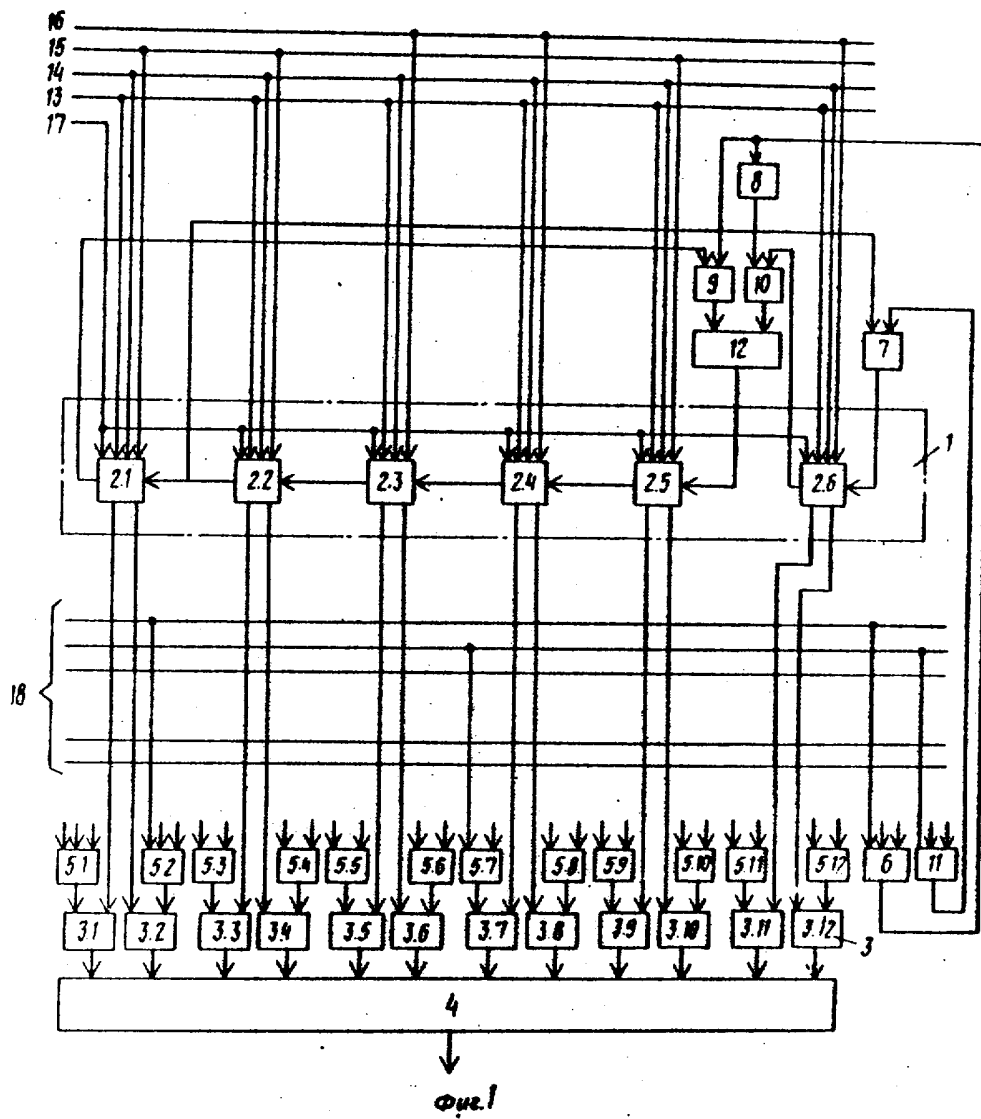
Формула изобретения

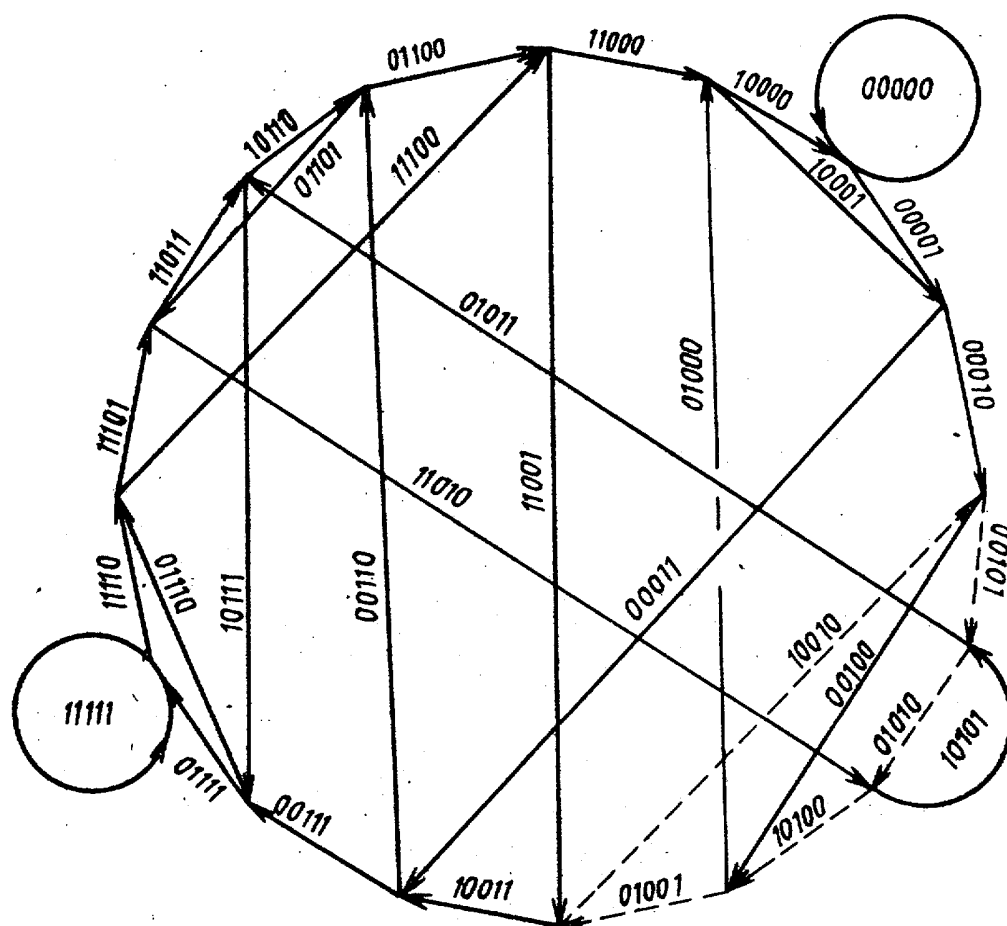
Запоминающее устройство, содержащее накопитель, выполненный на кольцевом сдвиговом регистре, содержащем P запоминающих элементов, $(P-1)$ запоминающих элементов которого соединены последовательно, а первые входы P запоминающих элементов соединены с шиной "Обращение", вторые входы - с тактовой шиной, третьи входы - с шиной установки в исходное состояние, четвертые входы - с соответствующими шинами логического нуля и единицы, первые выходы P запоминающих элементов соединены с первыми входами одних из элементов I группы, а вторые выходы - с первыми входами других элементов I группы, выходы которых подключены к соответствующим входам первого элемента ИЛИ, адресные шины, отличающиеся тем, что, с целью повышения информационной емкости устройства, оно содержит группу элементов ИЛИ второй, третий и четвертый элементы ИЛИ, первый, второй и третий элементы I и инвертор, при этом соответствующие входы вторых элементов ИЛИ группы, второго и третьего элементов ИЛИ

соединены с соответствующими адресными шинами, а выходы вторых элементов ИЛИ группы - со вторыми входами соответствующих элементов I группы, вход второго элемента ИЛИ соединен со входом инвертора и первым входом второго элемента I , второй вход которого подключен к выходу первого запоминающего элемента, а выход - к первому входу четвертого элемента ИЛИ, второй вход которого соединен с выходом третьего элемента I , первый вход которого соединен с выходом инвертора, а второй - с выходом P -го запоминающего элемента, пятый вход которого соединен с выходом первого элемента I , первый вход которого подключен к выходу третьего элемента ИЛИ, а второй - к пятому входу первого запоминающего элемента, а пятый вход $(n-1)$ -го запоминающего элемента соединен с выходом четвертого элемента ИЛИ.

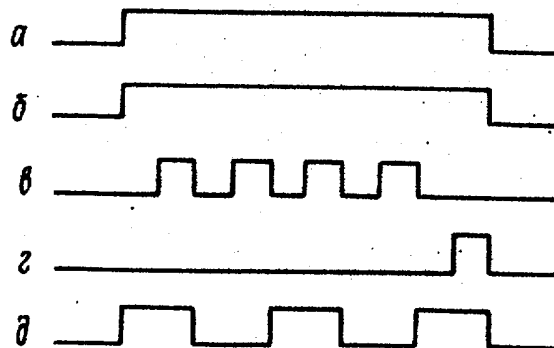
Источники информации,

- 25 принятые во внимание при экспертизе
1. Авторское свидетельство СССР № 491157, кл. G 11 C 17/00, 1975.
2. Авторское свидетельство СССР № 565326, кл. G 11 C 17/00, 1977
- 30 (прототип).





Фиг. 2



Фиг. 3

Составитель В. Вакар
 Редактор В. Иванова Техред М. Рейвес Корректор М. Пожо

Заказ 12189/68

Тираж 623

Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4