

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-165222

(P2004-165222A)

(43) 公開日 平成16年6月10日(2004.6.10)

(51) Int. Cl.⁷

H01L 21/3205

H01L 21/768

F I

H01L 21/88

H01L 21/90

H01L 21/88

テーマコード(参考)

5F033

K

A

M

審査請求 未請求 請求項の数 11 O L (全 29 頁)

(21) 出願番号

特願2002-326048 (P2002-326048)

(22) 出願日

平成14年11月8日(2002.11.8)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(74) 代理人 100081813

弁理士 早瀬 憲一

(72) 発明者 山本 明広

大阪府門真市大字門真1006番地 松下

電器産業株式会社内

Fターム(参考) 5F033 HH11 JJ01 JJ11 KK11 LL08

MM02 PP15 PP27 PP28 PP33

QQ00 QQ09 QQ10 QQ11 QQ37

QQ48 QQ73 QQ89 QQ90 QQ91

RR01 RR06 SS11 WW03 XX00

XX01 XX09 XX16 XX18

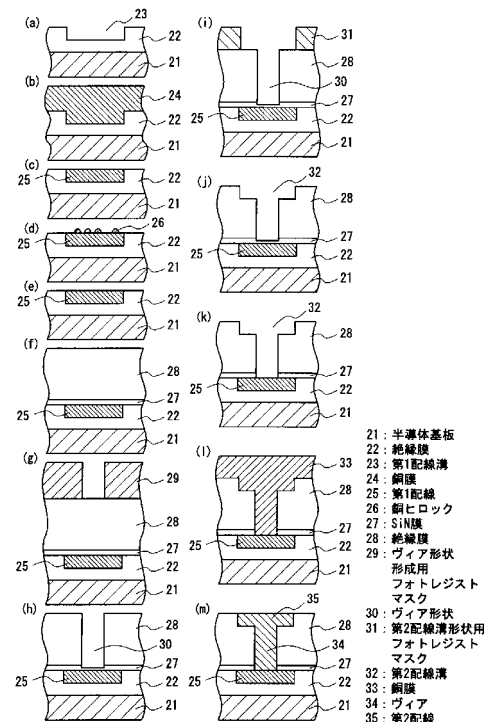
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】デュアルダマシンプロセスにおいて銅ヒロックを有する配線上にSiN膜を形成すると不均一な膜厚となり、工程中のSiN膜破れに起因する物理的・化学的ダメージを配線に与えてしまうのを防止できる半導体装置の製造方法を得る。

【解決手段】下地配線である第1配線25の形成後にアニールを行い、銅ヒロック26を意図的に発生させ、CMP法により研磨除去する。その後、SiN膜27を形成することにより、銅ヒロックの発生を防ぎ、SiN膜27の均一な膜厚を確保し、工程中のSiN膜27破れを防ぎ、第1配線25に対する物理的・化学的ダメージを最低限に抑制する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板上に第 1 の配線を形成する工程と、
該第 1 の配線にヒロックを発生させる処理を行うヒロック発生工程と、
該ヒロック発生工程により発生したヒロックを研磨により除去し、前記第 1 の配線の表面を平坦化する処理と、
前記第 1 の配線上を含む前記半導体基板上に絶縁膜を形成し、該絶縁膜に前記第 1 の配線が露出するようにビア形状を形成し、該ビア形状の内部に配線材料膜を埋め込む、
ことを特徴とする半導体装置の製造方法。

【請求項 2】

半導体基板上に形成した第 1 の絶縁膜に、該絶縁膜と表面が同一になるように埋め込まれた第 1 の配線を形成する工程と、
該第 1 の配線にヒロックを発生させる処理を行うヒロック発生工程と、
該ヒロック発生工程により発生したヒロックを研磨により除去し、前記第 1 の配線の表面を平坦化する工程と、
前記第 1 の配線上を含む前記半導体基板上に第 2 の絶縁膜を形成し、該第 2 の絶縁膜に前記第 1 の配線が露出するようにビア形状を形成し、該ビア形状の内部に配線材料膜を埋め込み、研磨により不要な配線材料膜を除去してビアおよび第 2 の配線を形成する工程とを含む、
ことを特徴とする半導体装置の製造方法。

【請求項 3】

半導体基板上の第 1 の絶縁膜の表面に、配線が埋め込まれるべき第 1 の配線溝を形成し、該第 1 の配線溝の内部を含む前記第 1 の絶縁膜上に第 1 の銅膜を形成し、該第 1 の銅膜を研磨、平坦化して第 1 の配線を形成する工程と、
該第 1 の配線が形成された半導体基板に対しアニールを行うアニール工程と、
該アニールにより前記第 1 の配線上に発生したヒロックを研磨し、平坦化する工程と、
該平坦化された前記第 1 の配線上に SiN 膜を形成する工程と、
該 SiN 膜上に第 2 の絶縁膜を形成する工程と、
該第 2 の絶縁膜に対しビア形状形成用フォトレジストマスクを用いて前記第 1 の配線に相当する位置にビア形状を形成する工程と、
前記第 2 の絶縁膜に対し配線溝形成用フォトレジストマスクを用いて前記ビア形状の上部を含む第 2 の配線溝を形成する工程と、
前記ビア形状底部の SiN 膜を除去する工程と、
前記ビア形状の内部および前記第 2 の配線溝の内部を含む前記第 2 の絶縁膜上に第 2 の銅膜を形成する工程と、
該第 2 の銅膜を研磨、平坦化しビアと第 2 の配線とを形成する工程とを含む、
ことを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 3 記載の半導体装置の製造方法において、
前記アニール工程は、酸素を抑制した雰囲気中で前記第 1 の配線から銅ヒロックが発生する温度と時間の条件の下でアニール処理を行う、
ことを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 3 記載の半導体装置の製造方法において、
前記 SiN 膜を形成する工程は、前記ビア形成時及び前記第 2 の配線溝形成時のビア底部において、SiN 膜が残存するような膜厚の形成を行う、
ことを特徴とする半導体装置の製造方法。

【請求項 6】

半導体基板上の第 1 の絶縁膜の表面に、配線が埋め込まれるべき第 1 の配線溝を形成し、該第 1 の配線溝を含む前記第 1 の絶縁膜上に第 1 の銅膜を形成し、該第 1 の銅膜を研磨、

10

20

30

40

50

平坦化して第 1 の配線を形成する工程と、
 該第 1 の配線が形成された半導体基板に対し酸素プラズマ処理を行う工程と、
 該酸素プラズマ処理により前記第 1 の配線に発生したヒロックを研磨し、平坦化する工程と、
 該平坦化された前記第 1 の配線上に S i N 膜を形成する工程と、
 該 S i N 膜上に第 2 の絶縁膜を形成する工程と、
 該第 2 の絶縁膜に対しビア形状形成用フォトリソマスクを用いて前記第 1 の配線に相当する位置にビア形状を形成する工程と、
 前記第 2 の絶縁膜に対し配線溝形成用フォトリソマスクを用いて前記ビア形状の上部を含む第 2 の配線溝を形成する工程と、
 前記ビア形状底部の S i N 膜を除去する工程と、
 前記ビア形状の内部および前記第 2 の配線溝の内部を含む前記第 2 の絶縁膜上に第 2 の銅膜を形成する工程と、
 該第 2 の銅膜を研磨、平坦化しビアと第 2 の配線とを形成する工程とを含む、
 ことを特徴とする半導体装置の製造方法。

10

【請求項 7】

請求項 6 記載の半導体装置の製造方法において、
 前記酸素プラズマ処理工程は、基板温度が 120 °C 以下となる条件の下で行う、
 ことを特徴とする半導体装置の製造方法。

【請求項 8】

半導体基板上の第 1 の絶縁膜の表面に、配線が埋め込まれるべき第 1 の配線溝を形成し、
 該第 1 の配線溝を含む前記第 1 の絶縁膜上に第 1 の銅膜を形成し、該第 1 の銅膜を研磨、
 平坦化して第 1 の配線を形成する工程と、
 該第 1 の配線が形成された半導体基板に対しアンモニアプラズマ処理を行う工程と、
 該アンモニアプラズマ処理により前記第 1 の配線に発生したヒロックを研磨し、平坦化する工程と、
 該平坦化された前記第 1 の配線上に S i N 膜を形成する工程と、
 該 S i N 膜上に第 2 の絶縁膜を形成する工程と、
 該第 2 の絶縁膜に対しビア形状形成用フォトリソマスクを用いて前記第 1 の配線に相当する位置にビア形状を形成する工程と、
 前記第 2 の絶縁膜に対し配線溝形成用フォトリソマスクを用いて前記ビア形状の上部を含む第 2 の配線溝を形成する工程と、
 前記ビア形状底部の S i N 膜を除去する工程と、
 前記ビア形状および前記第 2 の配線溝の内部を含む前記第 2 の絶縁膜上に第 2 の銅膜を形成する工程と、
 該第 2 の銅膜を研磨、平坦化しビアと第 2 配線とを形成する工程とを含む、
 ことを特徴とする半導体装置の製造方法。

20

30

【請求項 9】

請求項 8 記載の半導体装置の製造方法において、
 前記アンモニアプラズマ処理工程は基板温度が 120 °C 以下の条件の下で行う、
 ことを特徴とする半導体装置の製造方法。

40

【請求項 10】

半導体基板上の第 1 の絶縁膜の表面に、配線が埋め込まれるべき第 1 の配線溝を形成し、
 該第 1 の配線溝の内部を含む前記第 1 の絶縁膜上に第 1 の銅膜を形成し、該第 1 の銅膜を研磨、平坦化して第 1 の配線を形成する工程と、
 該第 1 の配線上に S i C 膜を形成する工程と、
 該 S i C 膜上に第 2 の絶縁膜を形成する工程と、
 該第 2 の絶縁膜に対しビア形状形成用フォトリソマスクを用いて前記第 1 の配線に相当する位置にビア形状を形成する工程と、
 前記第 2 の絶縁膜に対し配線溝形成用フォトリソマスクを用いて前記ビア形状の上

50

部を含む第 2 の配線溝を形成する工程と、
 前記ビア形状底部の SiC 膜を除去する工程と、
 前記ビア形状および前記第 2 の配線溝の内部を含む前記第 2 の絶縁膜上に銅膜を形成する工程と、
 該銅膜を研磨、平坦化しビアと第 2 配線とを形成する工程とを含む、
 ことを特徴とする半導体装置の製造方法。

【請求項 11】

請求項 10 記載の半導体装置の製造方法において、
 前記 SiC 膜を形成する工程は、前記ビア形成時及び前記第 2 の配線溝形成時のビア底部において、SiC 膜が残存するような膜厚の形成を行う、
 ことを特徴とする半導体装置の製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関するものであり、特に配線材料として銅を用いたデュアルダマシンプロセスの改良を図ったものに関する。

【0002】

【従来技術】

近年、配線抵抗を低くするために、配線材料として銅を用いた半導体装置が求められている。特に銅配線を有する半導体装置の製造方法としてデュアルダマシンプロセスが用いら

20

【0003】

デュアルダマシンプロセスは、絶縁膜に配線溝および下層配線との接続を行うための接続孔を形成した後、その絶縁膜上、配線溝および接続孔内に配線形成用の主導電層を堆積し、さらに、その主導電層を、例えば、CMP (Chemical Mechanical Polishing: 化学的機械的研磨) 法等によって配線溝および接続孔内のみに残されるように研磨することにより、配線溝および接続孔内に埋め込み配線を形成するものである。

【0004】

以下、この従来例による半導体装置の製造方法について、図面を参照しながら説明する。図 8 は従来例における半導体装置の製造方法の工程断面図を示す。この従来例の半導体装置の製造方法は、図 8 (a) ないし (k) の各工程からなる。

30

【0005】

図 9 は従来例における半導体装置の製造方法の工程を示すフローチャートであり、図 8 の工程断面図の (a) ないし (k) の工程に対応する処理工程 901 ないし 912 を示している。

【0006】

図 8 において、1 は半導体基板、2 は半導体基板 1 上に形成された絶縁膜、3 は絶縁膜 2 の表面に形成された第 1 配線溝、4 は第 1 配線溝 3 内を含む絶縁膜 2 の表面を覆うように形成された銅膜、5 は第 1 配線溝 3 内に形成された第 1 配線、6 は第 1 配線 5 上を含む絶縁膜上 2 に形成された SiN 膜、7 は SiN 膜 6 上に形成された絶縁膜、8 は銅膜 5 から発生した銅ヒロックであり、SiN 膜 6 中に侵入している。9 は絶縁膜 7 上に形成されたビア形状形成用フォトリジストマスク、10 は SiN 膜 6 及び絶縁膜 7 に形成されたビア形状、11 は絶縁膜 7 上に形成された第 2 配線溝形成用フォトリジストマスク、12 は第 1 配線 5 の表面に発生したボイド、13 は絶縁膜 7 の表面に形成された第 2 配線溝、14 は第 1 配線 5 に発生した侵食部、15 はビア形状 10 底面の第 1 配線 5 の露出部を覆うとともにビア形状 10 内を充填するように絶縁膜 7 上に形成された銅膜、16 は絶縁膜 7 内に形成されたビア、17 は絶縁膜 7 の第 2 配線溝 13 内に形成された第 2 配線である。

40

【0007】

50

以下、図 8 の各工程断面図について説明する。

図 8 (a) は半導体基板 1 上に絶縁膜 2 を形成し、絶縁膜 2 の表面に第 1 配線溝 3 を形成した直後の工程断面図である。この段階は図 9 の処理工程 9 0 1 に対応する。

【 0 0 0 8 】

図 8 (b) はスパッタリング法及びメッキ法により第 1 配線溝 3 内を含む絶縁膜 2 の表面全面に銅膜 4 を形成した直後の工程断面図である。この段階は図 9 の処理工程 9 0 2 に対応する。

【 0 0 0 9 】

図 8 (c) は C M P 法により銅膜 4 及び絶縁膜 2 を研磨、平坦化し、洗浄し、絶縁膜 2 と表面が同一となるように第 1 配線 5 を形成した直後の工程断面図である。この段階は図 9 の処理工程 9 0 3 に対応する。 10

【 0 0 1 0 】

図 8 (d) は第 1 配線 5 上を含む絶縁膜 2 上に、C V D 法により S i N 膜 6 及び絶縁膜 7 をこの順で形成した直後の工程断面図であり、第 1 配線 5 から S i N 膜 6 中へ銅ヒロック 8 が侵入している。この段階は図 9 の処理工程 9 0 4 および 9 0 5 に対応する。

【 0 0 1 1 】

図 8 (e) はリソグラフィ法により絶縁膜 7 上にビア形状形成用フォトレジストマスク 9 を形成した直後の工程断面図である。この段階は図 9 の処理工程 9 0 6 に対応する。

【 0 0 1 2 】

図 8 (f) はフォトレジストマスク 9 を用いたドライエッチング法により S i N 膜 6 及び絶縁膜 7 にビア形状 1 0 を形成し、アッシング及び洗浄によりビア形状形成用フォトレジストマスク 9 を除去した直後の工程断面図である。この段階は図 9 の処理工程 9 0 7 に対応する。 20

【 0 0 1 3 】

図 8 (g) はリソグラフィ法により、絶縁膜 7 上に開口を有する第 2 配線溝形成用フォトレジストマスク 1 1 を形成した直後の工程断面図である。フォトレジストマスク 1 1 はビア形状 1 0 を含む領域に開口を有しており、第 1 配線 5 中にはボイド 1 2 が発生している。この段階は図 9 の処理工程 9 0 8 に対応する。

【 0 0 1 4 】

図 8 (h) はフォトレジストマスク 1 1 を用いたドライエッチング法によりビア形状 1 0 の上部を含む絶縁膜 7 の表面の一部に第 2 配線溝 1 3 を形成し、アッシング及び洗浄により第 2 配線溝形成用フォトレジストマスク 1 1 を除去した直後の工程断面図である。この段階は図 9 の処理工程 9 0 9 に対応する。 30

【 0 0 1 5 】

図 8 (i) はドライエッチング法により S i N 膜 6 をエッチングし、洗浄した直後の工程断面図である。第 1 銅配線 5 中には侵食部 1 4 が形成されている。この段階は図 9 の処理工程 9 1 0 に対応する。

【 0 0 1 6 】

図 8 (j) はスパッタリング法及びメッキ法によりビア形状 1 0 内および第 1 銅配線 5 の露出した表面および第 2 配線溝 1 3 内を含む絶縁膜 7 上全面に銅膜 1 5 を形成した直後の工程断面図である。この段階は図 9 の処理工程 9 1 1 に対応する。 40

【 0 0 1 7 】

図 8 (k) は C M P 法により銅膜 1 5 及び絶縁膜 7 を研磨、平坦化し、洗浄し、ビア形状 1 0 内を銅膜により充填したビア 1 6 と、絶縁膜 7 と表面が同一の第 2 配線 1 7 とを形成した直後の工程断面図である。この段階は図 9 の処理工程 9 1 2 に対応する。

【 0 0 1 8 】

従来の半導体装置の製造方法は以上のような工程を有しており、配線材料として銅を用いた配線を形成することができ、配線の低抵抗化を実現した半導体装置を製造することができる。

【 0 0 1 9 】

この従来方法においては、絶縁膜に形成された溝などの内部に導電膜を埋め込んだ後、絶縁膜上の不要な導電膜を除去するダマシン法を用いて第1銅配線を形成し、その後、ダマシン法と同様の工程によりビアおよび配線を同時に形成するデュアルダマシン法によりビア及び第2銅配線を形成している。

【0020】

このようにダマシン法を用いて第1銅配線を形成する点を示すものとして、例えば特許文献1がある。また、ダマシン法を用いて第1銅配線を形成した後、デュアルダマシン法によりビア及び第2銅配線を形成する点を示すものとして、例えば特許文献2がある。

【0021】

【特許文献1】

特開2001-53076号公報(第4頁、第8-9頁、第7図、第8図、第10図)

【特許文献2】

特開2001-291720号公報(第4頁、第10頁、第24頁-第25頁、第4図、第66図-第77図)

【0022】

【発明が解決しようとする課題】

しかしながら、上記従来例では、第1配線5からSiN膜6中へ銅ヒロック8が侵入することにより(図8(e)参照)、部分的にSiN膜6が薄膜化し、後の工程であるビア形状10を形成するためのドライエッチング工程(図8(f)参照)から、ビア形状10底部のSiN膜6を除去するためのドライエッチング工程前までの工程を経る間にSiN膜6の薄膜化した部分が破れ、第1配線5が部分的に露出し、第1配線5に意図せぬダメージを与えられ、ポイド12を発生させ(図8(g)参照)、それを基点として第1配線5に侵食部14を発生させてしまう(図8(i)参照)。

【0023】

その後、ビア16と第2配線17とを形成すれば(図8(k)参照)、半導体装置の製造方法としての一連の工程は終了する。しかしながら、このような従来方法で製造した半導体装置では、第1配線5と第2配線17との間にビア16を介する電流を通電させたとき、ビア抵抗の異常な上昇や断線などの信頼性不良を発生させてしまうおそれがある。

【0024】

本発明は上記の課題に鑑みてなされたもので、第1配線5への工程中のダメージを極力低減し、ビア抵抗の異常な上昇や配線の信頼性不良を防ぐことが可能な半導体装置を製造できる半導体装置の製造方法を提供することを目的としている。

【0025】

【課題を解決するための手段】

この課題を達成するために、本発明の請求項1に係る半導体装置の製造方法においては、半導体基板上に第1の配線を形成する工程と、該第1の配線にヒロックを発生させる処理を行うヒロック発生工程と、該ヒロック発生工程により発生したヒロックを研磨により除去し、前記第1の配線の表面を平坦化する処理と、前記第1の配線上を含む前記半導体基板上に絶縁膜を形成し、該絶縁膜に前記第1の配線が露出するようにビア形状を形成し、該ビア形状の内部に配線材料膜を埋め込むようにしたものである。

【0026】

本発明では、第1の配線形成後に、意図的にヒロックを発生させる工程を追加し、さらに発生したヒロックを研磨除去する。このため、その後の絶縁膜を形成する工程でヒロックが発生することはなく、絶縁膜下にバリア層を形成しておく場合に、バリア層を均一な膜厚に形成することができ、その後の工程でバリア層が意図せぬ破れを起こすことが無く、第1の配線へのダメージを最小限に抑えることが可能となり、第1の配線の侵食を防ぐことができ、ビア抵抗の安定化や配線の信頼性を確保することができる半導体装置を製造することが可能となる。

【0027】

10

20

30

40

50

本発明の請求項 2 に係る半導体装置の製造方法においては、半導体基板上に形成した第 1 の絶縁膜に、該絶縁膜と表面が同一になるように埋め込まれた第 1 の配線を形成する工程と、該第 1 の配線にヒロックを発生させる処理を行うヒロック発生工程と、該ヒロック発生工程により発生したヒロックを研磨により除去し、前記第 1 の配線の表面を平坦化する工程と、前記第 1 の配線上を含む前記半導体基板上に第 2 の絶縁膜を形成し、該第 2 の絶縁膜に前記第 1 の配線が露出するようにビア形状を形成し、該ビア形状の内部に配線材料膜を埋め込み、研磨により不要な配線材料膜を除去してビアおよび第 2 の配線を形成する工程とを含むようにしたものである。

【0028】

本発明では、第 1 の配線形成後に、意図的にヒロックを発生させる工程を追加し、さらに発生したヒロックを研磨除去する。このため、その後の絶縁膜を形成する工程でヒロックが発生することはなく、第 2 の絶縁膜下にバリア層を形成しておく場合に、バリア層を均一な膜厚に形成することができ、その後の工程でバリア層が意図せぬ破れを起こすことが無く、第 1 の配線へのダメージを最小限に抑えることが可能となり、第 1 の配線の侵食を防ぐことができ、ビア抵抗の安定化や配線の信頼性を確保することができる半導体装置を製造することが可能となる。

10

【0029】

また、本発明の請求項 3 に係る半導体装置の製造方法においては、半導体基板の第 1 の絶縁膜の表面に、配線が埋め込まれるべき第 1 の配線溝を形成し、該第 1 の配線溝の内部を含む前記第 1 の絶縁膜上に第 1 の銅膜を形成し、該第 1 の銅膜を研磨、平坦化して第 1 の配線を形成する工程と、該第 1 の配線が形成された半導体基板に対しアニールを行うアニール工程と、該アニールにより前記第 1 の配線上に発生したヒロックを研磨し、平坦化する工程と、該平坦化された前記第 1 の配線上に SiN 膜を形成する工程と、該 SiN 膜上に第 2 の絶縁膜を形成する工程と、該第 2 の絶縁膜に対しビア形状形成用フォトリソマスクを用いて前記第 1 の配線に相当する位置にビア形状を形成する工程と、前記第 2 の絶縁膜に対し配線溝形成用フォトリソマスクを用いて前記ビア形状の上部を含む第 2 の配線溝を形成する工程と、前記ビア形状底部の SiN 膜を除去する工程と、前記ビア形状の内部および前記第 2 の配線溝の内部を含む前記第 2 の絶縁膜上に第 2 の銅膜を形成する工程と、該第 2 の銅膜を研磨、平坦化しビアと第 2 の配線とを形成する工程とを含むようにしたものである。

20

30

【0030】

本発明では、第 1 の配線形成後にアニール工程を追加し、意図的に銅ヒロックを発生させる。さらに発生した銅ヒロックを CMP 法によって研磨除去する。このため、その後の SiN 膜や絶縁膜を形成する工程では銅ヒロックが発生することはなく、SiN 膜を均一な膜厚に形成することができる。従って、その後の工程で SiN 膜が意図せぬ破れを起こすことが無く、第 1 の配線へのダメージを最小限に抑えることが可能となり、第 1 の配線の侵食を防ぐことができ、ビア抵抗の安定化や配線の信頼性を確保することができる半導体装置を製造することが可能となる。

【0031】

また、本発明の請求項 4 に係る半導体装置の製造方法によれば、請求項 3 記載の半導体装置の製造方法において、前記アニール工程は、酸素を抑制した雰囲気中で前記第 1 の配線から銅ヒロックが発生する温度と時間の条件の下でアニール処理を行うようにしたものである。

40

【0032】

本発明では、第 1 の配線形成後に追加したアニール工程において、銅ヒロックを十分発生させるため、以降の工程においてヒロックが発生することがなくなる。

【0033】

また、本発明の請求項 5 に係る半導体装置の製造方法によれば、請求項 3 記載の半導体装置の製造方法において、前記 SiN 膜を形成する工程は、前記ビア形成時及び前記第 2 の配線溝形成時のビア底部において、SiN 膜が残存するような膜厚の形成を行うよう

50

にしたものである。

【0034】

本発明では、第2の絶縁膜下に形成するSiN膜として、ビア形成時及び第2の配線溝形成時に行う処理を経ても残存できる厚さのものを形成しておくため、これらの工程を経た後でもSiN膜が確実に残存する。

【0035】

また、本発明の請求項6に係る半導体装置の製造方法によれば、半導体基板上の第1の絶縁膜の表面に、配線が埋め込まれるべき第1の配線溝を形成し、該第1の配線溝を含む前記第1の絶縁膜上に第1の銅膜を形成し、該第1の銅膜を研磨、平坦化して第1の配線を形成する工程と、該第1の配線が形成された半導体基板に対し酸素プラズマ処理を行う工程と、該酸素プラズマ処理により前記第1の配線に発生したヒロックを研磨し、平坦化する工程と、該平坦化された前記第1の配線上にSiN膜を形成する工程と、該SiN膜上に第2の絶縁膜を形成する工程と、該第2の絶縁膜に対しビア形状形成用フォトリソマスクを用いて前記第1の配線に相当する位置にビア形状を形成する工程と、前記第2の絶縁膜に対し配線溝形成用フォトリソマスクを用いて前記ビア形状の上部を含む第2の配線溝を形成する工程と、前記ビア形状底部のSiN膜を除去する工程と、前記ビア形状の内部および前記第2の配線溝の内部を含む前記第2の絶縁膜上に第2の銅膜を形成する工程と、該第2の銅膜を研磨、平坦化しビアと第2の配線とを形成する工程とを含むようにしたものである。

10

【0036】

本発明では、第1の配線形成後に酸素プラズマ処理工程を追加し、意図的に銅ヒロック及び酸化銅層を発生させる。さらに発生した銅ヒロック及び酸化銅層をCMP法によって研磨除去する。その後、SiN膜や絶縁膜を形成する工程では銅ヒロックが発生することはなく、SiN膜は均一な膜厚に形成することができる。従って、その後の工程でSiN膜が意図せぬ破れを起こすことが無く、第1の配線へのダメージを最小限に抑えることが可能となり、第1の配線の侵食を防ぐことができ、ビア抵抗の安定化や配線の信頼性を確保することができる。

20

【0037】

また、本発明の請求項7に係る半導体装置の製造方法によれば、請求項6記載の半導体装置の製造方法において、前記酸素プラズマ処理工程は、基板温度が120°C以下となる条件の下で行うようにしたものである。

30

【0038】

本発明では、第1の配線形成後に追加した酸素プラズマ処理工程において、銅ヒロックを十分発生させるため、以降の工程においてヒロックが発生することがなくなる。酸素プラズマ中(酸化雰囲気中)で銅ヒロック発生処理を行うことにより、比較的低温、短時間でヒロックを発生させることができる。

【0039】

また、本発明の請求項8に係る半導体装置の製造方法によれば、半導体基板上の第1の絶縁膜の表面に、配線が埋め込まれるべき第1の配線溝を形成し、該第1の配線溝を含む前記第1の絶縁膜上に第1の銅膜を形成し、該第1の銅膜を研磨、平坦化して第1の配線を形成する工程と、該第1の配線が形成された半導体基板に対しアンモニアプラズマ処理を行う工程と、該アンモニアプラズマ処理により前記第1の配線に発生したヒロックを研磨し、平坦化する工程と、該平坦化された前記第1の配線上にSiN膜を形成する工程と、該SiN膜上に第2の絶縁膜を形成する工程と、該第2の絶縁膜に対しビア形状形成用フォトリソマスクを用いて前記第1の配線に相当する位置にビア形状を形成する工程と、前記第2の絶縁膜に対し配線溝形成用フォトリソマスクを用いて前記ビア形状の上部を含む第2の配線溝を形成する工程と、前記ビア形状底部のSiN膜を除去する工程と、前記ビア形状および前記第2の配線溝の内部を含む前記第2の絶縁膜上に第2の銅膜を形成する工程と、該第2の銅膜を研磨、平坦化しビアと第2配線とを形成する工程とを含むようにしたものである。

40

50

【0040】

本発明では、第1配線形成後にアンモニアプラズマ処理工程を追加し、意図的に銅ヒロックを発生させる。さらに発生した銅ヒロックをCMP法によって研磨除去する。このため、その後のSiN膜や絶縁膜を形成する工程では銅ヒロックが発生することはなく、SiN膜を均一な膜厚に形成することができる。従って、その後の工程でSiN膜が意図せぬ破れを起こすことが無く、第1配線へのダメージを最小限に抑えることが可能となり、第1配線の侵食を防ぐことができ、ビア抵抗の安定化や配線の信頼性を確保することができる半導体装置を製造することが可能となる。

【0041】

また、本発明の請求項9に係る半導体装置の製造方法によれば、請求項8記載の半導体装置の製造方法において、前記アンモニアプラズマ処理工程は基板温度が120°C以下の条件の下で行うようにしたものである。

【0042】

本発明では、第1の配線形成後に追加したアンモニアプラズマ処理工程において、銅ヒロックを十分発生させるため、以降の工程においてヒロックが発生することがなくなる。アンモニアプラズマ中(還元雰囲気中)で銅ヒロック発生処理を行うことにより、比較的低温、短時間でヒロックを発生させることができる。

【0043】

また、本発明の請求項10に係る半導体装置の製造方法によれば、半導体基板上の第1の絶縁膜の表面に、配線が埋め込まれるべき第1の配線溝を形成し、該第1の配線溝の内部を含む前記第1の絶縁膜上に第1の銅膜を形成し、該第1の銅膜を研磨、平坦化して第1の配線を形成する工程と、該第1の配線上にSiC膜を形成する工程と、該SiC膜上に第2の絶縁膜を形成する工程と、該第2の絶縁膜に対しビア形状形成用フォトリソマスクを用いて前記第1の配線に相当する位置にビア形状を形成する工程と、前記第2の絶縁膜に対し配線溝形成用フォトリソマスクを用いて前記ビア形状の上部を含む第2の配線溝を形成する工程と、前記ビア形状底部のSiC膜を除去する工程と、前記ビア形状および前記第2の配線溝の内部を含む前記第2の絶縁膜上に銅膜を形成する工程と、該銅膜を研磨、平坦化しビアと第2配線とを形成する工程とを含むようにしたものである。

【0044】

本発明では、第1配線形成後にSiC膜を形成し、その後絶縁膜を形成する。SiC膜はSiN膜に比べて硬度が高いために銅ヒロック発生を抑制することができ、SiC膜は均一な膜厚に形成することができる。従って、その後の工程でSiC膜が意図せぬ破れを起こすことが無く、第1配線へのダメージを最小限に抑えることが可能となり、ビア抵抗の安定化や配線の信頼性を確保することができる半導体装置を製造することが可能となる。

【0045】

また、本発明の請求項11に係る半導体装置の製造方法によれば、請求項10記載の半導体装置の製造方法において、前記SiC膜を形成する工程は、前記ビア形成時及び前記第2の配線溝形成時のビア底部において、SiC膜が残存するような膜厚の形成を行うようにしたものである。

【0046】

本発明では、第2の絶縁膜の下に形成するSiC膜として、ビア形成時及び第2の配線溝形成時に行う処理によっても残存できる厚さのものを形成しておくため、これらの工程を経た後でもSiC膜が確実に残存する。

【0047】

【発明の実施の形態】

(実施の形態1)

この実施の形態1は、請求項1ないし5の発明に対応するもので、第1配線を形成後、アニール処理によりこの第1配線に意図的にヒロックを発生させ、これをCMP法で除去し

10

20

30

40

50

た後、デュアルダマシン法を行うようにしたもので、意図的にヒロックを発生させたためにヒロック除去後の工程で第1配線にヒロックが発生することがなく、第1配線へのダメージを最小限に抑えることが可能となり、第1配線の侵食を防ぐことが可能となり、ビア抵抗の安定化や配線の信頼性を確保することができるようにしたものである。

【0048】

以下、本発明の実施の形態1における半導体装置の製造方法について、図面を参照しながら説明する。

図1は本発明の実施の形態1による半導体装置の製造方法の工程断面図を示す。

【0049】

図2は本発明の実施の形態1による半導体製造方法の工程フローチャートであり、図1の工程断面図の(a)ないし(m)の工程に対応する処理工程201ないし214を示している。

【0050】

図1において、21は半導体基板、22は半導体基板21上に形成された絶縁膜、23は絶縁膜22の表面に形成された第1配線溝、24は第1配線溝23内を含む絶縁膜22の表面を覆うように形成された銅膜、25は第1配線溝23内に形成された第1配線、26は第1配線25の表面に発生した銅ヒロック、27は第1配線25上を含む絶縁膜22上に形成されたSiN膜、28はSiN膜27上に形成された絶縁膜、29は絶縁膜28上に形成されたビア形状形成用フォトリソマスク、30はSiN膜27及び絶縁膜28に形成されたビア形状、31は絶縁膜28上に形成された第2配線溝形成用フォトリソマスク、32は絶縁膜28の表面に形成された第2配線溝、33はビア形状30底面の第1配線25の露出部を覆うとともにビア形状30内を充填するように絶縁膜28上に形成された銅膜、34は絶縁膜28内に形成されたビア、35は絶縁膜28の第2配線溝32内に形成された第2配線である。

【0051】

以下では図1の各工程断面図について説明する。

図1(a)は半導体基板21上に絶縁膜22を形成し、絶縁膜22の表面に第1配線溝23を形成した直後の工程断面図である。この段階は図2の処理工程201に対応し、成膜装置およびエッチング装置により実現される。

【0052】

図1(b)はスパッタリング法及びメッキ法により第1配線溝23内を含む絶縁膜22の表面全面に銅膜24を形成した直後の工程断面図である。この段階は図2の処理工程202に対応し、スパッタリング装置およびメッキ装置により実現される。

【0053】

図1(c)はCMP法により銅膜24及び絶縁膜22を研磨、平坦化し、洗浄し、絶縁膜22と表面が同一となるように第1配線25を形成した直後の工程断面図である。この段階は図2の処理工程203に対応し、CMP装置および洗浄装置により実現される。

【0054】

図1(d)はアニール工程により第1配線25上に銅ヒロック26を意図的に発生させた直後の工程断面図である。この段階は図2の処理工程204に対応し、アニール装置により実現される。

【0055】

図1(e)はCMP法により銅ヒロック26を研磨、平坦化し、洗浄した直後の工程断面図である。この段階は図2の処理工程205に対応し、CMP装置および洗浄装置により実現される。

【0056】

図1(f)はCVD法により第1配線25上を含む絶縁膜22上全面にSiN膜27及び絶縁膜28をこの順で形成した直後の工程断面図である。この段階は図2の処理工程206および207に対応し、成膜装置により実現される。

【0057】

図 1 (g) はリソグラフィ法により絶縁膜 2 8 上にビア形状形成用フォトレジストマスク 2 9 を形成した直後の工程断面図である。この段階は図 2 の処理工程 2 0 8 に対応し、レジスト成膜装置およびリソグラフィ装置により実現される。

【 0 0 5 8 】

図 1 (h) はフォトレジストマスク 2 9 を用いたドライエッチング法により SiN 膜 2 7 及び絶縁膜 2 8 にビア形状 3 0 を形成し、アッシング及び洗浄によりビア形状形成用フォトレジストマスク 2 9 を除去した直後の工程断面図である。この段階は図 2 の処理工程 2 0 9 に対応し、ドライエッチング装置、アッシング装置および洗浄装置により実現される。

【 0 0 5 9 】

図 1 (i) はリソグラフィ法により絶縁膜 2 8 上に第 2 配線溝形成用フォトレジストマスク 3 1 を形成した直後の工程断面図である。フォトレジストマスク 3 1 はビア形状 3 0 を含む領域に開口を有している。この段階は図 2 の処理工程 2 1 0 に対応し、レジスト成膜装置およびリソグラフィ装置により実現される。

【 0 0 6 0 】

図 1 (j) はフォトレジストマスク 3 1 を用いたドライエッチング法により絶縁膜 2 8 の表面の一部に第 2 配線溝 3 2 を形成し、アッシング及び洗浄により第 2 配線溝形成用フォトレジストマスク 3 1 を除去した直後の工程断面図である。この段階は図 2 の処理工程 2 1 1 に対応し、ドライエッチング装置、アッシング装置および洗浄装置により実現される。

【 0 0 6 1 】

図 1 (k) はドライエッチング法により SiN 膜 2 7 をエッチングし、洗浄した直後の工程断面図である。この段階は図 1 の処理工程 2 1 2 に対応し、ドライエッチング装置および洗浄装置により実現される。

【 0 0 6 2 】

図 1 (l) はスパッタリング法及びメッキ法によりビア形状 3 0 内および第 1 配線 2 5 の露出した表面および第 2 配線溝 3 2 内を含む絶縁膜 2 8 上全面に第 2 の銅膜 3 3 を形成した直後の工程断面図である。この段階は図 2 の処理工程 2 1 3 に対応し、スパッタリング装置およびメッキ装置により実現される。

【 0 0 6 3 】

図 1 (m) は CMP 法により銅膜 3 3 及び絶縁膜 2 8 を研磨、平坦化し、洗浄し、ビア形状 3 0 内を銅膜により充填したビア 3 4 と、絶縁膜 2 8 と表面が同一の第 2 配線 3 5 とを形成した直後の工程断面図である。この段階は図 2 の処理工程 2 1 4 に対応し、CMP 装置および洗浄装置により実現される。

【 0 0 6 4 】

次に、本実施の形態 1 において、半導体製造装置により実行される、半導体装置の製造方法について説明する。

図 1 (a) ないし図 1 (c) は半導体基板 2 1 上の絶縁膜 2 2 の表面の一部に形成された配線溝 2 3 に埋め込まれた第 1 配線 2 5 を形成する工程である。

【 0 0 6 5 】

これは従来の図 8 (a) ないし図 8 (c) と同様、半導体基板 2 1 上に絶縁膜 2 2 を形成し、絶縁膜 2 2 の表面に第 1 配線溝 2 3 を形成し、スパッタリング法及びメッキ法により第 1 配線溝 2 3 内を含む絶縁膜 2 2 の表面全面に銅膜 2 4 を形成し、CMP 法により銅膜 2 4 及び絶縁膜 2 2 を研磨、平坦化し、洗浄し、絶縁膜 2 2 と表面が同一となるように第 1 配線 2 5 を形成する、というものである。

【 0 0 6 6 】

図 1 (c) の工程断面図に示された半導体基板に対して酸素濃度を抑制した雰囲気中で 1 5 0 ° C 程度のアニールを 1 2 0 分程度行うと、銅ヒロック 2 6 が第 1 配線 2 5 上に発生する (図 1 (d) 参照) 。これは第 1 配線 2 5 が熱的なストレスを与えられることにより、銅原子が移動し、銅のグレイン成長が促進されることに起因すると考えられる。銅ヒロ

10

20

30

40

50

ックはランダムに発生し、その高さは50～100nm程度である。第1配線25の配線膜厚は350nm程度に設定している。銅のグレイン成長を促進させるためにはさらなる高温でのアニールを行うことが望ましいが、例えば400°C程度の高温で処理すると、10ppm程度の微量な酸素濃度を有する雰囲気中でも第1配線25上に酸化銅が形成されてしまう。このため、アニール装置の酸素濃度抑制能力の制約上、または生産性を考慮し、150°C程度かつ120分程度の熱処理を行うことが合理的である。また、アニールの雰囲気として窒素を用いたが、銅に対して不活性なガスであれば窒素ガス以外を用いても良い。要は、酸化銅形成を抑制しながら、銅ヒロックを意図的に発生させることが肝要である。その後、CMP法により銅ヒロック26を研磨し、洗浄し、第1配線25を平坦化する。この状態では第1配線に再度熱処理を加えても、銅原子が移動することは無い。すなわち銅のグレイン成長は飽和状態にある。従って、第1配線25は銅ヒロックの存在しない図1(e)の状態になる。次に、図1(f)のようにCVD法によりSiN膜27及び絶縁膜28を形成する。このCVD法によるSiN膜27及び絶縁膜28の形成時には最高到達温度が400°C程度まで半導体基板21の温度が上昇する。従来例ではこの熱ストレスが図8(c)に示す第1配線5に与えられると、銅原子が移動し銅のグレイン成長が促進され、図8(d)に示すような銅ヒロック8がSiN膜6へと侵入してしまう。しかしながら、本実施の形態1では、この熱ストレスが図1(e)に示す第1配線25に与えられたとしても、銅原子が移動することは無く、銅のグレイン成長が促進されず、もはや銅ヒロックは発生しない。このため、SiN膜27は所望の均一な膜厚を有することができ、図1(f)のようになる。

10

20

【0067】

SiN膜27の膜厚は配線間容量を低減させるために可能な限り薄膜化することが望まれているが、その後のビア形成や第2配線溝形成のためのドライエッチング工程やアッシングや洗浄で第1配線が露出しないような膜厚に設定することが重要である。本実施の形態1ではSiN膜27の膜厚を150nmと設定した。また、絶縁膜28の膜厚を800nmとした。従来例の図8(e)に示すようなSiN膜6の膜厚が不均一な状態でビア形状10形成や第2配線溝13形成のためのドライエッチングを施すと、SiN膜6が部分的に破れ、レジストマスク除去時のアッシングや洗浄、リソグラフィ時の現像液などにより、第1配線5に物理的、化学的なダメージが複数回与えられ、ボイド12や侵食部14を発生させてしまう。しかしながら、本実施の形態1では、図1(h)に示すビア形状30はSiN膜27中まで到達しているが、SiN膜27を貫通することはなく、第1配線25が露出することは無い。SiN膜27のエッチング量はビア形状30形成のためのドライエッチング時のオーバーエッチング量によって決まるが、フロロカーボン系のガスを用い、絶縁膜に対するSiN膜選択比を十分に確保した条件を用い、40nm程度のエッチング量に抑制している。また本実施の形態1の図1(j)に示す第2配線溝32形成後のビア形状30の底部はSiN膜27中まで到達しているが、第1配線25が露出することは無い。SiN膜27のエッチング量は第2配線溝32形成のためのドライエッチング量と、絶縁膜に対するSiN膜選択比から決まるが、フロロカーボン系のガスを用い、絶縁膜に対するSiN膜選択比を確保した条件を用い、80nm程度のエッチング量に抑制している。第2配線溝32形成後のビア形状30の底部のSiN膜27は合計120nm程度がエッチングされ、30nmが残るように設計されている。そして、図1(k)に示すようにフロロカーボン系のガスを用いたドライエッチング法により、ビア形状30底部のSiN膜27をエッチングすることにより、初めて第1配線25が露出する。その後、洗浄を施し、図1(l)に示すようにスパッタリング法及びメッキ法を用いて銅膜33を形成する。この間、第1配線25へのダメージは従来例に比べて最小限に抑えることができる。その後、図1(m)に示すようにCMP法により銅膜33を研磨、平坦化し、洗浄し、ビア34及び第2配線35を形成する。

30

40

【0068】

これにより、第1配線25及びビア34及び第2配線35はボイドや侵食の無い配線となり、ビア抵抗の安定化や配線の信頼性を確保することができる。

50

【0069】

このように、本実施の形態1によれば、第1の銅配線を絶縁膜と表面が同一となるように埋め込んで形成した後、意図的にアニール工程を行うことで銅ヒロックを発生させ、この銅ヒロックをCMP法により、研磨し平坦化した後に、デュアルダマシン法により、第1、第2の銅配線を互いに接続するビアと第2の銅配線とを形成するようにしたので、デュアルダマシン法を実施する際に第1の銅配線にヒロックが発生することはもはや無く、デュアルダマシン法を実施する際に形成するSiN層に銅ヒロックが侵入し、一部でSiN層が薄膜化するために、第1の銅配線の一部が露出し、ビア形状形成時のドライエッチングで意図しないダメージを受け、第1の銅配線に侵食部が生じてしまう、というおそれなくなり、ビア抵抗の異常や断線などの信頼性不良が発生する不具合をなくすることができる。

10

【0070】

(実施の形態2)

この実施の形態2は、請求項1、2、6、7の発明に対応するもので、第1配線を形成後、酸素プラズマ処理によりこの第1配線に意図的にヒロックを発生させ、これをCMP法で除去した後、デュアルダマシン法を行うようにしたもので、意図的にヒロックを発生させたためにヒロック除去後の工程で第1配線にヒロックが発生することがなく、第1配線へのダメージを最小限に抑えることが可能となり、第1配線の侵食を防ぐことが可能となり、ビア抵抗の安定化や配線の信頼性を確保することができるようにしたものである。

【0071】

以下、本発明の実施の形態2における半導体装置の製造方法について、図面を参照しながら説明する。

20

図3は本発明の実施の形態2による半導体装置の製造方法の工程断面図を示す。

【0072】

図4は本発明の実施の形態2による半導体装置の製造方法の工程フローチャートであり、図3の工程断面図の(a)ないし(m)の工程に対応する処理工程401ないし414を示している。

【0073】

図3において、41は半導体基板、42は半導体基板41上に形成された絶縁膜、43は絶縁膜42の表面に形成された第1配線溝、44は第1配線溝43内を含む絶縁膜42の表面を覆うように形成された銅膜、45は第1配線溝43内に形成された第1配線、46は第1配線45の表面に発生した銅ヒロック、47は第1配線45上に形成された酸化銅層、48は第1配線45上を含む絶縁膜42上に形成されたSiN膜、49はSiN膜48上に形成された絶縁膜、50は絶縁膜49上に形成されたビア形状形成用フォトリジストマスク、51はSiN膜48及び絶縁膜49に形成されたビア形状、52は絶縁膜49の表面に形成された第2配線溝形成用フォトリジストマスク、53は絶縁膜49の表面に形成された第2配線溝、54はビア形状51底面の第1配線45の露出部を覆うとともにビア形状51内を充填するように絶縁膜49上に形成された銅膜、55は絶縁膜49内に形成されたビア、56は絶縁膜49の第2配線溝53内に形成された第2配線である。

30

40

【0074】

以下では図3の各工程断面図について説明する。

図3(a)は半導体基板41上に絶縁膜42を形成し、絶縁膜42の表面に第1配線溝43を形成した直後の工程断面図である。この段階は図4の処理工程401に対応し、成膜装置およびエッチング装置により実現される。

【0075】

図3(b)はスパッタリング法及びメッキ法により第1配線溝43内を含む絶縁膜42の表面全面に銅膜44を形成した直後の工程断面図である。この段階は図4の処理工程402に対応し、スパッタリング装置およびメッキ装置により実現される。

【0076】

50

図3(c)はCMP法により銅膜44及び絶縁膜42を研磨、平坦化し、洗浄し、絶縁膜42と表面が同一になるように第1配線45を形成した直後の工程断面図である。この段階は図4の処理工程403に対応し、CMP装置および洗浄装置により実現される。

【0077】

図3(d)は酸素プラズマ処理により第1配線45上に銅ヒロック46及び酸化銅層47が発生した直後の工程断面図である。この段階は図4の処理工程404に対応し、プラズマ処理装置により実現される。

【0078】

図3(e)はCMP法により銅ヒロック46及び酸化銅層47を研磨、平坦化し、洗浄した直後の工程断面図である。この段階は図4の処理工程405に対応し、CMP装置および洗浄装置により実現される。

10

【0079】

図3(f)はCVD法により第1配線45上を含む絶縁膜42上全面にSiN膜48及び絶縁膜49をこの順で形成した直後の工程断面図である。この段階は図4の処理工程406および407に対応し、成膜装置により実現される。

【0080】

図3(g)はリソグラフィ法により絶縁膜49上にビア形状形成用フォトリソマスク50を形成した直後の工程断面図である。この段階は図4の処理工程408に対応し、レジスト成膜装置およびリソグラフィ装置により実現される。

【0081】

図3(h)はフォトリソマスク50を用いたドライエッチング法によりSiN膜48及び絶縁膜49にビア形状51を形成し、アッシング及び洗浄によりビア形状形成用フォトリソマスク50を除去した直後の工程断面図である。この段階は図4の処理工程409に対応し、ドライエッチング装置、アッシング装置および洗浄装置により実現される。

20

【0082】

図3(i)はリソグラフィ法により絶縁膜49上に第2配線溝形成用フォトリソマスク52を形成した直後の工程断面図である。フォトリソマスク52はビア形状51を含む領域に開口を有している。この段階は図4の処理工程410に対応し、レジスト成膜装置およびリソグラフィ装置により実現される。

30

【0083】

図3(j)はフォトリソマスク52を用いたドライエッチング法により絶縁膜49の表面の一部に第2配線溝53を形成し、アッシング及び洗浄により第2配線溝形成用フォトリソマスク52を除去した直後の工程断面図である。この段階は図4の処理工程411に対応し、ドライエッチング装置、アッシング装置および洗浄装置により実現される。

【0084】

図3(k)はドライエッチング法によりSiN膜48をエッチングし、洗浄した直後の工程断面図である。この段階は図4の処理工程412に対応し、ドライエッチング装置および洗浄装置により実現される。

40

【0085】

図3(l)はスパッタリング法及びメッキ法によりビア形状51内および第1配線45の露出した表面および第2配線溝53内を含む絶縁膜49上全面に第2の銅膜54を形成した直後の工程断面図である。この段階は図4の処理工程413に対応し、スパッタリング装置およびメッキ装置により実現される。

【0086】

図3(m)はCMP法により銅膜54及び絶縁膜49を研磨、平坦化し、洗浄し、ビア形状51内を銅膜により充填したビア55と、絶縁膜49と表面が同一の第2配線56とを形成した直後の工程断面図である。この段階は図3の処理工程414に対応し、CMP装置および洗浄装置により実現される。

50

【 0 0 8 7 】

次に、本実施の形態 2 において、半導体製造装置により実行される、半導体装置の製造方法について説明する。

図 3 (a) ないし図 3 (c) は半導体基板 4 1 上の絶縁膜 4 2 の表面の一部に形成された配線溝 4 3 に埋め込まれた第 1 配線 4 5 を形成する工程である。

【 0 0 8 8 】

これは従来図 8 (a) ないし図 8 (c) と同様、半導体基板 4 1 上に絶縁膜 4 2 を形成し、絶縁膜 4 2 の表面に第 1 配線溝 4 3 を形成し、スパッタリング法及びメッキ法により第 1 配線溝 4 3 内を含む絶縁膜 4 2 の表面全面に銅膜 4 4 を形成し、CMP 法により銅膜 4 4 及び絶縁膜 4 2 を研磨、平坦化し、洗浄し、絶縁膜 4 2 と表面が同一となるように第 1 配線 4 5 を形成する、というものである。

10

【 0 0 8 9 】

図 3 (c) の工程断面図に示された半導体基板に対して酸素雰囲気中、80 °C 程度の基板温度、120 秒程度のプラズマ処理を行うと、銅ヒロック 4 6 及び酸化銅層 4 7 が第 1 配線 4 5 上に発生する (図 3 (d) 参照) 。これは第 1 配線 4 5 が熱的なストレスを与えられることにより、銅原子が移動し、銅のグレイン成長が促進されることと、酸素ラジカルと銅原子の反応により酸化銅が生成されることに起因する。銅ヒロックはランダムに発生し、その高さは 50 ~ 100 nm 程度である。酸化銅層は本実施の形態 2 の酸素プラズマ処理では 30 nm 以下である。本実施の形態 2 では酸素プラズマ処理時の基板温度を 80 °C に設定したが、銅ヒロックの発生状況から勘案するとプラズマ照射による温度上昇により第 1 配線 4 5 は 80 °C 以上に上昇していることが考えられる。第 1 配線 4 5 の配線膜厚は 350 nm 程度に設定している。その後、CMP 法により銅ヒロック 4 6 及び酸化銅層 4 7 を研磨し、洗浄し、第 1 配線 4 5 を平坦化する。この状態では第 1 配線に再度熱処理を加えても、銅原子は移動することが無い。すなわち銅のグレイン成長は飽和状態にある。従って、第 1 配線 4 5 は銅ヒロックの存在しない図 3 (e) の状態になる。次に、図 3 (f) のように CVD 法により SiN 膜 4 8 及び絶縁膜 4 9 を形成する。この CVD 法による SiN 膜 4 8 及び絶縁膜 4 9 の形成時には最高到達温度が 400 °C 程度まで半導体基板 4 1 の温度が上昇する。従来例ではこの熱ストレスが図 8 (c) に示す第 1 配線 5 に与えられると、銅原子が移動し銅のグレイン成長が促進され、図 8 (d) に示すような銅ヒロック 8 が SiN 膜 6 へと侵入してしまう。しかしながら、本実施の形態 2 では、この熱ストレスが図 3 (e) に示す第 1 配線 4 5 に与えられたとしても、銅原子が移動することは無く、銅のグレイン成長が促進されず、もはや銅ヒロックは発生しない。このため、SiN 膜 4 8 は所望の均一な膜厚を有することができ、図 3 (f) のようになる。

20

30

【 0 0 9 0 】

SiN 膜 4 8 の膜厚は配線間容量を低減させるために可能な限り薄膜化することが望まれているが、その後のビア形成や第 2 配線溝形成のためのドライエッチング工程やアッシングや洗浄で第 1 配線が露出しないような膜厚に設定することが重要である。本実施の形態 2 では SiN 膜 4 8 の膜厚を 150 nm と設定した。また、絶縁膜 4 9 の膜厚を 800 nm とした。従来例の図 8 (e) に示すような SiN 膜 6 の膜厚が不均一な状態でビア形状 10 形成や第 2 配線溝 13 形成のためのドライエッチングを施すと、SiN 膜 6 が部分的に破れ、レジストマスク除去時のアッシングや洗浄、リソグラフィ時の現像液などにより、第 1 配線 5 に物理的、化学的なダメージが複数回与えられ、ポイド 12 や侵食部 14 を発生させてしまう。しかしながら、本実施の形態 2 では、図 3 (h) に示すビア形状 51 は SiN 膜 4 8 中まで到達しているが、SiN 膜 4 8 を貫通することはなく、第 1 配線 4 5 が露出することは無い。SiN 膜 4 8 のエッチング量はビア形状 51 形成のためのドライエッチング時のオーバーエッチング量によって決まるが、フロロカーボン系のガスを用い、絶縁膜に対する SiN 膜選択比を十分に確保した条件を用い、40 nm 程度のエッチング量に抑制している。また本実施の形態 2 の図 3 (j) に示す第 2 配線溝 53 形成後のビア形状 51 の底部は SiN 膜 4 8 中まで到達しているが、第 1 配線 4 5 が露出することは無い。SiN 膜 4 8 のエッチング量は第 2 配線溝 53 形成のためのドライエ

40

50

エッチング量と、絶縁膜に対するSiN膜選択比から決まるが、フロロカーボン系のガスを用い、絶縁膜に対するSiN膜選択比を確保した条件を用い、80nm程度のエッチング量に抑制している。第2配線溝53形成後のビア形状51の底部のSiN膜48は合計120nm程度エッチングされ、30nmが残るように設計されている。そして、図3(k)に示すようにフロロカーボン系のガスを用いたドライエッチング法により、ビア形状51底部のSiN膜48をエッチングすることにより、初めて第1配線45が露出する。その後、洗浄を施し、図3(l)に示すようにスパッタリング法及びメッキ法を用いて銅膜54を形成する。この間、第1配線45へのダメージは従来例に比べて最小限に抑えることができる。その後、図3(m)に示すようにCMP法により銅膜54を研磨、平坦化し、洗浄し、ビア55及び第2配線56を形成する。

10

【0091】

これにより、第1配線45及びビア55及び第2配線56はボイドや侵食の無い配線となり、ビア抵抗の安定化や配線の信頼性を確保することができる。

【0092】

このように、本実施の形態2によれば、第1の銅配線を絶縁膜と表面が同一となるように埋め込んで形成した後、意図的に酸素プラズマ処理を行うことで銅ヒロックを発生させ、この銅ヒロックをCMP法により、研磨し平坦化した後に、デュアルダマシン法により、第1、第2の銅配線を互いに接続するビアと第2の銅配線とを形成するようにしたので、デュアルダマシン法を実施する際に第1の銅配線にヒロックが発生することはもはや無く、デュアルダマシン法を実施する際に形成するSiN層に銅ヒロックが侵入し、一部でSiN層が薄膜化するために、第1の銅配線の一部が露出し、ビア形状形成時のドライエッチングで意図しないダメージを受け、第1の銅配線に侵食部が生じてしまう、というおそれなくなり、ビア抵抗の異常や断線などの信頼性不良が発生する不具合をなくすることができる。

20

【0093】

(実施の形態3)

この実施の形態3は、請求項1、2、8、9の発明に対応するもので、第1配線を形成後、アンモニアプラズマ処理によりこの第1配線に意図的にヒロックを発生させ、これをCMP法で除去した後、デュアルダマシン法を行うようにしたもので、意図的にヒロックを発生させたためにヒロック除去後の工程で第1配線にヒロックが発生することがなく、第1配線へのダメージを最小限に抑えることが可能となり、第1配線の侵食を防ぐことが可能となり、ビア抵抗の安定化や配線の信頼性を確保することができるようにしたものである。

30

【0094】

以下、本発明の実施の形態3における半導体装置の製造方法について、図面を参照しながら説明する。

図1は本発明の実施の形態3による半導体装置の製造方法の工程断面図を示す。

【0095】

図5は本発明の実施の形態3による半導体装置の製造方法の工程フローチャートであり、図1の工程断面図の(a)ないし(m)の工程に対応する処理工程501ないし514を示している。

40

【0096】

実施の形態1で述べたように、図1において、21は半導体基板、22は半導体基板21上に形成された絶縁膜、23は絶縁膜22の表面に形成された第1配線溝、24は第1配線溝23内を含む絶縁膜22の表面を覆うように形成された銅膜、25は第1配線溝23内に形成された第1配線、26は第1配線25の表面に発生した銅ヒロック、27は第1配線25上を含む絶縁膜22上に形成されたSiN膜、28はSiN膜27上に形成された絶縁膜、29は絶縁膜27上に形成されたビア形状形成用フォトリソマスク、30はSiN膜27及び絶縁膜28に形成されたビア形状、31は絶縁膜28上に形成された第2配線溝形成用フォトリソマスク、32は絶縁膜28の表面に形成された第2

50

配線溝、33はビア形状30底面の第1配線25の露出部を覆うとともにビア形状30内を充填するように絶縁膜28上に形成された銅膜、34は絶縁膜28内に形成されたビア、35は絶縁膜28の第2配線溝32内に形成された第2配線である。

【0097】

以下では図1の各工程断面図について説明する。

図1(a)は半導体基板21上に絶縁膜22を形成し、絶縁膜22の表面に第1配線溝23を形成した直後の工程断面図である。この段階は図5の処理工程501に対応し、成膜装置およびエッチング装置により実現される。

【0098】

図1(b)はスパッタリング法及びメッキ法により第1配線溝23内を含む絶縁膜22の表面全面に銅膜24を形成した直後の工程断面図である。この段階は図5の処理工程502に対応し、スパッタリング装置およびメッキ装置により実現される。

【0099】

図1(c)はCMP法により銅膜24及び絶縁膜22を研磨、平坦化し、洗浄し、絶縁膜22と表面が同一となるように第1配線25を形成した直後の工程断面図である。この段階は図5の処理工程503に対応し、CMP装置および洗浄装置により実現される。

【0100】

図1(d)はアンモニアプラズマ処理により第1配線25上に銅ヒロック26を意図的に発生させた直後の工程断面図である。この段階は図5の処理工程504に対応し、プラズマ処理装置により実現される。

【0101】

図1(e)はCMP法により銅ヒロック26を研磨、平坦化し、洗浄した直後の工程断面図である。この段階は図5の処理工程505に対応し、CMP装置および洗浄装置により実現される。

【0102】

図1(f)はCVD法により第1配線25上を含む絶縁膜22上全面にSiN膜27及び絶縁膜28をこの順で形成した直後の工程断面図である。この段階は図5の処理工程506および507に対応し、成膜装置により実現される。

【0103】

図1(g)はリソグラフィ法により絶縁膜28上にビア形状形成用フォトレジストマスク29を形成した直後の工程断面図である。この段階は図5の処理工程508に対応し、レジスト成膜装置およびリソグラフィ装置により実現される。

【0104】

図1(h)はフォトレジストマスク29を用いたドライエッチング法によりSiN膜27及び絶縁膜28にビア形状30を形成し、アッシング及び洗浄によりビア形状形成用フォトレジストマスク29を除去した直後の工程断面図である。この段階は図5の処理工程509に対応し、ドライエッチング装置、アッシング装置および洗浄装置により実現される。

【0105】

図1(i)はリソグラフィ法により絶縁膜28上に第2配線溝形成用フォトレジストマスク31を形成した直後の工程断面図である。フォトレジストマスク31はビア形状30を含む領域に開口を有している。この段階は図5の処理工程510に対応し、レジスト成膜装置およびリソグラフィ装置により実現される。

【0106】

図1(j)はフォトレジストマスク31を用いたドライエッチング法により絶縁膜28中の表面の一部に第2配線溝32を形成し、アッシング及び洗浄により第2配線溝形成用フォトレジストマスク31を除去した直後の工程断面図である。この段階は図5の処理工程511に対応し、ドライエッチング装置、アッシング装置および洗浄装置により実現される。

【0107】

図1(k)はドライエッチング法によりSiN膜27をエッチングし、洗浄した直後の工程断面図である。この段階は図5の処理工程512に対応し、ドライエッチング装置および洗浄装置により実現される。

【0108】

図1(l)はスパッタリング法及びメッキ法によりビア形状30内および第1配線25の露出した表面および第2配線溝32内を含む絶縁膜28上全面に第2の銅膜33を形成した直後の工程断面図である。この段階は図5の処理工程513に対応し、スパッタリング装置およびメッキ装置により実現される。

【0109】

図1(m)はCMP法により銅膜33及び絶縁膜28を研磨、平坦化し、洗浄し、ビア形状30内を銅膜により充填したビア34と、絶縁膜28と表面が同一の第2配線35とを形成した直後の工程断面図である。この段階は図5の処理工程514に対応し、CMP装置および洗浄装置により実現される。

【0110】

次に、本実施の形態3において、半導体製造装置により実行される、半導体装置の製造方法について説明する。

図1(a)ないし図1(c)は半導体基板21上の絶縁膜22の表面の一部に形成された配線溝23に埋め込まれた第1配線25を形成する工程である。

【0111】

これは従来例の図8(a)ないし図8(c)と同様、半導体基板21上に絶縁膜22を形成し、絶縁膜22の表面に第1配線溝23を形成し、スパッタリング法及びメッキ法により第1配線溝23内を含む絶縁膜22の表面全面に銅膜24を形成し、CMP法により銅膜24及び絶縁膜22を研磨、平坦化し、洗浄し、絶縁膜22と表面が同一となるように第1配線25を形成する、というものである。

【0112】

図1(c)の工程断面図に示された半導体基板に対してアンモニア雰囲気中、80°C程度の基板温度、120秒程度のプラズマ処理を行うと、銅ヒロック26が第1配線25上に発生する(図1(d)参照)。これは第1配線25が熱的なストレスを与えられることにより、銅原子が移動し、銅のグレイン成長が促進されることに起因すると考えられる。銅ヒロックはランダムに発生し、その高さは50~100nm程度である。第1配線25の配線膜厚は350nm程度に設定している。プラズマ処理時の雰囲気としてアンモニアを用いたのはプラズマ中で分解した水素原子による還元雰囲気の中で、銅ヒロックを意図的に発生させることを目的としている。その後、CMP法により銅ヒロック26を研磨し、洗浄し、第1配線25を平坦化する。この状態では第1配線に再度熱処理を加えても、銅原子が移動することは無い。すなわち銅のグレイン成長は飽和状態にある。従って、第1配線25は銅ヒロックの存在しない図1(e)の状態になる。次に、図1(f)のようにCVD法によりSiN膜27及び絶縁膜28を形成する。このCVD法によるSiN膜27及び絶縁膜28の形成時には最高到達温度が400°C程度まで半導体基板21の温度が上昇する。従来例ではこの熱ストレスが図8(c)に示す第1配線5に与えられると、銅原子が移動し銅のグレイン成長が促進され図8(d)に示すような銅ヒロック8がSiN膜6へと侵入してしまう。しかしながら、本実施の形態3では、この熱ストレスが図1(e)に示す第1配線25に与えられたとしても、銅原子が移動することは無く、銅のグレイン成長が促進されず、もはや銅ヒロックは発生しない。このため、SiN膜27は所望の均一な膜厚を有することができ、図1(f)のようになる。

【0113】

SiN膜27の膜厚は配線間容量を低減させるために可能な限り薄膜化することが望まれているが、その後のビア形成や第2配線溝形成のためのドライエッチング工程やアッシング工程や洗浄工程で第1配線が露出しないような膜厚に設定することが重要である。本実施の形態3ではSiN膜27の膜厚を150nmと設定した。また、絶縁膜28の膜厚を800nmとした。従来例の図8(e)に示すようなSiN膜6の膜厚が不均一な状態

でビア形状10形成や第2配線溝13形成のためのドライエッチングを施すと、SiN膜6が部分的に破れ、レジストマスク除去時のアッシングや洗浄、リソグラフィ時の現像液などにより、第1配線5に物理的、化学的なダメージが複数回与えられ、ボイド12や侵食部14を発生させてしまう。しかしながら、本実施の形態3では、図1(h)に示すビア形状30はSiN膜27中まで到達しているが、SiN膜27を貫通することはなく、第1配線25が露出することは無い。SiN膜27のエッチング量はビア形状30形成のためのドライエッチング時のオーバーエッチング量によって決まるが、フロロカーボン系のガスを用い、絶縁膜に対するSiN膜選択比を十分に確保した条件を用い、40nm程度のエッチング量に抑制している。また本実施の形態3の図1(j)に示す第2配線溝32形成後のビア形状30の底部はSiN膜27中まで到達しているが、第1配線25が露出することは無い。SiN膜27のエッチング量は第2配線溝32形成のためのドライエッチング量と、絶縁膜に対するSiN膜選択比から決まるが、フロロカーボン系のガスを用い、絶縁膜に対するSiN膜選択比を確保した条件を用い、80nm程度のエッチング量に抑制している。第2配線溝32形成後のビア形状30の底部のSiN膜27は合計120nm程度がエッチングされ、30nmが残るように設計されている。そして、図1(k)に示すようにフロロカーボン系のガスを用いたドライエッチング法により、ビア形状30底部のSiN膜27をエッチングすることにより、初めて第1配線25が露出する。その後、洗浄を施し、図1(l)に示すようにスパッタリング法及びメッキ法を用いて銅膜33を形成する。この間、第1配線25へのダメージは従来例に比べて最小限に抑えることができる。その後、図1(m)に示すようにCMP法により銅膜33を研磨、平坦化し、洗浄し、ビア34及び第2配線35を形成する。

10

20

【0114】

これにより、第1配線25及びビア34及び第2配線35はボイドや侵食の無い配線となり、ビア抵抗の安定化や配線の信頼性を確保することができる。

【0115】

このように、本実施の形態3によれば、第1の銅配線を絶縁膜と表面が同一となるように埋め込んで形成した後、意図的にアンモニアプラズマ処理を行うことで銅ヒロックを発生させ、この銅ヒロックをCMP法により、研磨し平坦化した後に、デュアルダマシン法により、第1、第2の銅配線を互いに接続するビアと第2の銅配線とを形成するようにしたので、デュアルダマシン法を実施する際に第1の銅配線にヒロックが発生することはもはや無く、デュアルダマシン法を実施する際に形成するSiN層に銅ヒロックが侵入し、一部でSiN層が薄膜化するために、第1の銅配線の一部が露出し、ビア形状形成時のドライエッチングで意図しないダメージを受け、第1の銅配線に侵食部が生じてしまう、というおそれなくなり、ビア抵抗の異常や断線などの信頼性不良が発生する不具合をなくすることができる。

30

【0116】

(実施の形態4)

この実施の形態4は、請求項10、11の発明に対応するもので、第1配線を形成後、バリア層としてSiC膜を第1配線上全面に形成し、その後デュアルダマシン法を行うようにしたもので、バリア層の材質を硬質なものに変更したために、その後の工程で第1配線にヒロックが発生することがなく、第1配線へのダメージを最小限に抑えることが可能となり、第1配線の侵食を防ぐことができ、ビア抵抗の安定化や配線の信頼性を確保することができるようにしたものである。

40

【0117】

以下、本発明の実施の形態4による半導体装置の製造方法について、図面を参照しながら説明する。

図6は本発明の実施の形態4における半導体装置の製造方法の工程断面図を示す。

【0118】

図7は本発明の実施の形態4における半導体装置の製造方法の工程フローチャートであり、図6の工程断面図の(a)ないし(k)の工程に対応する処理工程701ないし712

50

を示す。

【0119】

図6において、61は半導体基板、62は半導体基板61上に形成された絶縁膜、63は絶縁膜62の表面に形成された第1配線溝、64は第1配線溝63内を含む絶縁膜62の表面を覆うように形成された銅膜、65は第1配線溝63内に形成された第1配線、66は第1配線65上を含む絶縁膜62上に形成されたSiN膜、67はSiN膜66上に形成された絶縁膜、68は絶縁膜67上に形成されたビア形状形成用フォトリソマスク、69はSiN膜66及び絶縁膜67に形成されたビア形状、70は絶縁膜67上に形成された第2配線溝形成用フォトリソマスク、71は絶縁膜67の表面に形成された第2配線溝、72はビア形状69底面の第1配線65の露出部を覆うとともにビア形状69内を充填するように絶縁膜67上に形成された銅膜、73は絶縁膜67内に形成されたビア、74は絶縁膜67の第2配線溝71内に形成された第2配線である。

【0120】

以下では図6の各工程断面図について説明する。

図6(a)は半導体基板61上に絶縁膜62を形成し、絶縁膜62の表面に第1配線溝63を形成した直後の工程断面図である。この段階は図7の処理工程701に対応し、成膜装置およびエッチング装置により実現される。

【0121】

図6(b)はスパッタリング法及びメッキ法により第1配線溝63内を含む絶縁膜62の表面全面に銅膜64を形成した直後の工程断面図である。この段階は図7の処理工程702に対応し、スパッタリング装置およびメッキ装置により実現される。

【0122】

図6(c)はCMP法により銅膜64及び絶縁膜62を研磨、平坦化し、洗浄し、絶縁膜62と表面が同一となるように第1配線65を形成した直後の工程断面図である。この段階は図7の処理工程703に対応し、CMP装置および洗浄装置により実現される。

【0123】

図6(d)はCVD法によりSiC膜66及び絶縁膜67を形成した直後の工程断面図である。この段階は図7の処理工程704および705に対応し、成膜装置により実現される。

【0124】

図6(e)はリソグラフィ法により絶縁膜67上にビア形状形成用フォトリソマスク68を形成した直後の工程断面図である。この段階は図7の処理工程706に対応し、レジスト成膜装置およびリソグラフィ装置により実現される。

【0125】

図6(f)はドライエッチング法によりSiC膜66及び絶縁膜67中にビア形状69を形成し、アッシング及び洗浄によりビア形状形成用フォトリソマスク68を除去した直後の工程断面図である。この段階は図7の処理工程707に対応し、ドライエッチング装置、アッシング装置および洗浄装置により実現される。

【0126】

図6(g)はリソグラフィ法により絶縁膜67上に第2配線溝形成用フォトリソマスク70を形成した直後の工程断面図である。フォトリソマスク70はビア形状69を含む領域に開口を有している。この段階は図7の処理工程708に対応し、レジスト成膜装置およびリソグラフィ装置により実現される。

【0127】

図6(h)はドライエッチング法により絶縁膜67の表面の一部に第2配線溝71を形成し、アッシング及び洗浄により第2配線溝形成用フォトリソマスク70を除去した直後の工程断面図である。この段階は図7の処理工程709に対応し、ドライエッチング装置、アッシング装置および洗浄装置により実現される。

【0128】

図6(i)はドライエッチング法によりSiC膜66をエッチングし、洗浄した直後の工

程断面図である。この段階は図7の処理工程710に対応し、ドライエッチング装置および洗浄装置により実現される。

【0129】

図6(j)はスパッタリング法及びメッキ法によりビア形状69内および第1配線65の露出した表面および第2配線溝71内を含む絶縁膜67上全面に第2の銅膜72を形成した直後の工程断面図である。この段階は図7の処理工程711に対応し、スパッタリング装置およびメッキ装置により実現される。

【0130】

図6(k)はCMP法により銅膜72及び絶縁膜67を研磨、平坦化し、洗浄し、ビア73と第2配線74を形成した直後の工程断面図である。この段階は図7の処理工程712に対応し、CMP装置および洗浄装置により実現される。 10

【0131】

次に、本実施の形態4において、半導体製造装置により実行される、半導体装置の製造方法について説明する。

図6(a)ないし図6(c)は半導体基板61上の絶縁膜62の表面の一部に形成された配線溝63に埋め込まれた第1配線65を形成する工程である。

【0132】

これは従来例の図8(a)ないし図8(c)と同様、半導体基板61上に絶縁膜62を形成し、絶縁膜62の表面に第1配線溝63を形成し、スパッタリング法及びメッキ法により第1配線溝63内を含む絶縁膜62の表面全面に銅膜64を形成し、CMP法により銅膜64及び絶縁膜62を研磨、平坦化し、洗浄し、絶縁膜62と表面が同一となるように第1配線65を形成する、というものである。 20

【0133】

図6(c)の工程断面図に示された半導体基板に対してCVD法によりSiC膜66及び絶縁膜67を形成する(図6(d)参照)。このCVD法によるSiC膜66及び絶縁膜67の形成時には最高到達温度が400°C程度まで半導体基板61の温度が上昇する。従来例ではこの熱ストレスが図8(c)に示す第1配線5に与えられると、銅原子が移動し銅のグレイン成長が促進され、図8(d)に示すような銅ヒロック8がSiN膜6へと侵入してしまう。しかしながら、本実施の形態4では、この熱ストレスが図6(c)に示す第1配線65に与えられたとしても、SiC膜66自体の硬度が高いために銅原子が移動することは無く、銅のグレイン成長が促進されず、銅ヒロックは発生しない。このため、SiC膜66は所望の均一な膜厚を有することができ、図6(d)のようになる。 30

【0134】

SiC膜66の膜厚は配線間容量を低減させるために可能な限り薄膜化することが望まれているが、その後のビア形成や第2配線溝形成のためのドライエッチング工程やアッシング工程や洗浄工程で第1配線が露出しないような膜厚に設定することが重要である。本実施の形態4ではSiC膜66の膜厚を150nmと設定した。また、絶縁膜67の膜厚を800nmとした。従来例の図8(e)に示すようなSiN膜6の膜厚が不均一な状態でビア形状10形成や第2配線溝13形成のためのドライエッチングを施すと、SiN膜6が部分的に破れ、レジストマスク除去時のアッシングや洗浄、リソグラフィ時の現像液などにより、第1配線5に物理的、化学的なダメージが複数回与えられ、ボイド12や侵食部14を発生させてしまう。しかしながら、本実施の形態4では、図6(f)に示すビア形状69はSiC膜66中まで到達しているが、SiC膜66を貫通することはなく、第1配線65が露出することは無い。SiC膜66のエッチング量はビア形状69形成のためのドライエッチング時のオーバーエッチング量によって決まるが、フロロカーボン系のガスを用い、絶縁膜に対するSiC膜選択比を十分に確保した条件を用い、40nm程度のエッチング量に抑制している。また本実施の形態4の図6(h)に示す第2配線溝71形成後のビア形状69の底部はSiC膜66中まで到達しているが、第1配線65が露出することは無い。SiC膜66のエッチング量は第2配線溝71形成のためのドライエッチング量と、絶縁膜に対するSiC膜選択比から決まるが、フロロカーボン系 40 50

のガスを用い、絶縁膜に対するSiC膜選択比を確保した条件を用い、80nm程度のエッチング量に抑制している。第2配線溝71形成後のビア形状69の底部のSiC膜66は合計120nm程度エッチングされ、30nm残るように設計されている。そして、図6(i)に示すようにフロロカーボン系のガスを用いたドライエッチング法により、ビア形状69底部のSiC膜66をエッチングすることにより、初めて第1配線65が露出する。その後、洗浄を施し、図6(j)に示すようにスパッタリング法及びメッキ法を用いて銅膜72を形成する。この間、第1配線65へのダメージは従来例に比べて最小限に抑えることができる。その後、図6(k)に示すようにCMP法により銅膜72を研磨、平坦化し、洗浄し、ビア73及び第2配線74を形成する。

【0135】

これにより、第1配線65及びビア73及び第2配線74はボイドや侵食の無い配線となり、ビア抵抗の安定化や配線の信頼性を確保することができる。

10

【0136】

このように、本実施の形態4によれば、第1の銅配線を絶縁膜と表面が同一となるように埋め込んで形成した後、バリア層としてSiN膜よりも硬質なSiC膜を第1配線上に形成し、その後デュアルダマシン法により、第1、第2の銅配線を互いに接続するビアと第2の銅配線とを形成するようにしたので、デュアルダマシン法を実施する際に第1の銅配線にヒロックが発生することはもはや無く、バリア層としてSiN膜を形成する場合の問題である、デュアルダマシン法を実施する際に形成するSiN層に銅ヒロックが侵入し、一部でSiN層が薄膜化するために、第1の銅配線の一部が露出し、ビア形状形成時のドライエッチングで意図しないダメージを受け、第1の銅配線に侵食部が生じてしまう、というおそれがなくなり、ビア抵抗の異常や断線などの信頼性不良が発生する不具合をなくすことができる。

20

【0137】

なお、本件の特許請求の範囲に示された発明は上記各実施の形態で説明した態様に限られるものではない。

例えば、第1配線はその形成後にデュアルダマシン法を実行する際にヒロックが生じ、これが原因となって自身に浸食部が生じるものであれば、銅以外の配線材料で形成するものであってもよい。また、第1配線はダマシン法以外の方法で形成するものであってもよい。

30

【0138】

【発明の効果】

以上のように、本発明の請求項1に係る半導体装置の製造方法によれば、半導体基板上に第1の配線を形成する工程と、該第1の配線にヒロックを発生させる処理を行うヒロック発生工程と、該ヒロック発生工程により発生したヒロックを研磨により除去し、前記第1の配線の表面を平坦化する処理と、前記第1の配線上を含む前記半導体基板上に絶縁膜を形成し、該絶縁膜に前記第1の配線が露出するようにビア形状を形成し、該ビア形状の内部に配線材料膜を埋め込むようにしたので、意図的に発生させたヒロックを研磨除去した後に、バリア層や絶縁膜を形成する場合にヒロックが発生することはなく、バリア層は均一な膜厚に形成することができる。このため、その後の工程でバリア層が意図せぬ破れを起こすことが無く、第1配線へのダメージを最小限に抑えることが可能となり、第1配線の侵食を防ぐことができ、ビア抵抗の安定化や配線の信頼性を確保することができる半導体装置の製造方法が得られる効果がある。

40

【0139】

また、本発明の請求項2に係る半導体装置の製造方法によれば、半導体基板上に形成した第1の絶縁膜に、該絶縁膜と表面が同一になるように埋め込まれた第1の配線を形成する工程と、該第1の配線にヒロックを発生させる処理を行うヒロック発生工程と、該ヒロック発生工程により発生したヒロックを研磨により除去し、前記第1の配線の表面を平坦化する工程と、前記第1の配線上を含む前記半導体基板上に第2の絶縁膜を形成し、該第2の絶縁膜に前記第1の配線が露出するようにビア形状を形成し、該ビア形状の内部に

50

配線材料膜を埋め込み、研磨により不要な配線材料膜を除去してビアおよび第2の配線を形成する工程とを含むようにしたので、意図的に発生させたヒロックを研磨除去した後に、バリア層や絶縁膜を形成する場合にヒロックが発生することはなく、バリア層は均一な膜厚に形成することができる。このため、その後の工程でバリア層が意図せぬ破れを起こすことが無く、第1配線へのダメージを最小限に抑えることが可能となり、第1配線の侵食を防ぐことができ、ビア抵抗の安定化や配線の信頼性を確保することができる半導体装置の製造方法が得られる効果がある。

【0140】

また、本発明の請求項3に係る半導体装置の製造方法によれば、半導体基板上の第1の絶縁膜の表面に、配線が埋め込まれるべき第1の配線溝を形成し、該第1の配線溝の内部を含む前記第1の絶縁膜上に第1の銅膜を形成し、該第1の銅膜を研磨、平坦化して第1の配線を形成する工程と、該第1の配線が形成された半導体基板に対しアニールを行うアニール工程と、該アニールにより前記第1の配線上に発生したヒロックを研磨し、平坦化する工程と、該平坦化された前記第1の配線上にSiN膜を形成する工程と、該SiN膜上に第2の絶縁膜を形成する工程と、該第2の絶縁膜に対しビア形状形成用フォトリソマスクを用いて前記第1の配線に相当する位置にビア形状を形成する工程と、前記第2の絶縁膜に対し配線溝形成用フォトリソマスクを用いて前記ビア形状の上部を含む第2の配線溝を形成する工程と、前記ビア形状底部のSiN膜を除去する工程と、前記ビア形状の内部および前記第2の配線溝の内部を含む前記第2の絶縁膜上に第2の銅膜を形成する工程と、該第2の銅膜を研磨、平坦化しビアと第2の配線とを形成する工程とを含むようにしたので、アニール工程により意図的に銅ヒロックを発生させた後のSiN膜や絶縁膜を形成する工程で銅ヒロックが発生することがなく、SiN膜は均一な膜厚に形成することができる。このため、その後の工程でSiN膜が意図せぬ破れを起こすことが無く、第1の配線へのダメージを最小限に抑えることが可能となり、第1の配線の侵食を防ぐことができ、ビア抵抗の安定化や配線の信頼性を確保することができる半導体装置の製造方法が得られる効果がある。

10

20

【0141】

また、本発明の請求項4に係る半導体装置の製造方法によれば、請求項3記載の半導体装置の製造方法において、前記アニール工程は、酸素を抑制した雰囲気中で前記第1の配線から銅ヒロックが発生する温度と時間の条件の下でアニール処理を行うようにしたので、第1の配線形成後に追加したアニール工程において、銅ヒロックが発生しつくしているため、以降の工程においてヒロックが発生することを確実に抑えることができる半導体装置の製造方法が得られる効果がある。

30

【0142】

また、本発明の請求項5に係る半導体装置の製造方法によれば、請求項3記載の半導体装置の製造方法において、前記SiN膜を形成する工程は、前記ビア形成時及び前記第2の配線溝形成時のビア底部において、SiN膜が残存するような膜厚の形成を行うようにしたので、ビア形成時及び第2の配線溝形成時に行う処理によっても残存できる厚さのものを予め形成しているため、これらの工程を経た後でもSiN膜が確実に残存することが可能な半導体装置の製造方法が得られる効果がある。

40

【0143】

また、本発明の請求項6に係る半導体装置の製造方法によれば、半導体基板上の第1の絶縁膜の表面に、配線が埋め込まれるべき第1の配線溝を形成し、該第1の配線溝を含む前記第1の絶縁膜上に第1の銅膜を形成し、該第1の銅膜を研磨、平坦化して第1の配線を形成する工程と、該第1の配線が形成された半導体基板に対し酸素プラズマ処理を行う工程と、該酸素プラズマ処理により前記第1の配線に発生したヒロックを研磨し、平坦化する工程と、該平坦化された前記第1の配線上にSiN膜を形成する工程と、該SiN膜上に第2の絶縁膜を形成する工程と、該第2の絶縁膜に対しビア形状形成用フォトリソマスクを用いて前記第1の配線に相当する位置にビア形状を形成する工程と、前記第2の絶縁膜に対し配線溝形成用フォトリソマスクを用いて前記ビア形状の上部を含

50

む第2の配線溝を形成する工程と、前記ビア形状底部のSiN膜を除去する工程と、前記ビア形状の内部および前記第2の配線溝の内部を含む前記第2の絶縁膜上に第2の銅膜を形成する工程と、該第2の銅膜を研磨、平坦化しビアと第2の配線とを形成する工程とを含むようにしたので、酸素プラズマ処理により意図的に銅ヒロックを発生させた後のSiN膜や絶縁膜を形成する工程で銅ヒロックが発生することがなく、SiN膜は均一な膜厚に形成することができる。このため、その後の工程でSiN膜が意図せぬ破れを起こすことが無く、第1の配線へのダメージを最小限に抑えることが可能となり、第1の配線の侵食を防ぐことができ、ビア抵抗の安定化や配線の信頼性を確保することができる半導体装置の製造方法が得られる効果がある。

【0144】

また、本発明の請求項7に係る半導体装置の製造方法によれば、請求項6記載の半導体装置の製造方法において、前記酸素プラズマ処理工程は、基板温度が120°C以下となる条件の下で行うようにしたので、第1の配線形成後に追加した酸素プラズマ処理工程において、銅ヒロックが発生しつくしているため、以降の工程においてヒロックが発生するのをなくすことが可能な半導体装置の製造方法が得られる効果がある。

【0145】

また、本発明の請求項8に係る半導体装置の製造方法によれば、半導体基板上的第1の絶縁膜の表面に、配線が埋め込まれるべき第1の配線溝を形成し、該第1の配線溝を含む前記第1の絶縁膜上に第1の銅膜を形成し、該第1の銅膜を研磨、平坦化して第1の配線を形成する工程と、該第1の配線が形成された半導体基板に対しアンモニアプラズマ処理を行う工程と、該アンモニアプラズマ処理により前記第1の配線に発生したヒロックを研磨し、平坦化する工程と、該平坦化された前記第1の配線上にSiN膜を形成する工程と、該SiN膜上に第2の絶縁膜を形成する工程と、該第2の絶縁膜に対しビア形状形成用フォトリソマスクを用いて前記第1の配線に相当する位置にビア形状を形成する工程と、前記第2の絶縁膜に対し配線溝形成用フォトリソマスクを用いて前記ビア形状の上部を含む第2の配線溝を形成する工程と、前記ビア形状底部のSiN膜を除去する工程と、前記ビア形状および前記第2の配線溝の内部を含む前記第2の絶縁膜上に第2の銅膜を形成する工程と、該第2の銅膜を研磨、平坦化しビアと第2配線とを形成する工程とを含むようにしたので、アンモニアプラズマ処理工程により意図的に銅ヒロックを発生させた後のSiN膜や絶縁膜を形成する工程で銅ヒロックが発生することがなく、SiN膜は均一な膜厚に形成することができる。このため、その後の工程でSiN膜が意図せぬ破れを起こすことが無く、第1の配線へのダメージを最小限に抑えることが可能となり、第1の配線の侵食を防ぐことができ、ビア抵抗の安定化や配線の信頼性を確保することができる半導体装置の製造方法が得られる効果がある。

【0146】

また、本発明の請求項9に係る半導体装置の製造方法によれば、請求項8記載の半導体装置の製造方法において、前記アンモニアプラズマ処理工程は基板温度が120°C以下の条件の下で行うようにしたので、第1の配線形成後に追加したアンモニアプラズマ処理工程において、銅ヒロックが発生しつくしているため、以降の工程においてヒロックが発生するのをなくすことが可能な半導体装置の製造方法が得られる効果がある。

【0147】

また、本発明の請求項10に係る半導体装置の製造方法によれば、半導体基板上的第1の絶縁膜の表面に、配線が埋め込まれるべき第1の配線溝を形成し、該第1の配線溝の内部を含む前記第1の絶縁膜上に第1の銅膜を形成し、該第1の銅膜を研磨、平坦化して第1の配線を形成する工程と、該第1の配線上にSiC膜を形成する工程と、該SiC膜上に第2の絶縁膜を形成する工程と、該第2の絶縁膜に対しビア形状形成用フォトリソマスクを用いて前記第1の配線に相当する位置にビア形状を形成する工程と、前記第2の絶縁膜に対し配線溝形成用フォトリソマスクを用いて前記ビア形状の上部を含む第2の配線溝を形成する工程と、前記ビア形状底部のSiC膜を除去する工程と、前記ビア形状および前記第2の配線溝の内部を含む前記第2の絶縁膜上に銅膜を形成する工

10

20

30

40

50

程と、該銅膜を研磨、平坦化しヴィアと第2配線とを形成する工程とを含むようにしたので、SiC膜はSiN膜に比べて硬度が高いために銅ヒロックの発生を抑制することができ、SiC膜は均一な膜厚に形成することができる。このため、その後の工程でSiC膜が意図せぬ破れを起こすことが無く、第1配線へのダメージを最小限に抑えることが可能となり、ヴィア抵抗の安定化や配線の信頼性を確保することができる半導体装置の製造方法が得られる効果がある。

【0148】

また、本発明の請求項11に係る半導体装置の製造方法によれば、請求項10記載の半導体装置の製造方法において、前記SiC膜を形成する工程は、前記ヴィア形成時及び前記第2の配線溝形成時のヴィア底部において、SiC膜が残存するような膜厚の形成を行うようにしたので、第2の絶縁膜の下に形成するSiC膜として、ヴィア形成時及び第2の配線溝形成時に行う処理によっても残存できる厚さのものを予め形成しているため、これらの工程を経た後でもSiC膜が確実に残存する半導体装置の製造方法が得られる効果がある。

10

【図面の簡単な説明】

【図1】本発明の実施の形態1および3における半導体製造方法の工程断面図である。

【図2】本発明の実施の形態1における半導体製造方法の工程フローチャートを示す図である。

【図3】本発明の実施の形態2における半導体製造方法の工程断面図である。

【図4】本発明の実施の形態2における半導体製造方法の工程フローチャートを示す図である。

20

【図5】本発明の実施の形態3における半導体製造方法の工程フローチャートを示す図である。

【図6】本発明の実施の形態4における半導体製造方法の工程断面図である。

【図7】本発明の実施の形態4における半導体製造方法の工程フローチャートを示す図である。

【図8】従来例における半導体製造方法の工程断面図である。

【図9】従来例における半導体製造方法の工程フローチャートを示す図である

【符号の説明】

- 1 半導体基板
- 2 絶縁膜
- 3 第1配線溝
- 4 銅膜
- 5 第1配線
- 6 SiN膜
- 7 絶縁膜
- 8 銅ヒロック
- 9 ヴィア形状形成用フォトリソマスク
- 10 ヴィア形状
- 11 第2配線溝形成用フォトリソマスク
- 12 ボイド
- 13 第2配線溝
- 14 侵食部
- 15 銅膜
- 16 ヴィア
- 17 第2配線
- 21 半導体基板
- 22 絶縁膜
- 23 第1配線溝
- 24 銅膜

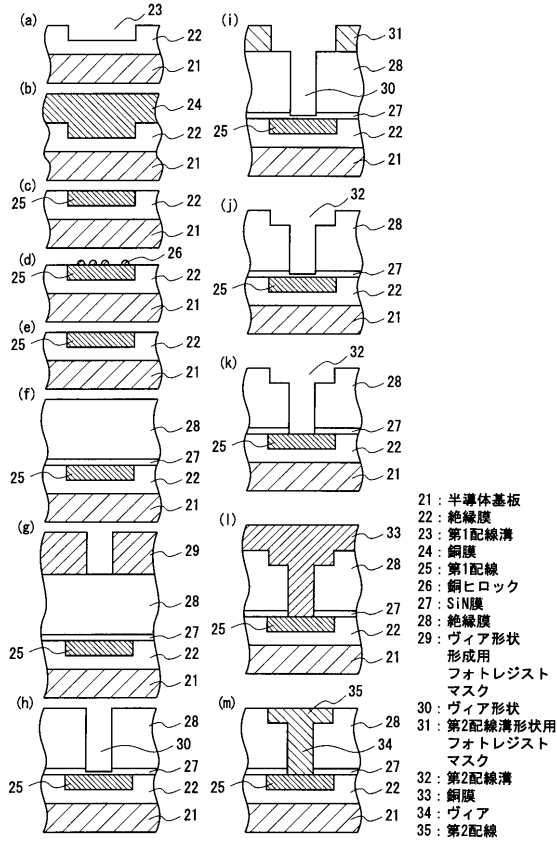
30

40

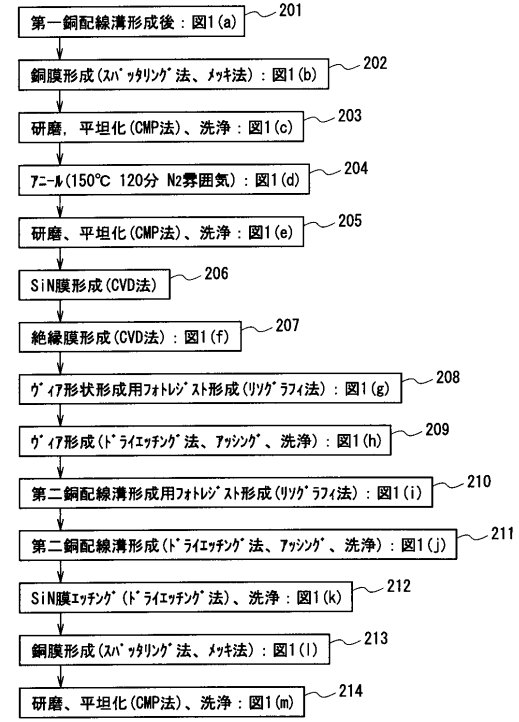
50

2 5	第 1 配線	
2 6	銅ヒロック	
2 7	S i N 膜	
2 8	絶縁膜	
2 9	ビア形状形成用フォトリソマスク	
3 0	ビア形状	
3 1	第 2 配線溝形成用フォトリソマスク	
3 2	第 2 配線溝	
3 3	銅膜	
3 4	ビア	10
3 5	第 2 配線	
4 1	半導体基板	
4 2	絶縁膜	
4 3	第 1 配線溝	
4 4	銅膜	
4 5	第 1 配線	
4 6	銅ヒロック	
4 7	酸化銅層	
4 8	S i N 膜	
4 9	絶縁膜	20
5 0	ビア形状形成用フォトリソマスク	
5 1	ビア形状	
5 2	第 2 配線溝形成用フォトリソマスク	
5 3	第 2 配線溝	
5 4	銅膜	
5 5	ビア	
5 6	第 2 配線	
6 1	半導体基板	
6 2	絶縁膜	
6 3	第 1 配線溝	30
6 4	銅膜	
6 5	第 1 配線	
6 6	S i C 膜	
6 7	絶縁膜	
6 8	ビア形状形成用フォトリソマスク	
6 9	ビア形状	
7 0	第 2 配線溝形成用フォトリソマスク	
7 1	第 2 配線溝	
7 2	銅膜	
7 3	ビア	40
7 4	第 2 配線	

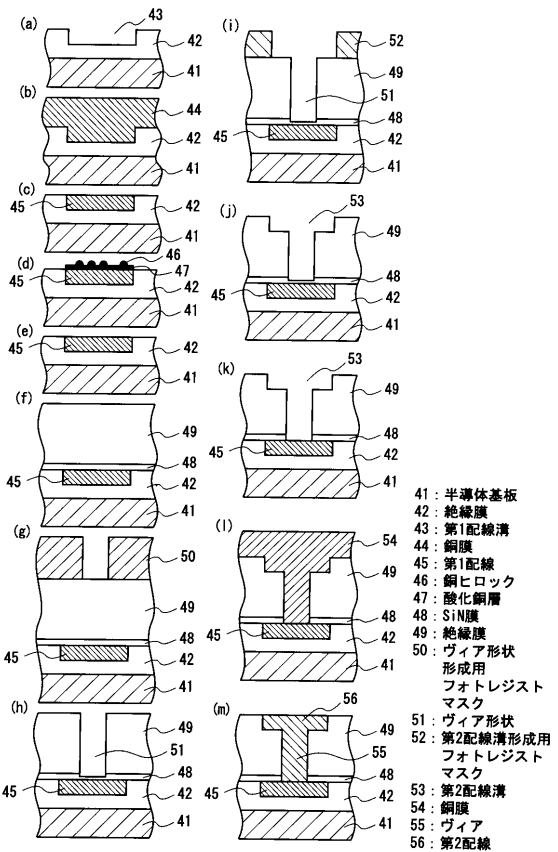
【 図 1 】



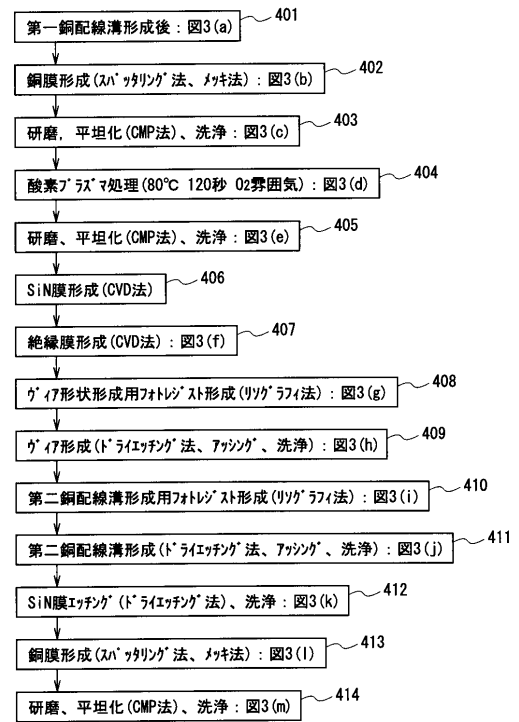
【 図 2 】



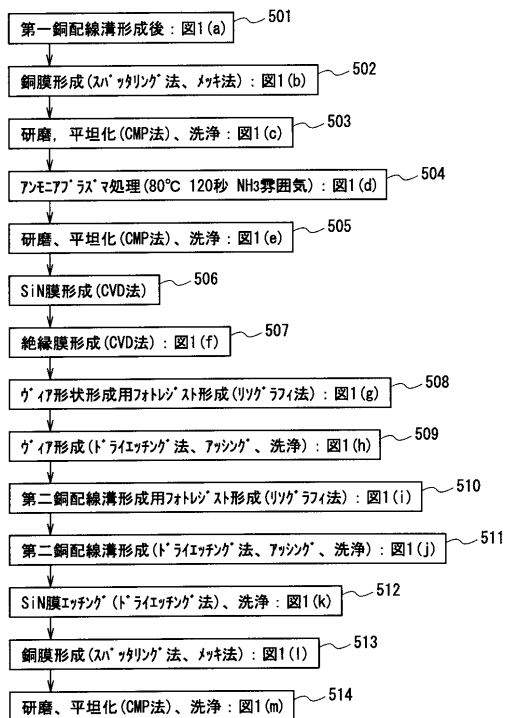
【 図 3 】



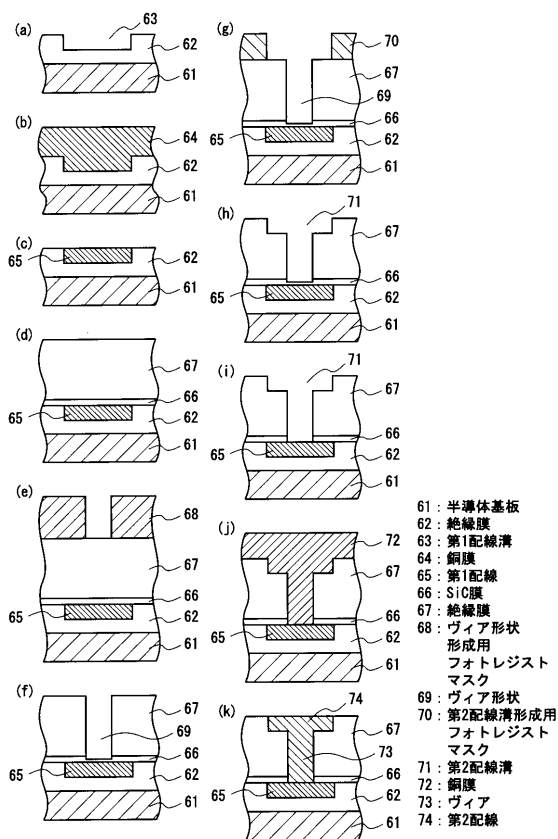
【 図 4 】



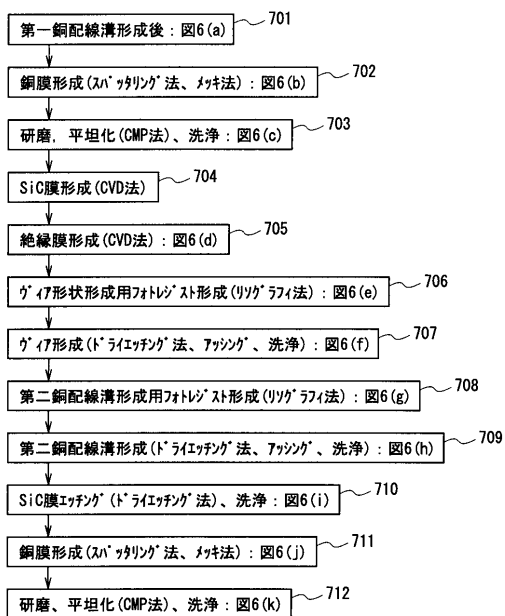
【 図 5 】



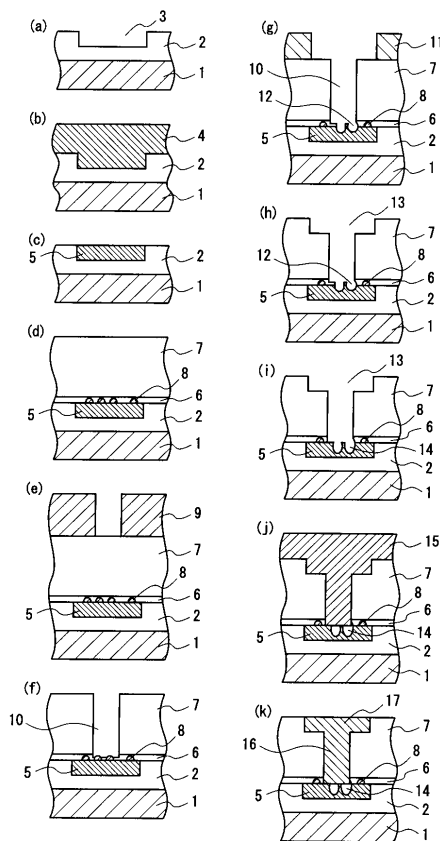
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

