(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/40

(45) 공고일자 1999년03월30일
(11) 등록번호 특0172426
(24) 등록일자 1998년10월23일

(21) 출원번호 특1995-053542
(22) 출원일자 1995년12월21일
(65) 공개번호 특1997-051163
(43) 공개일자 1997년07월29일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 조일재
경기도 수원시 팔달구 인계동 847-38번지
장현순
서울시 서초구 방배동 삼호아파트 2동 506호
(74) 대리인 이건주

심사관 : 정회환

(54) 반도체 메모리장치

요약

1. 청구범위에 기재된 발명이 속하는 기술분야

본 발명은 반도체 메모리장치에 관한 것으로, 특히 데이타패스회로와 패드들간의 거리를 최소화하도록 데이타라인 및 매인입출력라인의 길이를 줄인 반도체 메모리장치에 관한 것이다.

2. 발명이 해결하려고 하는 기술적 과제

종래의 반도체 메모리장치에서 데이타패스회로는 패드들이 배치되지 않는 메모리블럭사이 즉, 센터영역에 배치되었다. 이러한 구조에서는 매인입출력라인이 길어지게 되고, 또한 데이타라인의 길이도 길어지게 된다. 이에 따라 상기 데이타패스회로와 입출력패드간의 간격이 상당히 길어지게 된다. 이렇게 되면 입출력에 소요되는 시간이 길어지게 되며 이는 반도체 메모리장치의 고속동작을 저해하는 요인이 된다. 또, 상기 센터영역에 다수의 데이타패스회로와 다수의 데이타패스 제어회로가 배치되어 상기 센터영역의 레이아웃이 복잡해지고 이에 따라 반도체 메모리 장치의 집적화를 구현하기 어렵게 된다. 이와 같은 문제점을 해소하여 고속동작에 유리하고 집적화구현이 용이한 반도체 메모리장치를 구현하는 것이 본 발명의 과제이다.

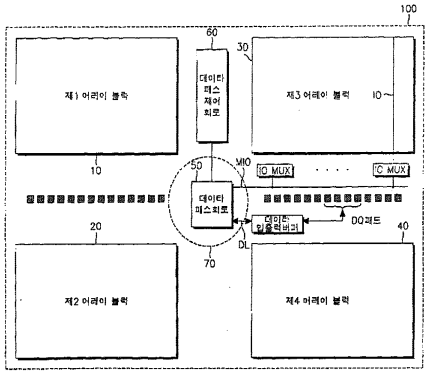
3. 발명의 해결방법의 요지

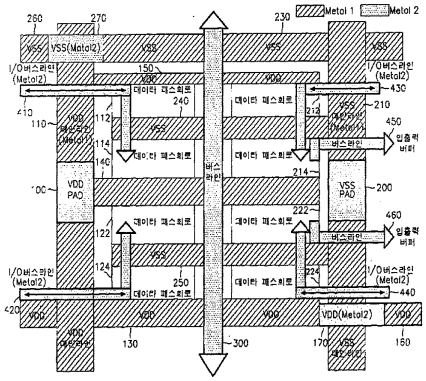
서로 독립적으로 배치된 4개의 어레이블럭으로 분할된 메모리 어레이와, 상기 4개의 어레이블럭중 상단의 어레이블럭들과 하단의 어레이블럭사이의 미들영역에 배치된 다수의 패드들과, 상기 4개의 어레이블럭중 좌측의 어레이블럭과 우측의 어레이블럭사이의 센터영역에 배치된 데이타패스 제어회로와, 상기 4개의 어레이블럭들사이의 미들센터영역에 배치된 데이타패스회로와, 상기 패드들과 데이타패스회로를 접속하는 복수개의 데이타라인과, 상기 메모리 어레이와 데이타패스회로를 접속하는 복수개의 매인입출력라인을 구비하며, 상기 데이타라인 및 매인입출력라인과 상기 데이타패스회로간의 거리를 최소화함을 특징으로 하는 반도체 메모리장치를 구현하므로써 상기 과제를 달성하게 된다.

4. 발명의 중요한 용도

고속동작 및 고집적 반도체 메모리장치.

대표도





명세서

[발명의 명칭]

반도체 메모리장치

[도면의 간단한 설명]

제1도는 종래기술에 따른 회로배치를 보여주는 도면.

제2도는 본 발명의 실시예에 따른 회로배치를 보여주는 도면.

제3도는 제2도를 구성하는 미들센터영역의 상세배치도.

[발명의 상세한 설명]

본 발명은 반도체 메모리장치에 관한 것으로, 특히 데이타패스회로와 패드들간의 거리를 줄여 고속동작하도록 데이타라인 및 매인입출력라인의 길이를 최소화시킨 반도체 메모리장치에 관한 것이다.

동작속도의 고속화는 일반적인 메모리장치가 추구하는 필수불가결한 요건이다. 그러나, 메모리장치의 집적화가 가속화됨에 따라 동작전원전압레벨이 점점 더 낮아지는 추세이므로 고속동작을 실현하는 데는 어려움이 따르게 된다. 이러한 어려움에도 불구하고 고속동작을 위한 노력들은 다양하게 시도되고 있다. 예를 들어, 동기 메모리장치와 같이 고속동작에 적합한 특수한 메모리장치들에 대한 개발이 계속되고 있고, 한 번의 액세스사이클동안 멀티비트를 액세스하는 다양한 모드를 설정하여 간접적인 고속동작의 효과를 도출해 내기도 한다. 반도체 메모리장치를 구성하는 다수의 회로를 최적으로 배치한 레이아웃측면에서 회로와 회로간 및 소자와 소자간의 거리를 단축하는 것도 상기 메모리장치의 고속동작을 위한 바람직한 방편이라 할 수 있다.

제1도는 종래기술에 따른 회로배치를 보여주는 도면이다.

반도체 메모리장치의 메모리셀 어레이영역은 흔히 4개의 어에이블럭으로 분할된다. 제1도의 실시예에서도 메모리셀 어레이영역이 4개의 어레이블럭으로 분할된 구성을 나타내고 있다. 상기에서 도면상 상단에는 제1어레이블럭(10)과 제3어레이블럭(30)이 배치되고, 도면상 하단에는 제2어레이블럭(20)과 제4어레이블럭(40)이 배치된다. 상기 제1, 제3어레이블럭(10, 30)과 제2, 제4어레이블럭(20, 40)사이의 영역(이 영역을 이하에서는 미들영역이라 하겠음)에는 다수의 패드들이 배치된다. 또, 제1, 2어레이블럭(10, 20)과 제3, 제4어레이블럭(30, 40)사이의 영역(이 영역을 이하에서는 센터영역이라 하겠음)에는 데이타패스회로(50))예를 들어 입출력라인 센스앰프, 멀티플렉서, 라이트 드라이버등과 같은 회로들) 및 상기 데이타패스회로(50)를 제어하는 데이타패스 제어회로(60)가 배치된다. 각 어레이블럭(10, 20, 30, 40)의 모서리가 만나는 영역(70)(이영역을 이하에서는 미들센터영역이라 함)에는 파워라인과 버스라인이 배치된다. 도면에서 상기 미들센터영역(70)은 점원으로 표시되어 있다. 상기에서 데이타패스회로(50) 및 데이타패스 제어회로(60)는 제1어레이블럭(10)과 제3어레이블럭(30)사이의 상단의 센터영역에만 도시하였으나, 제2어레이블럭(20)과 제4어레이블럭(40)사이의 하단의 센터영역에도 동일한 데이타패스회로 및 데이타패스 제어회로가 배치된다. 상기 각 메모리셀 어레이는 다수의 워드라인과 다수의 비트라인쌍사이에 접속된 다수의 메모리셀들로 구성된다. 상기 비트라인은 입출력라인 IO과 선택적으로 접속된다. 상기 입출력라인 IO의 최종단은 입출력 멀티플렉서 IO MUX의 입력단과 접속되고, 상기 입출력 멀티플렉서 IO MUX의 출력단은 매인입출력라인 MIO을 통하여 데이타패스회로(50)와 접속된다. 상기 데이타패스회로(50)의 제어단자로는 데이타패스 제어회로(60)의 출력단이 접속된다. 상기 데이타패스회로(50)은 입출력버퍼들과 접속되고, 상기 입출력버퍼들은 입출력패드들과 접속된다.

이상과 같은 제1도의 회로배치에서 리드동작의 경우, 메모리셀에 가장된 데이타는 입출력라인 IO을 통하여 입출력 멀티플렉서 IO MUX로 전송되어 멀티플렉싱동작을 수행한 뒤 소정의 매인데이타라인 MIO에 실리게 된다. 상기 매인데이타라인 MIO에 실린 데이타는 데이타패스회로(50)로 전송되고, 이와 같은 데이타패스회로(50)의 데이타들은 데이타라인 DL을 통하여 데이타 출력버퍼로 전단된다. 상기 데이타 출력버퍼에

서는 소정의 버퍼링동작을 수행하며, 이에 따라 상기 데이타 출력버퍼에서 출력되는 출력데이타는 데이타 출력패드를 통하여 칩외부로 전송된다. 이같은 과정을 거쳐 데이타를 독출하는 리드동작이 완료된다. 라이트동작의 경우는 상기에서 설명한 것과 반대의 경로를 따라 외부에서 입력되는 데이타가 소정의 메모리 셀에 저장된다.

그런데 제1도와 같은 종래의 반도체 메모리장치에서 데이타패스회로는 도면상 좌측의 메모리블러과 도면상 우측의 메모리블럭사이 즉, 센터영역에 배치되었다. 이러한 구조에서는 매인데이타라인 MIO이 길어지게 되고, 또한 데이타라인 DL의 길이도 길어지게 된다. 이에 따라 상기 데이타패스회로(50)와 입출력패드간의 거리가 상당히 멀어지게 된다. 이렇게 되면 입출력에 소요되는 시간이 길어지게 되며, 이는 반도체 메모리장치의 고속동작을 저해하는 요인이 된다. 또, 상기 센터영역에 다수의 데이타패스회로와 다수의 데이타패스 제어회로가 배치되어 상기 센터영역의 레이아웃이 복잡해지고, 이에 따라 반도체 메모리장치의 집적화를 구현하기 어렵게 된다.

따라서 본 발명의 목적은 고속동작에 유리한 반도체 메모리장치를 제공하는 데 있다.

본 발명의 다른 목적은 고집적에 유리한 반도체 메모리장치를 제공하는 데 있다.

서로 독립적으로 배치된 4개의 어레이블럭으로 분할된 메모리 어레이와,

상기 4개의 어레이블럭중 상단의 어레이블럭들과 하단의 어레이블럭사이의 미들영역에 배치된 다수의 패드들과,

상기 4개의 어레이블력중 좌측의 어레이블럭과 우측의 어레이블럭사이의 센터영역에 배치된 데이타패스 제어회로와,

상기 4개의 어레이블럭들사이의 미들센터영역에 배치된 데이타패스회로와,

상기 패드들과 데이타패스회로를 접속하는 복수개의 데이타라인과,

상기 메모리 어레이와 데이타패스회로를 접속하는 복수개의 매인입출력라인을 구비하며,

상기 데이타라인 및 매인입출력라인과 상기 데이타패스회로간의 거리를 최소화함을 특징으로 한다.

이하 첨부된 도면을 사용하여 본 발명에 따른 반도체 메모리장치의 바람직한 회로배치에 대하여 설명하겠다. 도면들중 동일한 구성 및 동일동작을 수행하는 소자들 및 회로들에 대해서는 가능한한 어느 곳에서든지 동일한 참조번호 및 동일참조부호를 사용하겠다.

제2도는 본 발명의 실시예에 따른 회로배치를 보여주는 도면이다.

제2도를 참조하면, 반도체 메모리장치의 메모리셀 어레이영역은 흔히 4개의 어레이블럭으로 분할된다. 제2도로 도시한 본 발명의 실시예에서도 메모리셀 어레이영역은 종래와 마찬가지로 4개의 어레이블럭으로 분할된 구성이다. 제1-4어레이블럭(10, 20, 30, 40)의 배치도 종래와 동일하다. 즉, 상기에서 도면상 상단에는 제1어레이블럭(10)과 제3어레이블럭(30)이 배치되고, 도면상 하단에는 제2어레이블럭(20)과 제4어레이블럭(40)이 배치된다. 상기 제1, 제3어레이블럭(10, 30)과 제2, 제4어레이블럭(20, 40)사이의 영역 즉, 미들영역에는 다수의 패드들이 배치된다. 또, 제1, 제2어레이블럭(10, 20)과 제3, 제4어레이블럭(30, 40)사이의 영역 즉, 센터영역에는 데이타패스 제어회로(60)가 배치된다. 각 어레이블럭(10, 20, 30, 40)의 모서리가 만나는 영역(70) 즉, 미들센터영역에는 데이타패스회로가 배치된다. 또, 상기 미들센터영역(70)의 공정상 상기 데이타패스회로(50)가 다른 층에는 파워라인과 버스라인이 배치된다. 도면에서 상기 미들센터영역(70)은 점원을 표시되어 있다. 상기 각 메모리셀 어레이는 다수의 워드라인과 다수의 비트라인쌍사이의 접속된 다수의 메머리셀들로 구성된다. 상기 비트라인은 입출력라인 IO과 선택적으로 접속된다. 상기 입출력라인 IO의 일단은 입출력 멀티플렉서 IO MUX의 입력단과 접속되고, 상기 입출력 멀티플렉서 IO MUX의 출력단은 매인입출력라인 MIO을 통하여 데이타패스회로(50)와 접속된다. 상기 데이타패스회로(50)의 제어단자로는 데이타패스 제어회로(60)의 출력이 전달된다. 상기 데이타패스회로(50)은 입출력버퍼들과 접속되고, 상기 입출력버퍼들은 입출력패드들과 접속된다.

제3도는 제2도를 구성하는 미들센터영역의 상세배치도이다.

제3도를 참조하면, 제2도를 구성하는 미들센터영역(70)에는 공정상 최하단에는 8개의 데이타패스회로들이 배치된다. 데이타패스회로(112, 114)는 제2도를 구성하는 제1어레이블럭(10)과 접속되고, 데이타패스회로(122, 124)는 제2도를 구성하는 제2어레이블럭(20)과 접속된다. 또, 데이타패스회로(212, 214)는 제2도를 구성하는 제3어레이블럭(30)과 접속되고, 데이타패스회로(222, 224)는 제2도를 구성하는 제4어레이블럭(40)과 접속된다. 이어서 두 번의 메탈공정에 의해서 파워라인과 버스라인의 배치가 완료되는 데 그 과정은 다음과 같다. 설명에 앞서 상기 라인들중 빗금친 영역은 제1메탈공정에 의해 형성되고, 점으로 표시된 영역은 제2메탈공정에 의해 형성된다.

우선 제1메탈공정에서 도면상 좌측에 VDD매인라인(110)이 형성되고, 도면상 우측에 VSS매인라인(210)이 형성된다. 또, 상기 VSS매인라인(210)과 접속된 VSS라인들(230, 240, 250)과 상기 VDD매인라인(110과 접속된 VDD라인들(130, 140, 150)은 도면상 상단부터 도면상 하단에 걸쳐 엇갈리게 형성된다. 상기 도면상 최상단의 VSS라인(230)의 VDD매인라인(110) 건너편에는 VSS라인(260)이 형성된다. 상기 도면상 최하단의 VDD라인(130)의 VDD매인라인(110) 건너편에는 VDD라인(160)이 형성된다. 이상의 과정을 거쳐 제1메탈공정은 완료된다.

이어서 제2메탈공정이 실행된다. 제2메탈공정에서 상기 VDD매인라인(110)의 중앙영역에 VDD패드(100)가 형성되고, 상기 VSS매인라인(210)의 중앙영역에 VSS패드(200)가 형성된다. 또, VSS라인들(230, 260)을 접속하기 위한 VSS라인(270)이 형성되고, VDD라인들(130, 160)을 접속하기 위한 VDD라인(170)이 형성된다. 상기 VSS라인(270)은 점퍼를 이용하여 상기 VSS라인들(230, 260)을 접속하게 된다. 또한, 도면상 연직방향으로 버스라인(300)이 형성된다. 또, 각 데이타패스회로들과 입출력라인을 접속하기 위한 버스라인들(410-440)이 형성되고, 상기 데이타패스회로들과 입출력버퍼들을 접속하기 위한 버스라인들(450, 460)이

형성된다. 이상의 과정을 거쳐 제2메탈공정이 완료된다.

상기 제2도와 같은 데이타패스회로들을 상기 제3도에 나타난 것과 같이 형성하게 되면, 데이타패스회로와 입출력라인간의 거리와 데이타패스회로와 데이타라인긴의 거리가 단축됨은 물론 궁극적으로 데이타패스회로와 데이타입출력패드들사이의 거리를 최소화할 수 있게 된다. 따라서 상기와 같은 회로배치에 따라 데이타가 입출력되는 데 걸리는 경로가 최소화되고, 이는 고속동작을 효과적으로 구현하게 된다. 또한 센터영역에 배치되었던 데이타패스회로들이 미들센터영역에 배치되므로써 반도체 메모리장치의 전반적인 레이아웃이 용이해지고 집적화에 유리하게 된다.

(57) 청구의 범위

청구항 1

반도체 메모리장치에 있어서, 서로 독립적으로 배치도니 4개의 어레이블럭으로 분하된 메모리 어레이와, 상기 4개의 어레이블럭중 상단의 어레이블럭들과 하단의 어레이블럭사이의 미들영역에 배치된 다수의 패드들과, 상기 4개의 어레이블럭중 좌측의 어레이블럭과 우측의 어레이블럭사이의 센터영역에 배치된 데이타패스 제어회로와, 상기 4개의 어레이블럭들사이의 미들센터영역에 배치된 데이타패스회로와, 상기 패드들과 데이타패스회로를 접속하는 복수개의 데이타라인과, 상기 메모리 어레이와 데이타패스회로를 접속하는 복수개의 매인입출력라인의 구비하며, 상기 데이타리인 및 매인입출력라인과 상기 데이타패스회로간의 거리를 최소화함을 특징으로 하는 반도체 메모리장치.

청구항 2

제1항에 있어서, 상기 반도체 메모리장치의 미들센터영역은 파워라인과 버스라인이 형성됨을 특징으로 하는 반도체 메모리장치.

청구항 3

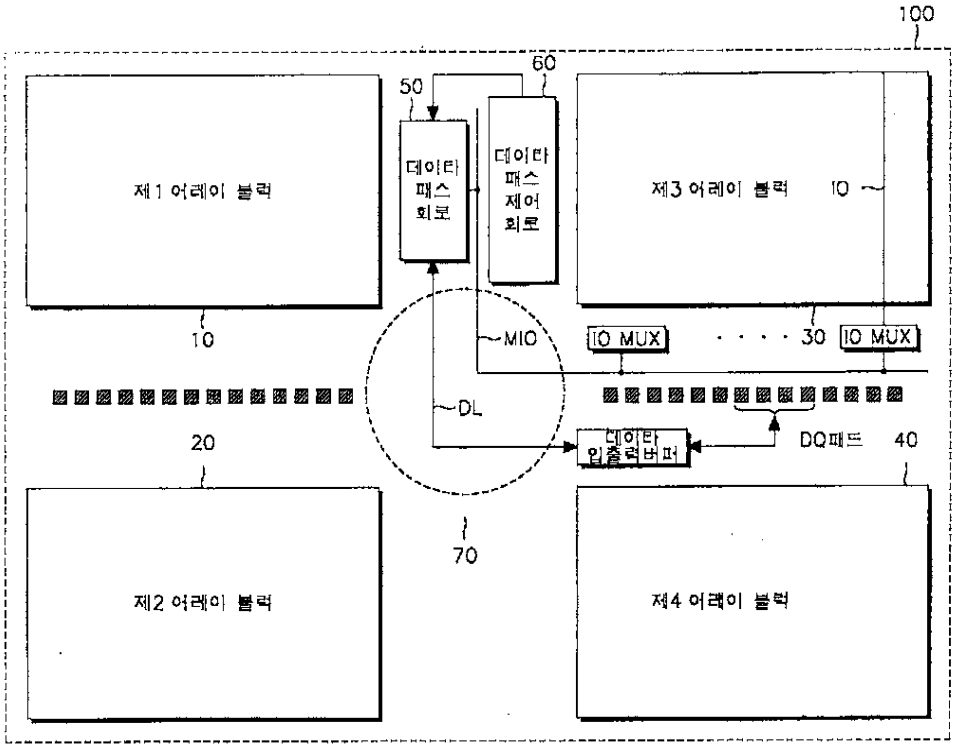
제2항에 있어서, 상기 파워라인과 버스라인들간의 접속이 점퍼를 사용함을 특징으로 하는 반도체 메모리장치.

청구항 4

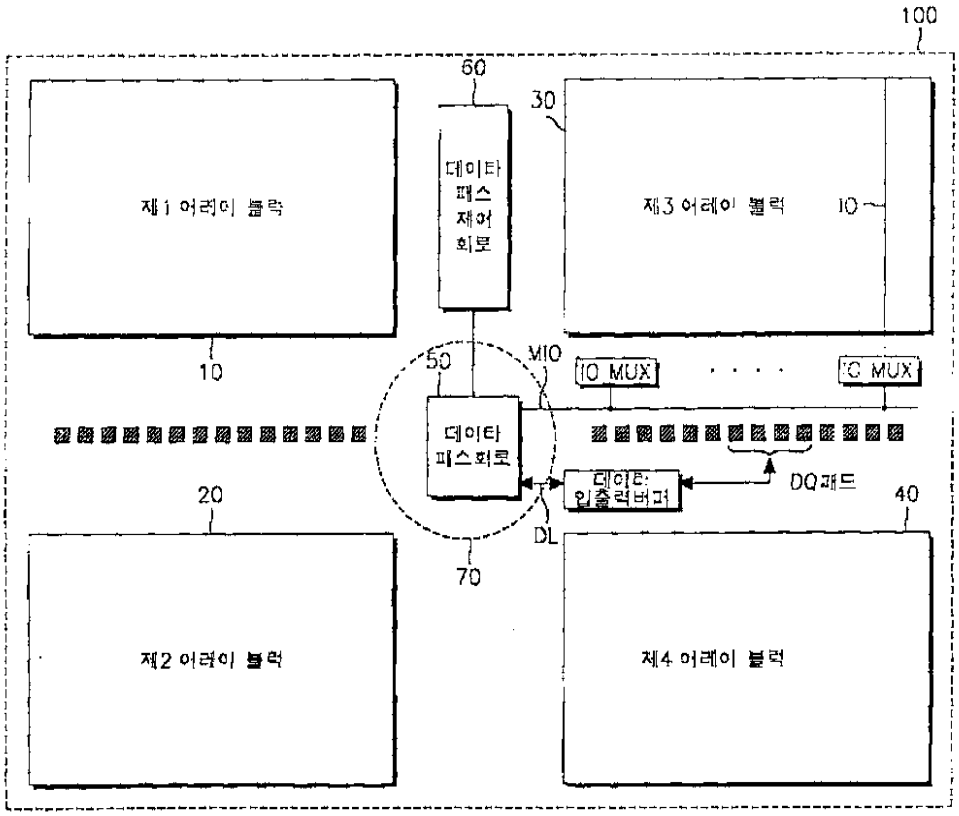
제1항 또는 제2항에 있어서, 상기 파워라인 및 버스라인과 데이타패스회로가 공정상 다른층에 형성됨을 특징으로 하는 반도체 메모리장치.

도면

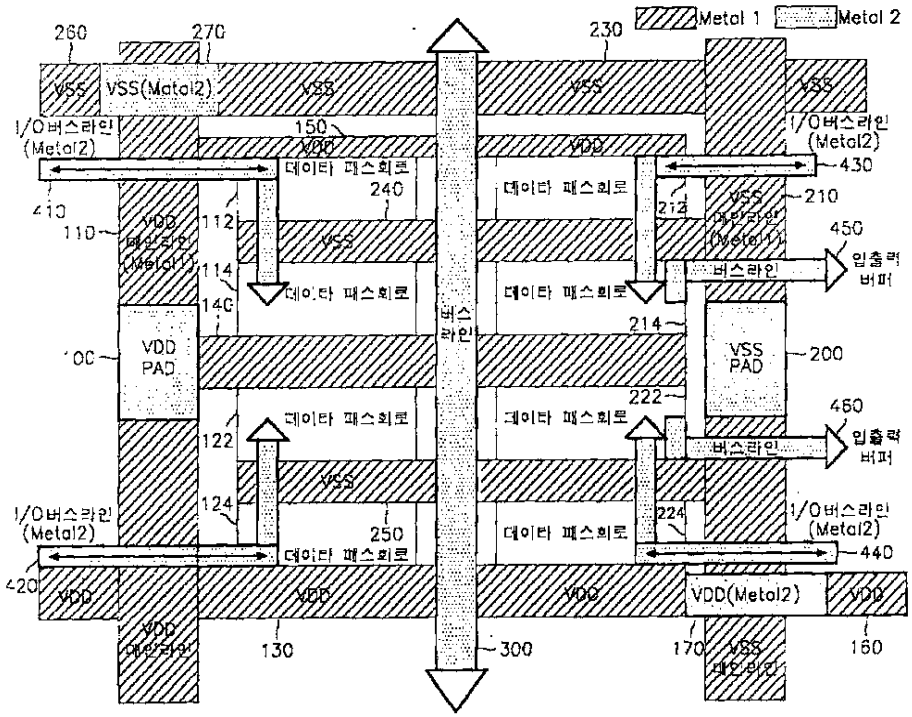
도면1



도면2


100
60
30
제1 어레이 블럭
데이타 패스 제어 회로
제3 어레이 블럭
IO
10
50
MIO
IO MUX
IO MUX
데이타 패스회로
데이타 입출력버퍼
DQ패드
20
40
DL
70
제2 어레이 블럭
제4 어레이 블럭

도면3


Metal 1
Metal 2
260
270
230
VSS
VSS(Metal2)
VSS
VSS
VSS
I/O버스라인 (Metal2)
150
VDD
VDD
I/O버스라인 (Metal2)
데이타 패스회로
430
240
데이타 패스회로
210
410
110
VDD 메인라인 (Metal1)
112
VSS
212
VSS 메인라인 (Metal1)
450
입출력 버퍼
114
버스라인
데이타 패스회로
데이타 패스회로
140
214
VDD PAD
VSS PAD
200
222
460
데이타 패스회로
데이타 패스회로
122
버스라인
입출력 버퍼
VSS
124
224
I/O버스라인 (Metal2)
250
데이타 패스회로
I/O버스라인 (Metal2)
데이타 패스회로
440
420
VDD
VDD
VDD
VDD(Metal2)
VDD
VDD 메인라인
130
300
170
VSS 메인라인
160