



(12) 发明专利

(10) 授权公告号 CN 101379707 B

(45) 授权公告日 2012. 10. 31

(21) 申请号 200780004443. 6

(22) 申请日 2007. 02. 02

(30) 优先权数据

60/764, 803 2006. 02. 02 US

(85) PCT申请进入国家阶段日

2008. 08. 04

(86) PCT申请的申请数据

PCT/SG2007/000034 2007. 02. 02

(87) PCT申请的公布数据

W02007/089211 EN 2007. 08. 09

(73) 专利权人 新加坡国立大学

地址 新加坡新加坡市

(72) 发明人 许永平 邬宏磊

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 黄小临

(51) Int. Cl.

H03M 1/38 (2006. 01)

(56) 对比文件

US 6864821 B2, 2005. 03. 08, 全文.

US 6720903 B2, 2004. 04. 13, 全文.

US 6118400 A, 2000. 09. 12, 全文.

US 20050231412 A1, 2005. 10. 20, 全文.

审查员 刘娜

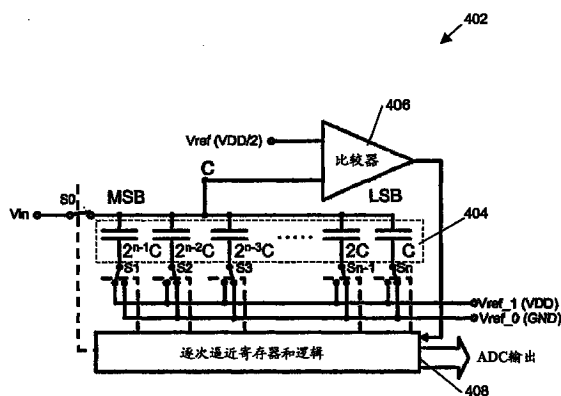
权利要求书 2 页 说明书 5 页 附图 6 页

(54) 发明名称

一种模数转换器

(57) 摘要

一种模数转换器 (ADC) 和一种包括所述 ADC 的基于电池运转的电子装置。所述 ADC 包括: 输入开关; 二进制加权电容阵列, 在所述输入开关处于导通状态时, 所述电容阵列通过所述输入开关获得输入电压信号; 多个开关, 其每一个在与所述输入开关相对的一侧分别与所述电容阵列中对应的一个串联, 其中, 对于每个开关, 当其处于一种开关状态下时, 向其施加 V_{DD} 信号, 而当其处于另外一种开关状态下时, 将其接地; 比较器, 其将来自所述电容阵列的输入开关侧的电压输入作为一个输入, 并将 $V_{DD}/2$ 的电压作为另一输入; 以及耦合于比较器输出端、用于基于比较器输出控制开关的开关控制单元。



1. 一种模数转换器 ADC, 包括:

输入开关;

二进制加权电容阵列, 被配置以在所述输入开关处于导通状态时, 通过所述输入开关接收输入电压信号;

多个开关, 在各个电容与所述输入开关比较相对的一侧分别与所述电容阵列中对应的一个串联, 其中, 所述多个开关被配置具有各自的第一开关状态和至少各自的第二开关状态, 在该第一开关状态下, 所述开关与参考电压 V_{DD} 耦接, 而在该第二开关状态下, 所述开关接地;

比较器, 其具有第一输入和第二输入, 该第一输入被配置来从所述电容阵列的输入开关侧接收电压, 该第二输入被配置以接收所述参考电压一半的 $V_{DD}/2$ 的电压信号; 以及

逐次逼近寄存器 SAR, 其耦合于所述比较器的输出端, 并且被配置以基于至少部分的所述比较器的输出控制所述输入开关和所述多个开关。

2. 根据权利要求 1 所述的 ADC, 其中, 所述输入开关被配置在模数转换之前处于接通状态, 以向所述二进制加权电容阵列提供输入电压; 以及所述输入开关被配置在模数转换过程中处于断开状态。

3. 根据权利要求 2 所述的 ADC, 其中, 在模数转换的开始阶段, 将连接于所述 ADC 的数字输出的最高有效位 MSB 所对应的电容的第一开关配置耦接至所述 V_{DD} 信号, 并且将在所述多个开关中的所有其它的开关配置接地。

4. 根据权利要求 3 所述的 ADC, 其中, 响应于所述比较器确定来自所述电容阵列的输入开关侧的电压大于 $V_{DD}/2$, 连接于所述 MSB 电容的所述第一开关被配置接地以使所述输入电压减少 $V_{DD}/2$; 以及响应于所述电容阵列的输入开关侧的电压小于或等于 $V_{DD}/2$, 则所述第一开关被配置维持耦接 V_{DD} 。

5. 根据权利要求 4 所述的 ADC, 其中, 与所述 MSB 电容耦接的第一开关接地以使所述输入电压减少 $V_{DD}/2$, 以使得所述电容阵列的输入开关侧的电压降低到 0 伏特到 $V_{DD}/2$ 伏特范围内。

6. 根据权利要求 4 所述的 ADC, 其中, 在寄存器序列中, 将所述多个开关中耦接于下一个较低位电容的第二开关被配置切换至所述 V_{DD} ; 并且响应于所述比较器确定来自所述电容阵列的输入开关侧的电压大于 $V_{DD}/2$, 所述第二开关被配置切换至接地, 以及响应于所述电容阵列的输入开关侧的电压小于或等于 $V_{DD}/2$, 则所述第二开关被配置维持耦接至 V_{DD} 。

7. 根据权利要求 6 所述的 ADC, 其中, 所述寄存器序列被配置顺序地作用于在所述多个开关中的所有的开关, 从耦接于所述 MSB 电容的所述第一开关至耦接于最低有效位 LSB 所对应的电容的第三开关。

8. 根据权利要求 7 所述的 ADC, 其中, 当连接于所述最低有效位 LSB 电容的所述第三开关受到所述寄存器序列的作用后, 所述输入开关被配置关闭, 以向所述电容阵列提供新的输入信号。

9. 根据权利要求 1 所述的 ADC, 其中, 所述输入开关被实现为采样开关。

10. 根据权利要求 9 所述的 ADC, 其中, 所述采样开关包括 n 型和 p 型晶体管对。

11. 根据权利要求 1 所述的 ADC, 其中, 所述输入开关在低噪声运转跨导放大器 LN-OTA

的输出级中实现,其中所述低噪声运转跨导放大器耦合于所述 ADC。

12. 根据权利要求 11 所述的 ADC,其中,所述输入开关通过位于耦合于所述 ADC 的低噪声运转跨导放大器的输出级中的一对开关元件实现。

13. 一种基于电池运转的电子装置,包括一模数转换器 ADC,其中该 ADC 包括:

输入开关;

二进制加权电容阵列,被配置以在所述输入开关处于导通状态时,通过所述输入开关接收输入电压信号;

多个开关,在各个电容与所述输入开关比较相对的一侧分别与所述电容阵列中的对应一个串联,其中,所述多个开关被配置具有各自的第一开关状态和至少各自的第二开关状态,在该第一开关状态下,所述多个开关与参考电压 V_{DD} 耦接,而在该第二开关状态下,所述多个开关接地;

比较器,其具有第一输入和第二输入,该第一输入被配置来从所述电容阵列的输入开关侧接收电压,该第二输入被配置以接收所述参考电压一半的 $V_{DD}/2$ 的电压信号;以及

逐次逼近寄存器 SAR,其耦合于所述比较器的输出端,并且被配置以基于至少部分的所述比较器的输出控制所述输入开关和所述多个开关。

14. 根据权利要求 13 所述的基于电池运转的电子装置,其中,所述电子装置是用于脑电图 EEG 和心电图 ECG 的医药装置。

15. 根据权利要求 13 所述的基于电池运转的电子装置,还包括:

输入单元,耦接于所述 ADC;

输出单元,耦接于所述 ADC;以及

电池单元,耦接于所述 ADC、所述输入单元和所述输出单元。

16. 根据权利要求 13 所述的基于电池运转的电子装置,其中,所述 ADC 的所述输入开关在低噪声运转跨导放大器 LN-OTA 的输出级中通过开关元件对实现。

17. 根据权利要求 16 所述的基于电池运转的电子装置,还包括 ADC 时钟和控制电路,其耦接于所述开关元件对,被配置来在模数转换期间周期地切断所述 LN-OTA 的输出级。

18. 根据权利要求 17 所述的基于电池运转的电子装置,还包括:环形振荡器,其耦接于所述 ADC 时钟和控制电路。

19. 根据权利要求 13 所述的基于电池运转的电子装置,其中所述多个开关被配置来在 2 微秒 (us) 内执行模数转换,并且所述装置具有小于 1 千采样每秒 (kS/s) 的数据速率。

20. 根据权利要求 13 所述的基于电池运转的电子装置,其中,所述 V_{DD} 0.8 伏特。

一种模数转换器

技术领域

[0001] 本发明广泛涉及模数转换器 (ADC) 和包括 ADC 的基于电池运转的电子装置。

背景技术

[0002] 基于电池运转的装置得到了广泛应用。例如,许多患者受益于提供实时监测并可能提供现场治疗的可穿戴的医学装置。人们期待这些装置在重量轻体积小的单一微型电池的作用下运转。因此这些装置需要在低的电源电压(例如:1-1.5V)下以超低的能耗运转,以获得长的电池寿命。另外,该装置需要具有低的输入噪声,以便提取非常弱的生物医学信号。还期望这些装置具有轨对轨输入范围。因而,需要一种低电压低功率的生物医学信号获取集成电路(IC)。

[0003] 模数转换器(ADC)用作真实世界参数和数字信号之间的接口,并且是混合信号 IC 中的重要组件。重要的是,ADC 具有低电压和低功率。基于电荷再分配的逐次逼近 ADC 广泛地用于低功率应用。其工作原理是在所有的逐次逼近 ADC 中使用的二分查找算法。

[0004] 图 1 示出了传统的基于电荷再分配的逐次逼近 ADC 100。ADC 100 的二进制加权电容阵列 102 同时用作数模转换器(DAC)和采样电容。传统的 ADC 100 非常依赖于模拟 CMOS 开关,其应该将全部电平的模拟信号传递给电容阵列 102。但是,在低电源电压下,即当 $V_{DD} < V_{thn} + V_{thp}$ 时,CMOS 开关将对电压接近 V_{DD} 的一半的信号表现出非常高的电阻。因此,传统的 ADC 100 不适用于低电压操作。已提出了多种修改用于降低电源电压。

[0005] 例如,已提出了一种如图 2 所示的 ADC 200 的结构,其中,将输入直接馈送至比较器 202。由于控制电容阵列的开关不再与输入信号连接,因此控制电容阵列的开关仅需传输供电轨电平(supply-rail-level)的信号。但是,应当注意,由于比较器 202 的输入处存在端口的采样保持(S/H)电路 204,因此使得所述开关仍存在潜在的问题。此处的补救将 DAC 的输出调整为仅 $V_{DD}/2$ 或者更低,以允许 S/H 电路 204 的校正操作。尽管该结构 200 能够在低电源电压下(即 $V_{DD} < V_{thn} + V_{thp}$)工作,但是其输入范围限于共模输入范围或者 V_{DD} 的一半中更低的一个。因此,其不能够处理轨对轨的输入信号。

[0006] 此外,提出了一种不需要比较器具有宽的共模输入范围的结构。但是,除了电容阵列之外,其还需要额外的电容,这将导致费用增加。

[0007] 图 3 示出了 ADC 300 的结构,其中,通过在转换之前缩小输入信号而实现轨对轨的输入范围。但是,信号缩放是通过使用额外电容实现,这将导致费用增加。

[0008] S/H 电路通常在 ADC 之前,其会消耗不容忽视的功率和芯片面积。尽管有可能将 S/H 电路和比较器相结合以节省芯片面积,但是仍需要消耗额外的功率来提供 S/H 功能。

[0009] 因此,需要提供一种具有轨对轨输入范围的低电压低功率的 ADC 来解决至少一个上述的问题。

发明内容

[0010] 根据本发明的一个方面,本发明提供了一种模数转换器(ADC),其包括:输入开

关；二进制加权电容阵列，在所述输入开关处于导通状态时，所述电容阵列通过所述输入开关接收输入电压信号；多个开关，其每一个在与所述输入开关相对的一侧分别与所述电容阵列中对应的一个串联，其中，对于每个开关，当其处于一种开关状态下时，向其施加 V_{DD} 信号，而当其处于另外一种开关状态下时，将其接地；比较器，其将来自所述电容阵列的输入开关侧的电压作为一个输入，并将 $V_{DD}/2$ 的电压作为另一输入；以及逐次逼近寄存器 (SAR)，其耦合于所述比较器的输出端，用于基于所述比较器的输出控制所述开关。

[0011] 在模数转换之前，所述输入开关可处于接通状态，以向所述二进制加权电容阵列提供输入电压；在模数转换过程中，所述输入开关可处于断开状态。

[0012] 在模数转换的开始阶段，可将连接于所述电容阵列中具有最高有效位 (MSB) 的电容的开关切换至所述 V_{DD} 信号，并且将所有其它的开关切换至接地。

[0013] 如果所述比较器确定来自所述电容阵列的输入开关侧的电压大于 $V_{DD}/2$ ，则可将连接于所述 MSB 电容的开关切换至接地以使所述输入电压减少约 $V_{DD}/2$ ；如果所述电容阵列的输入开关侧的电压小于或等于 $V_{DD}/2$ ，则可将连接于所述 MSB 电容的开关切换至 V_{DD} 。

[0014] 当所述 MSB 电容被切换至接地以使所述输入电压减少约 $V_{DD}/2$ 时，所述电容阵列的输入开关侧的电压可降低到约 0 到 $V_{DD}/2$ 范围内。

[0015] 在寄存器序列中，可将连接于下一个较低位电容的开关切换至所述 V_{DD} 信号；如果所述比较器确定来自所述电容阵列的输入开关侧的电压大于 $V_{DD}/2$ ，则可将所述下一个开关切换至接地，以及如果所述电容阵列的输入开关侧的电压小于或等于 $V_{DD}/2$ ，则可将所述下一个开关切换至 V_{DD} 。

[0016] 所述寄存器序列可顺序地作用于所有的开关。

[0017] 当连接于最低有效位 (LSB) 电容的开关受到所述寄存器序列的作用后，所述输入开关可关闭，以向所述电容阵列提供新的输入信号。

[0018] 所述输入开关可被实现为采样开关。

[0019] 所述采样开关可包括 n 型和 p 型晶体管对。

[0020] 所述输入开关可在低噪声运转跨导放大器 (LN-OTA) 的输出级中实现，其中所述低噪声运转跨导放大器耦合于所述 ADC。

[0021] 所述输入开关可通过位于耦合于所述 ADC 的低噪声运转跨导放大器的输出级中的一对开关元件实现。

[0022] 根据本发明的另一方面，提供了一种基于电池运转的电子装置，其包括如上所述的 ADC。

[0023] 所述电子装置是可用于脑电图 (EEG) 和心电图 (ECG) 的医药装置。

附图说明

[0024] 通过结合附图进行的以下示例性的描述，本领域的技术人员将更好地理解本发明的实施方案。其中：

[0025] 图 1 示出了传统的基于电荷再分配的逐次逼近模数转换器 (ADC) 的示意图；

[0026] 图 2 示出了将输出直接馈送至比较器的传统 ADC 的示意图；

[0027] 图 3 示出了通过在转化之前缩小输入信号而获得轨对轨的输入范围的传统 ADC 的示意图；

- [0028] 图 4 示出了根据本实施方案的改进的 n 位逐次逼近模数转换器的示意图；
- [0029] 图 5 示出了根据本实施方案的耦合于 ADC 的伪采样保持电路的示意图；
- [0030] 图 6a 示出了微分非线性相对于编码宽度的曲线图；
- [0031] 图 6a 示出了积分非线性相对于编码宽度的曲线图；
- [0032] 图 7 示出了电压相对于时间的曲线图，其示出了由开关导致的误差；以及
- [0033] 图 8 示出了基于电池运转的电子器件的示意图。

具体实施方式

[0034] 这里描述的实施方案提供了一种 ADC，其用于低电压和低功率下的 A/D 转换，例如远程传感器网络和微型医学装置。这些实施方案提供了低电压的模数 (A/D) 转换，而不需要使用 ADC 的二进制电容阵列之外的额外电容。

[0035] 图 4 示出了改进的 n 位逐次逼近 ADC 402 的示意图。 n 的实际值实际上是任意的，并可根据需要选取。ADC 402 包括二进制加权电容阵列 404 和多个开关 S_1-S_n 。在本实施例中，使用了 CMOS 开关。每个开关 S_1-S_n 均串连于相应的电容，并且仅需传递供电轨电平。发明人已认识到，在低电压工作的情况下，通过修改基于电荷再分配的逐次逼近 ADC 的拓扑结构，当比较器的共模输入范围处于电源轨之间的中间电平（即包括 $V_{DD}/2$ ）时，ADC 402 能够获得轨对轨的输入范围。

[0036] ADC 402 还包括比较器 406。使用在非活动状态下不消耗任何功率的动态比较器 406 来减小功率消耗。比较器 406 的一端耦合于 ADC 402 的电容阵列 404，另一端具有 $V_{DD}/2$ 的参考电压 (V_{ref})。在描述的实施方式中将值 $V_{DD}/2$ 选择作为参考电压的原因在于，假定 V_{in} 的满电压范围为 V_{DD} 时， $V_{DD}/2$ 则给出最高有效位 (MSB) 值。ADC 402 还包括逐次逼近寄存器 (SAR) 408。SAR 408 控制输入开关 S_0 以及 ADC 402 的开关 S_1-S_n 。

[0037] ADC 402 从最高有效位 (MSB) 到最低有效位 (LSB) 进行 A/D 转换。MSB 对应于电容 $2^{n-1}C$ ，LSB 对应于电容 C 。因而，A/D 转换从对应于电容 $2^{n-1}C$ 的开关 S_1 开始，将其切换至 $V_{ref_1}(V_{DD})$ ，而将其余开关 S_2-S_n 切换至 $V_{ref_0}(GND)$ 。

[0038] 在模数 (A/D) 转换之前，将 ADC 402 的输入开关 S_0 接通，将开关 S_1 接至 $V_{ref_1}(V_{DD})$ ，并将开关 S_2-S_n 接至 V_{ref_0} (地)。将节点 C 的电压充电至 V_{in} 。在 A/D 转换开始时，将 ADC 402 输入开关 S_0 置于断开。ADC 402 的电容阵列 404 的电压 V_{in} 保持不变，并执行 A/D 转换。

[0039] 然后，比较器则确定节点 C 的电压是否大于 $V_{ref}(V_{DD}/2)$ 。如果节点 C 的电压大于 $V_{ref}(V_{DD}/2)$ ，SAR 则将开关 S_1 接至 $V_{ref_0}(GND)$ 。否则，开关 S_1 则保持不变。通过这种配置，如果 $V_{in} > V_{DD}/2$ ，那么，通过将开关 S_1 接回 $V_{ref_0}(GND)$ ，节点 C 处的电压可降低到约 $V_{in}-V_{DD}/2$ ，或者降低到大约 0 到大约 $V_{DD}/2$ 的范围内。随后，将开关 S_2 接至 $V_{ref_1}(V_{DD})$ 。这相当于将节点 C 处的电压增加了大约 $V_{DD}/4$ 。比较器确定节点 C 的电压是否大于 $V_{ref}(V_{DD}/2)$ 。如果节点 C 的电压大于 $V_{ref}(V_{DD}/2)$ ，则将开关 S_2 接至 $V_{ref_0}(GND)$ ，并将开关 S_3 接至 $V_{ref_1}(V_{DD})$ ，这相当于将节点 C 的电压增加了大约 $V_{DD}/8$ 。否则，则使开关 S_2 保持在 $V_{ref_1}(V_{DD})$ 。开关 S_3-S_n 的最终状态由与开关 S_1 和 S_2 相同的方式确定。在 A/D 转换过程中，节点 C 的电压逐渐地接近 $V_{ref}(V_{DD}/2)$ 。当所有开关的最终状态确定后，A/D 转换完成。SAR 408 将所有的开关 S_1-S_n 复位于转换前的原始状态，并且接通输入开关 S_0 ，以便在执行下一个 A/D 转换之前将节点 C 充电至新的输入电压。

[0040] 根据以上描述,本领域的技术人员将理解,当 $V_{in} > V_{DD}/2$ 时,在 A/D 转换过程中,通过将 MSB 电容 $2^{n-1}C$ 接至 $V_{ref_0}(GND)$ 可使得 V_{in} 可缩小。有利地,这不需要使用电容阵列之外的额外电容就实现。

[0041] 为了节约功率,ADC 402 不具有专门的采样保持 (S/H) 电路。S/H 的功能通过在 A/D 转换前将输入开关 S_0 接通并 A/D 转换开始时将输入开关 S_0 切断而实现。在本实施例中,输入开关 S_0 可实现为采样开关。本领域的技术人员将理解,采样开关可包括例如 n 型和 p 型晶体管对,以适应假定的 V_{DD} 全输入电压范围。可选地,开关 S_0 可代表在伪 (pseudo) S/H 电路中实现的开关功能的实现,这将在下面描述。

[0042] 图 5 示出了耦合于 ADC 503 的伪 S/H 电路的示意图。S/H 的功能通过低噪声运算跨导放大器 (LN-OTA) 的输出级 502 实现, LN-OTA 的输出级 502 可认为是伪 S/H 电路。LN-OTA 的输出级 502 直接连接于 ADC 503 的电容阵列 505。在本实施例中,输入开关 S_0 的功能由两个开关 SA 和 SB 提供, SA 和 SB 附加于 LN-OTA 的输出级 502, 以在 A/D 转换期间周期性地将 LN-OTA 的输出级 502 短时间断开。两个开关 SA 和 SB 由 ADC 时钟和控制电路 504 控制。ADC 时钟和控制电路 504 耦合于环形振荡器 506。环形振荡器 506 的启动电路 508 也在图 5 中示出。入口 510 示出了本实施例中的 ADC 503 的控制信号和输出信号。

[0043] 本领域的技术人员将理解,也可使用在低的轨对轨的电压下工作的其它 S/H 电路。有利地,利用伪 S/H 电路在不需要任何额外的功率消耗和芯片面积的情况下提供采样保持功能。本领域技术人员将认识到, S/H 电路适用于对数据速率的要求远低于 ADC 的采样时钟、但具有严格的功率消耗预算的应用,例如表面生物电势测量和多种温度及压力传感器等。

[0044] 秘密实验的结果表明, ADC 503 可在大约 0.8V 的电源下获得轨对轨的输入。用于 ADC 的两个精确参数为微分非线性 (DNL) 和积分非线性 (INL)。图 6a 和图 6b 分别示出了微分非线性 (DNL) 相对于编码宽度以及积分非线性 (INL) 相对于编码宽度的曲线。在图 6a 中, 曲线 602 示出了测得的 DNL 大约为 1.5LSB。在图 6b 中, 曲线 604 示出了测得的 INL 大约为 $\pm 2LSB$ 。

[0045] 本领域的技术人员将理解,伪采样保持电路的目的在于,仅在非常短的时间内切断 LN-OTA 的输出级 502, 以忽略开关的影响。这在多种应用中是可实现的,例如用于在大多数医学装置 (例如,脑电图 (EEG) 和心电图 (ECG)) 中进行低数据率的处理,其中,数据率通常小于 1kS/s。相对于数据周期而言, ADC 503 的转换时间可非常短。为此, ADC 503 可具有约为 500kS/s 的采样率并能够在约 $2\mu s$ 的时间内完成 A/D 转换。因此, ADC 503 在绝大部分时间内都是空闲的。当 ADC 503 空闲时,开关 SA 和 SB 处于接通状态,且 LN-OTA 处于正常的操作模式。

[0046] 周期性地切断 LN-OTA 的输出级 502 将导致一些误差。图 7 示出了电压 (V) 相对于时间 (t) 的曲线,表明了由开关导致的误差。曲线图 702 示出了理想的放大器输出的电压相对于时间的曲线。曲线图 704 示出了进行切换的放大器输出的电压相对于时间的曲线。

[0047] 一阶分析指出,误差可表示为:

$$[0048] \quad error_n = \sum_{i=-\infty}^{n-1} - \left(\frac{\partial V_{out,ideal}}{\partial t} \right)_i \cdot T_{ADC} \cdot e^{-[(n-i) \cdot T_{cycle} - T_{ADC}] / \tau} \quad (1)$$

[0049] 其中, $V_{out, ideal}$ 是没有切换时的理想输出, τ 是由电路参数确定的常量, T_{ADC} 是 A/D 转换的时间, T_{cycle} 是采样周期。利用公式 (1), 可以确定由切换导致的误差是否可忽略。本领域的技术人员将理解, 在实践中, 允许的最大误差依赖于每个特定的应用。

[0050] 假设 $T_{ADC} \ll T_{cycle}$ (T_{cycle} 可认为是数据率的倒数), 最坏的情况导致的误差为:

$$[0051] \quad |error|_{\max} = \left| \frac{\partial V_{out, ideal}}{\partial t} \right|_{\max} \cdot T_{ADC} \cdot e^{-T_{cycle}/\tau} / (1 - e^{-T_{cycle}/\tau}) \quad (2)$$

[0052] 根据公式 (2), 如果 T_{cycle} 足够长且 T_{ADC} 足够短, 误差则可忽略。在示例性的设计中, $\tau \approx 850 \mu s$, $T_{ADC} = 2 \mu s$, $T_{cycle} = 1 ms$ 。对于典型的 ECG 信号, 最大误差约为 $0.3 \mu V$, 其适当地低于 LN-OTA 的输入噪声, 并因此可忽略。

[0053] 图 8 示出了基于电池运转的电子装置 800 (例如用于脑电图 (EEG) 和心电图 (ECG) 的便携式医学装置) 的示意图。装置 800 包括输入单元 802、LN-OTA/ADC 单元 804、输出单元 806 以及电池单元 808。电池单元耦合于 LN-OTA/ADC 单元 804。电池单元还可耦合于输入单元 802 和输出单元 806 的有源组件。

[0054] 本领域的技术人员将理解, 可对在具体实施方式中示出的本发明进行许多的变化和 / 或修改, 而不脱离本发明广泛描述的精神或范围。因此, 所述实施方案在全部方面都将认为是示例性的而非限制性的。

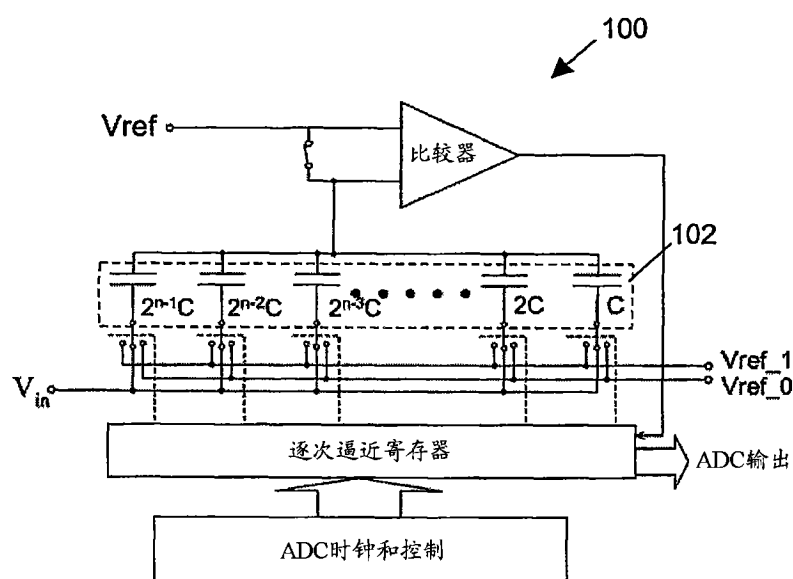


图 1

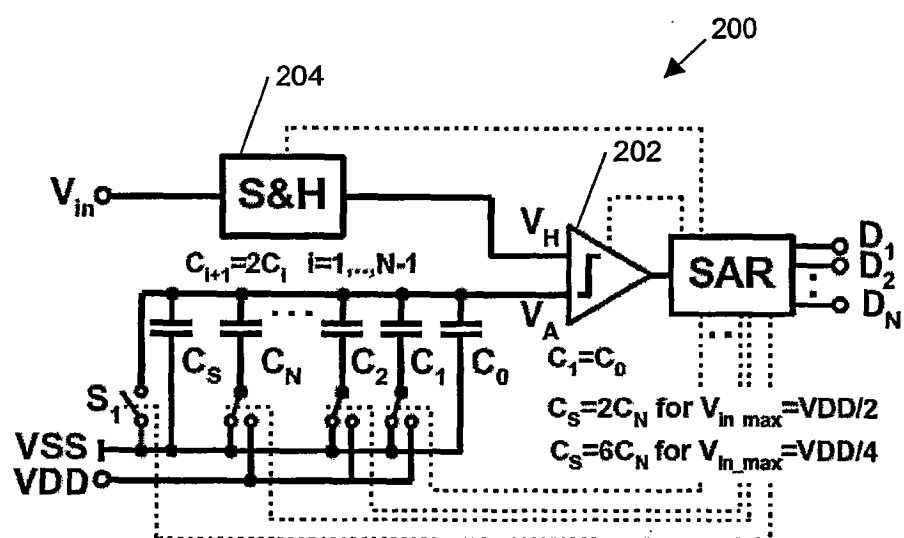


图 2

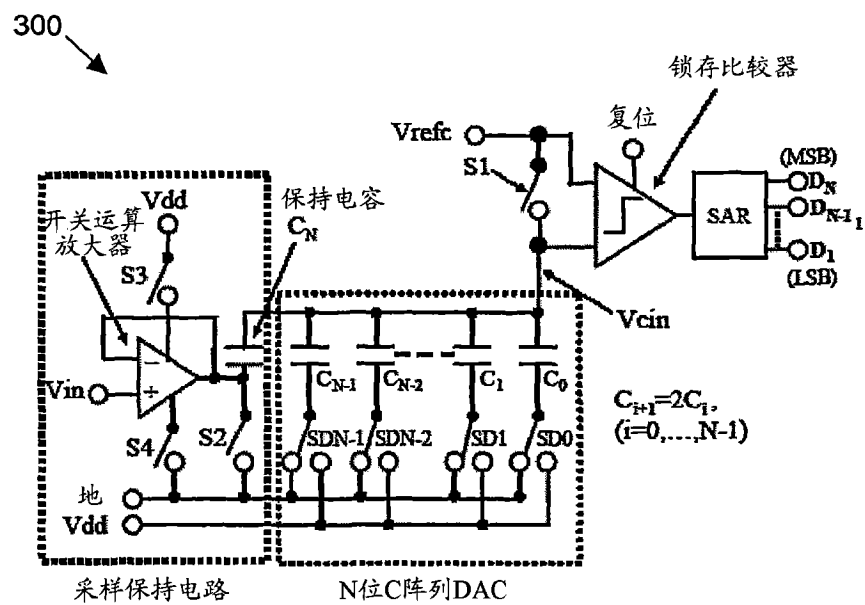


图 3

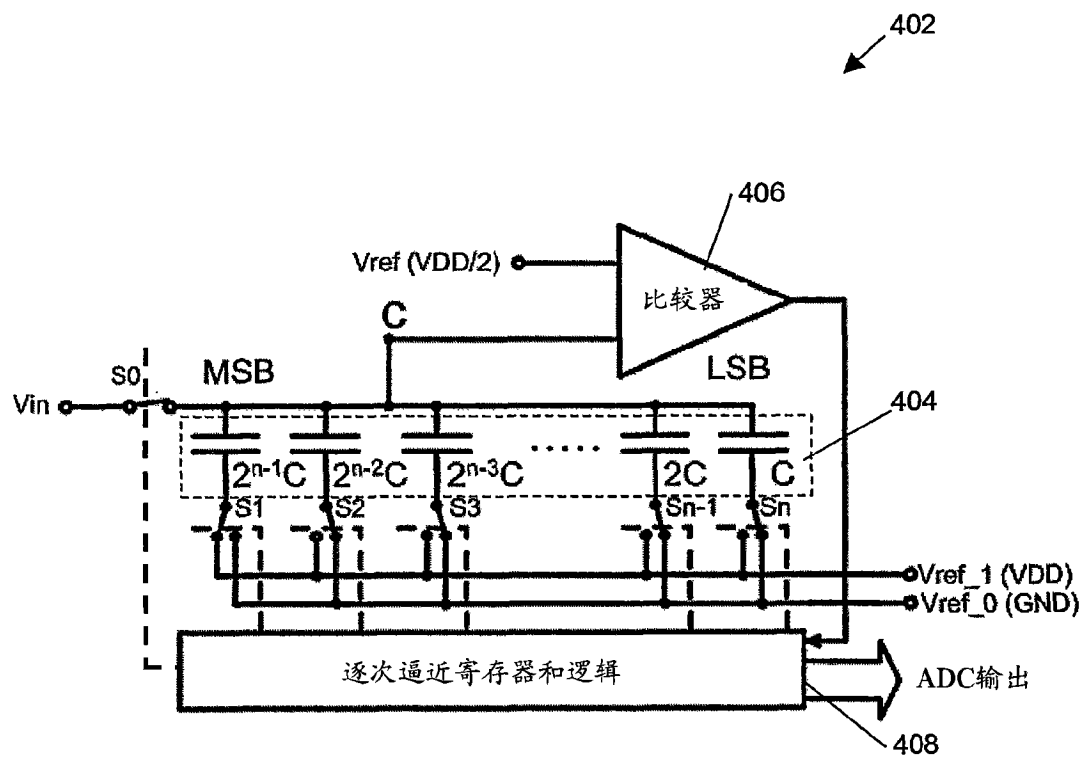


图 4

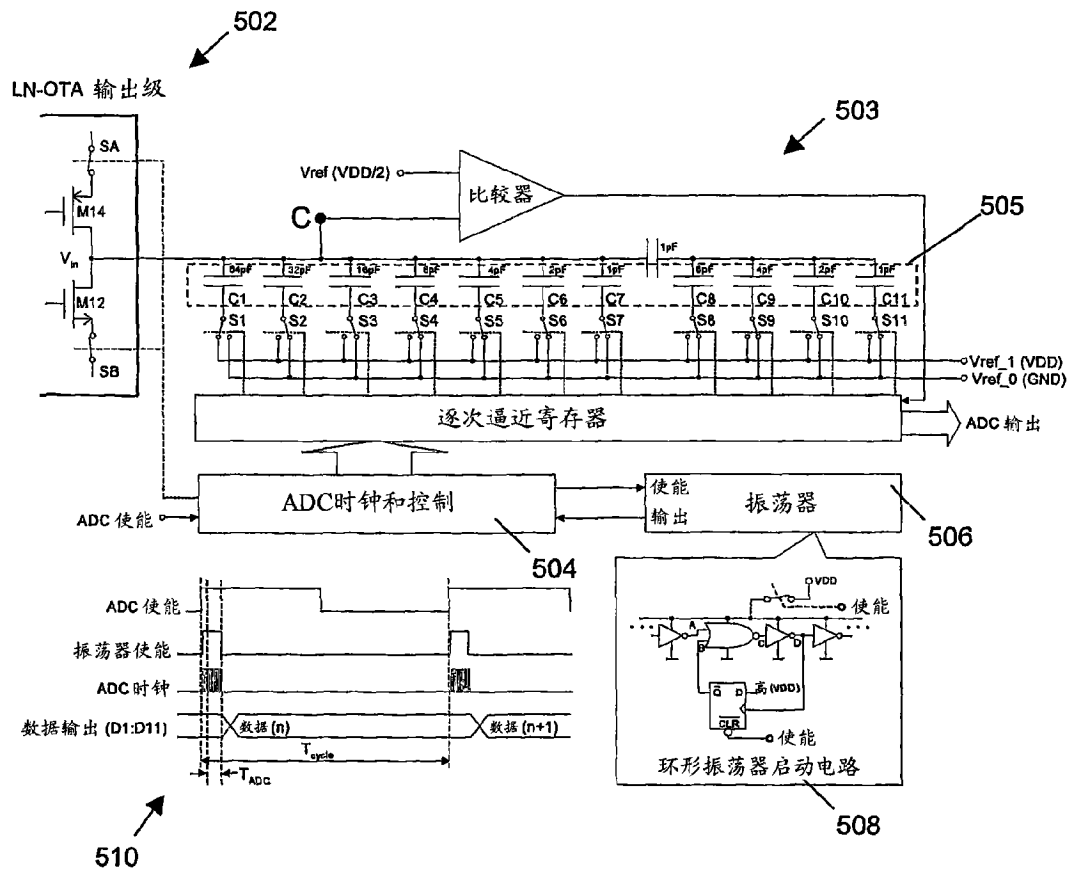


图 5

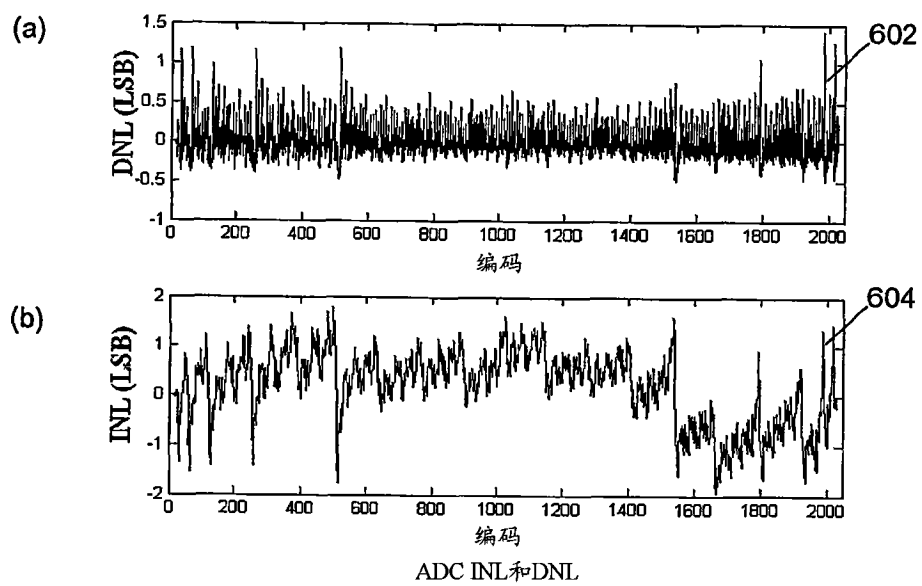


图 6

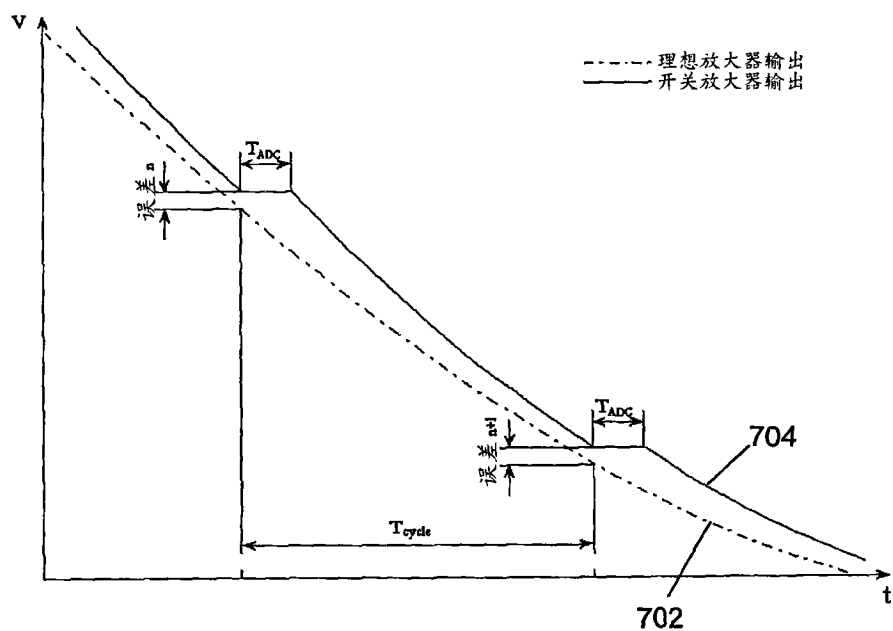


图 7

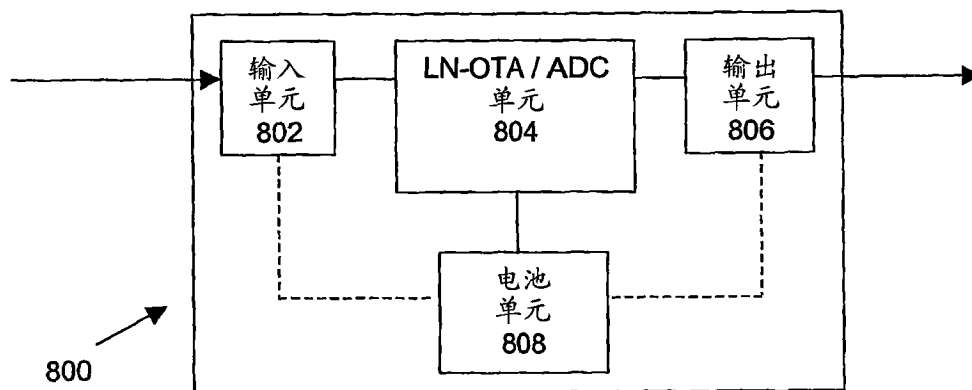


图 8