(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3678774号

(P3678774)

(45)発行日　平成17年8月3日(2005.8.3)　(24)登録日　平成17年5月20日(2005.5.20)

(51)Int.Cl.[7]	F I		
G06F 1/04	G06F	1/04	301F
G06F 1/06	G06F	11/22	310T
G06F 11/22	G06F	1/04	310A

請求項の数 21　(全 12 頁)

(21)出願番号	特願平6-195362
(22)出願日	平成6年8月19日(1994.8.19)
(65)公開番号	特開平7-152451
(43)公開日	平成7年6月16日(1995.6.16)
審査請求日	平成13年7月19日(2001.7.19)
(31)優先権主張番号	110053
(32)優先日	平成5年8月20日(1993.8.20)
(33)優先権主張国	米国(US)

(73)特許権者　591016172
アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド
ＡＤＶＡＮＣＥＤ　ＭＩＣＲＯ　ＤＥＶＩＣＥＳ　ＩＮＣＯＲＰＯＲＡＴＥＤ
アメリカ合衆国、９４０８８－３４５３　カリフォルニア州、サニィベイル、ピィ・オゥ・ボックス・３４５３、ワン・エイ・エム・ディ・プレイス、メイル・ストップ・６８（番地なし）
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄

最終頁に続く

(54)【発明の名称】クロック選択回路および集積回路

(57)【特許請求の範囲】

【請求項１】

第１の回路および第２の回路を含むコンピュータシステムで使用するための、テストモード信号に応答して前記第１の回路を前記第２の回路に同期させるクロック選択回路であって、前記コンピュータシステムは、第１のクロック信号を発生する第１のクロックおよび第２のクロック信号を発生する第２のクロックを含み、前記クロック選択回路は、

前記第１のクロックと接続され、前記第１のクロック信号を受取る第１のクロック入力と、

前記第２のクロックと接続され、前記第２のクロック信号を受取る第２のクロック入力と、

前記テストモード信号を受取るテストモード入力と、

前記第１の回路への入力と接続されるクロック出力とを含み、

前記クロック選択回路は前記テストモード信号が、第１の予め定められた状態にあるとき、前記クロック出力を通して、前記第１の回路を前記第１のクロック信号で駆動し、かつ前記テストモード信号が第２の予め定められた状態にあるとき、前記クロック出力を通して、前記第１の回路を前記第２のクロック信号で駆動し、前記第２の回路は前記テストモード信号の状態に関わらず前記第２のクロック信号によって駆動され、前記テストモード信号が前記第２の予め定められた状態にあるとき、前記第１の回路および前記第２の回路は前記第２のクロック信号に応答して同期して動作する、クロック選択回路。

【請求項２】

前記クロック出力が、論理手段を介して、前記第１のクロック入力、前記第２のクロック入力、および前記テストモード入力に接続され、前記論理手段は、前記第１のクロック入力、前記第２のクロック入力、および前記テストモード入力での、信号に論理的に関連する信号を、前記クロック出力で発生するように構成される、請求項１に記載のクロック選択回路。

【請求項３】

前記論理手段は、前記第１のクロック入力と、前記第２のクロック入力と、前記テストモード入力とに接続される、信号セレクタユニットを含み、前記信号セレクタユニットは、第１の信号セレクタユニット出力、および第２の信号セレクタユニット出力を有する、請求項２に記載のクロック選択回路。

【請求項４】

前記テストモード信号が、前記第１の予め定められた状態にあるとき、前記信号セレクタユニットは、前記第１のクロック入力を、前記第１の信号セレクタユニット出力に電気的に結合し、かつ前記第２の信号セレクタユニット出力をローに駆動し、前記テストモード信号が、前記第２の予め定められた状態にあるとき、前記信号セレクタユニットは、前記第２のクロック入力を、前記第２の信号セレクタユニット出力に電気的に結合し、かつ前記第１の信号セレクタユニット出力をローに駆動する、請求項３に記載のクロック選択回路。

【請求項５】

前記論理手段はさらに、前記第１の信号セレクタユニット出力、前記第２の信号セレクタユニット出力および前記クロック出力に接続され、前記第１の信号セレクタユニット出力および前記第２の信号セレクタユニット出力での信号に論理的に関連する信号を、前記クロック出力で発生するための論理回路を含む、請求項４に記載のクロック選択回路。

【請求項６】

前記論理回路は、前記第１の信号セレクタユニット出力に電気的に接続される第１のＯＲ入力、前記第２の信号セレクタユニット出力に電気的に接続される第２のＯＲ入力、および前記クロック出力に電気的に接続されるＯＲ出力を有するＯＲゲートを含む、請求項５に記載のクロック選択回路。

【請求項７】

前記信号セレクタユニットは、

第１のＡＮＤ１入力、第２のＡＮＤ１入力、およびＡＮＤ１出力を有する第１のＡＮＤゲートを含み、前記第１のＡＮＤ１入力は、前記第１のクロック入力と接続され、前記ＡＮＤ１出力は、前記第１の信号セレクタユニット出力と接続され、さらに、

第１のＡＮＤ２入力、第２のＡＮＤ２入力およびＡＮＤ２出力を有する第２のＡＮＤゲートを含み、前記第１のＡＮＤ２入力は、前記第２のクロック入力と接続され、前記第２のＡＮＤ２入力は、前記テストモード入力と接続され、前記ＡＮＤ２出力は、前記第２の信号セレクタユニット出力と接続され、さらに、

インバータ入力およびインバータ出力を有するインバータを含み、前記インバータ入力は、前記テストモード入力と接続され、前記インバータ出力は、前記第２のＡＮＤ１入力と接続される、請求項５に記載のクロック選択回路。

【請求項８】

前記論理手段は、前記第１の信号セレクタユニット出力、前記第２の信号セレクタユニット出力、および前記クロック出力に接続され、前記第１の信号セレクタユニット出力および前記第２の信号セレクタユニット出力における信号に論理的に関連する信号を、前記クロック出力で発生するための論理回路をさらに含む、請求項３に記載のクロック選択回路。

【請求項９】

前記論理回路は、前記第１の信号セレクタユニット出力と電気的に接続される第１のＯＲ入力と、前記第２の信号セレクタユニット出力と電気的に接続される第２のＯＲ入力と、前記クロック出力に電気的に接続されるＯＲ出力とを有するＯＲゲートを含む、請求項８

に記載のクロック選択回路。
【請求項１０】
前記クロック選択回路は、前記第１の回路および前記第２の回路とともに単一の集積回路チップ上に存在する、請求項１に記載のクロック選択回路。
【請求項１１】
集積回路であって、
ａ）　第１の回路クロック入力および第１の通信ポートを有する第１の回路を含み、前記第１の回路は、前記第１の回路クロック入力で駆動されるように構成されており、さらに、
ｂ）　前記第１の通信ポートに接続される第２の通信ポートを有する第２の回路を含み、前記第２の回路は第２の回路クロック入力を有し、前記第２の回路は、前記第２の回路クロック入力で駆動されるように構成されており、さらに、
ｃ）　（ｉ）テストモード信号を受取るためのテストモード入力と、（ｉｉ）第１のクロック信号を第１のクロック信号源から受取るための第１のクロック信号入力と、（ｉｉｉ）第２のクロック信号を第２のクロック信号源から受取るための第２のクロック信号入力と、（ｉｖ）クロック出力とを含むクロック選択回路を含み、
前記第２の回路クロック入力は、前記第２のクロック出力を介して、前記第２のクロック信号入力と接続され、前記第２の回路は、前記第２のクロック信号によって駆動され、
前記クロック選択回路は、前記クロック出力を介して、前記第１の回路クロック入力と接続され、前記テストモード信号が第１の予め定められた状態にあるとき、前記クロック選択回路は、前記第１のクロック信号を前記第１の回路クロック入力に与え、前記テストモード信号が前記第１の予め定められた状態にあるとき、前記第１の回路および前記第２の回路は、前記第１のクロック信号および前記第２のクロック信号に応答して非同期に動作し、前記テストモード信号が第２の予め定められた状態にあるとき、前記クロック選択回路は、前記第２のクロック信号を前記第１の回路クロック入力に与え、前記テストモード信号が前記第２の予め定められた状態にあるとき、前記第１の回路および前記第２の回路は、前記第２のクロック信号に応答して同期して動作する、集積回路。
【請求項１２】
前記クロック選択回路は論理手段をさらに含み、前記クロック出力は前記論理手段を介して、前記第１のクロック入力、前記第２のクロック入力、および前記テストモード入力に接続され、前記論理手段は、前記第１のクロック入力、前記第２のクロック入力、および前記テストモード入力での信号に論理的に関連する信号を前記クロック出力で発生するように構成される、請求項１１に記載の集積回路。
【請求項１３】
前記論理手段は、前記第１のクロック入力、前記第２のクロック入力、および前記テストモード入力に接続される信号セレクタユニットを含み、前記信号セレクタユニットは、第１の信号セレクタユニット出力、および第２の信号セレクタユニット出力を有する、請求項１２に記載の集積回路。
【請求項１４】
前記テストモード信号が、前記第１の予め定められた状態にあるとき、前記信号セレクタユニットは、前記第１のクロック入力を前記第１の信号セレクタユニット出力に電気的に結合し、かつ前記第２の信号セレクタユニット出力をローに駆動し、前記テストモード信号が前記第２の予め定められた状態にあるとき、前記信号セレクタユニットは、前記第２のクロック入力を前記第２の信号セレクタユニット出力に電気的に結合し、かつ前記第１の信号セレクタユニット出力をローに駆動する、請求項１３に記載の集積回路。
【請求項１５】
前記信号セレクタユニットは、
第１のＡＮＤ１入力、第２のＡＮＤ１入力およびＡＮＤ１出力を有する第１のＡＮＤゲートを含み、前記第１のＡＮＤ１入力は、前記第１のクロック入力と接続され、前記ＡＮＤ１出力は、前記第１の信号セレクタユニット出力と接続され、さらに、

第１のＡＮＤ２入力、第２のＡＮＤ２入力およびＡＮＤ２出力を有する第２のＡＮＤゲートを含み、前記第１のＡＮＤ２入力は、前記第２のクロック入力と接続され、前記第２のＡＮＤ２入力は、前記テストモード入力と接続され、前記ＡＮＤ２出力は、前記第２の信号セレクタユニット出力と接続され、さらに、
インバータ入力およびインバータ出力を有するインバータを含み、前記インバータ入力は、前記テストモード入力と接続され、前記インバータ出力は、前記第２のＡＮＤ１入力と接続される、請求項１４に記載の集積回路。
【請求項１６】
前記論理手段は、前記第１の信号セレクタユニット出力、前記第２の信号セレクタユニット出力、および前記クロック出力に接続され、前記第１の信号セレクタユニット出力および前記第２の信号セレクタユニット出力での信号に論理的に関連する信号を前記クロック出力で発生する論理回路をさらに含む、請求項１５に記載の集積回路。
【請求項１７】
前記論理回路は、前記第１の信号セレクタユニット出力と電気的に接続される第１のＯＲ入力、前記第２の信号セレクタユニット出力と電気的に接続される第２のＯＲ入力、および前記クロック出力と電気的に接続されるＯＲ出力を有するＯＲゲートを含む、請求項１６に記載の集積回路。
【請求項１８】
前記論理手段は、前記第１の信号セレクタユニット出力、前記第２の信号セレクタユニット出力および前記クロック出力に接続され、前記第１の信号セレクタユニット出力および前記第２の信号セレクタユニット出力での信号に論理的に関連する信号を前記クロック出力で発生する論理回路をさらに含む、請求項１３に記載の集積回路。
【請求項１９】
前記論理回路は、前記第１の信号セレクタユニット出力と電気的に接続される第１のＯＲ入力、前記第２の信号セレクタユニット出力と電気的に接続される第２のＯＲ入力、および前記クロック出力と電気的に接続されるＯＲ出力を有するＯＲゲートを含む、請求項１８に記載の集積回路。
【請求項２０】
前記クロック選択回路は、前記第１の回路および前記第２の回路とともに単一の集積回路チップ上に存在する、請求項１１に記載の集積回路。
【請求項２１】
前記第１の回路は、周辺装置制御装置を備え、前記第２の回路はプロセッサを備える、請求項１１に記載の集積回路。
【発明の詳細な説明】
【０００１】
【発明の背景】
この発明は、複数の回路を同期させるための装置に関し、さらに特定的には、テスト動作の間に複数の非同期回路を同期させるための装置に関する。
【０００２】
多くのコンピュータシステムにおいては、すべての回路が同じクロックによって駆動されるわけではない。異なったクロックによって駆動される回路を含むコンピュータシステムは、ここでは、非同期システムと称され、異なったクロックによって駆動される回路の間のシステム内データ転送は、同期していない。異なったクロックによって駆動されるコンピュータシステム内の回路の間の回路間通信の非同期性は、このような非同期システムの正確なテストを困難にする。
【０００３】
具体的には、テスト動作は一般的に、被テスト回路の実際の出力を予め定められた時間に監視するステップと、被テスト回路のそれらの実際の出力を予め定められた正確な出力と比較するステップとを含む。実際の出力が実質的に予め定められた正確な出力と一致しないならば、被テスト回路は欠陥があると考えられる。このようなテスト動作を正常に行な

うためには、正確にいつ有効な（欠陥のない）回路が、特定の出力を生成するかを予測することができなければならない。

【０００４】

しかし、あるクロックによって駆動される回路と別のクロックによって駆動される回路との間のシステム内のデータ転送のタイミングが変化するかもしれないので、非同期システムが所与の出力を生成する時点も変化するかもしれない。このようなデータ転送のタイミングの変化は、たとえばテスト温度の変化の結果生ずるかもしれない。テスト温度の変化は、温度変化の方向および大きさ、ならびに関係する回路の特性に依存して、様々な様態で異なった回路間の転送タイミングに悪影響を及ぼし得る。

【０００５】

データ転送のタイミングのこのような変化の別の理由は、このような転送が２つの非同期回路の特定のタイミングまたはクロック信号の一致したときにしばしば行なわれるということである。２つの独立したクロック信号の必要とされる一致は、実際の出力を予め定められた出力と十分に正確に比較し、コンピュータシステムを正確にテストできるほど十分な正確さでもって予想することはできない。

【０００６】

すなわち、もしテストの間、非同期システムの出力が間違ったときにチェックされるならば、有効な非同期システムがテスト動作を通らないかもしれないし、または欠陥のある非同期システムがテスト動作を通るかもしれない。チップの内部データ転送を直接監視する便利な方法が一般にないため、非同期システムの別々にクロックされる回路が単一集積回路チップ上にあると、テストはさらに難しくなる。

【０００７】

さらに、スキャン試験およびバーンイン試験のようなあるテスト技術は、テストされるべき回路が別々にクロックされる領域を含むとき、難しくなり、非効率的になる。スキャン試験は、集積回路として構成されるシステムの特定の構成要素にデータを直接シフトインし、回路をクロックして、一連のほかの構成要素を通して第１の構成要素からデータをシフトし、かつシステムからそのデータをシフトアウトすることを含む。シフトアウトされたデータは、予測出力データと比較される。もしシフトアウトされたデータが予測出力データと実質的に一致しないならば、集積回路は欠陥があると考えられる。

【０００８】

スキャン試験の間にそれを介してデータがシフトされる一連の構成要素を結合する集積回路内の経路は、スキャンパスと称される。集積回路が複数の別々にクロックされる回路を含まないときには、スキャン試験処理に必要とされるデータロードおよびデータシフトを行なうために比較的単純な命令の組を使用することができる。しかし、非同期システムでは、別々にクロックされた構成要素の間の境界は事実上スキャンパスへの障壁となる。これは、いかなる特定のクロックサイクルの間でもデータが非同期構成要素の間で転送されるかどうかを確実には予想できないからである。

【０００９】

従って、個々それぞれの非同期回路または領域は、被テストシステム内で別々にスキャン試験されなければならない。その結果、各非同期回路は、データをロードしかつシフトするためにそれ自身の命令の組を必要とし、そのような命令の組は、システム内回路それぞれが同じクロックによって駆動される同期システム内でデータをロードしテストする場合のものよりも、典型的により複雑である。さらに、被テスト回路が通常ともに動作する他の回路と関連してテストされるのではなく、別々にクロックされた回路各々が切離されてテストされるので、それぞれの非同期回路が別々にスキャン試験される非同期システムでは、試験はそれほど包括的ではない。

【００１０】

バーンイン試験の間、テストされるべきシステムは高温環境におかれ、選択された信号は、システムがクロックされる間システムに与えられる。システムの構成要素を高温でそのように「訓練する」ことによって、システムのいかなる臨界構成要素も不良となる。複数

のクロック信号が、効果的にシステムを「訓練する」ために被テストシステムに与えられなければならないので、非同期システムのためのバーンイン試験は困難である。さらに、そのような信号は、構成要素の別々にクロックされた回路の間の非同期の境界を横切らなければならないので、たとえ有効チップ内でも信号の伝搬は、予測できない。

【００１１】

テスターが、被テストシステム内でクロックの１つの信号を「スキューさせる」かまたは位相をずらすことを可能にすることによって、非同期システム内の出力の発生を正確に予想する試みがなされてきた。出力を監視するテスト機構のタイミングに出力タイミングを「同調させる」ために、１つのクロックの信号がスキューされる。スキューされたクロック信号の変更されたタイミングは、スキューされたクロック信号によって駆動される回路と、被テストシステムの他の回路との間の、非同期データ転送のタイミングを変更する。非同期データ転送の変更されたタイミングは、非同期システムによって発生される出力のタイミングを変更する。出力の発生が出力のモニタ動作と正確に同期しているときだけ、テスト動作が成功すると仮定して、非同期システムのテストの結果が有効になるまで、クロック信号のスキューは調整される。

【００１２】

信号スキュー技術は、被テストシステムが有効であるときでさえも、スキュー処理は比較的時間を費やすという不利益を有している。さらに、被テストシステムに欠陥があるならば、テスターは有効なテスト結果を、得ることが不可能であるのに、そのような結果を達成するために、クロック信号タイミングをスキューさせようとして時間を無駄に費やすかもしれない。さらに、信号スキュー技術は、上述のように、非同期システムをスキャン試験したりまたはバーンイン試験したりすることに関係する問題を克服しない。

【００１３】

前述から明らかなように、非同期システムを、予備的クロック同調処理なしに正確にテストすることを可能にする、装置を提供することが明らかに望ましい。非同期システムを、先行技術のクロック信号スキュー処理を使用して、現在可能であるものよりもより速く正確にテストすることを可能にする、装置を提供することがさらに望ましい。非同期システムを正確にスキャン試験することのできる装置を提供することがさらに望ましい。最後に、非同期システムを正確にバーンイン試験することのできる、装置を提供することが望ましい。

【００１４】

【発明の概要】

この発明の１つの局面に従って、第１のクロック信号を発生する第１のクロック、第２のクロック信号を発生する第２のクロック、第１の回路クロック入力に与えられるクロック信号によって駆動されるように構成される第１の回路、および第２のクロックと作動的に接続される第２の回路とともに使用し、テストモード信号に応答して第１の回路を第２の回路に同期させるための、クロック選択回路、が提供される。第２の回路は、第２のクロック信号によって駆動され、非同期通信のために第１の回路と作動的に接続される。

【００１５】

クロック選択回路は、第１のクロックと作動的に接続され、かつ第１のクロック信号を受ける第１のクロック入力と、第２のクロックと作動的に接続されかつ第２のクロック信号を受取る第２のクロック入力と、テストモード信号を受取るテストモード入力とを一般に含む。クロック選択回路は、第１の回路クロック入力と作動的に接続されるクロック出力をさらに含む。

【００１６】

テストモード信号が、第１の予め定められた状態にあるとき、クロック出力を介して第１のクロック信号を第１の回路クロック入力に与えることによって、かつテストモード信号が第２の予め定められた状態にあるとき、クロック出力を介して第２のクロック信号を第１の回路クロック入力に与えることによって、クロック選択信号は、テスト動作の間、第１の回路を第２の回路に同期させる。

【００１７】
この発明の別の局面に従って、集積回路が提供される。集積回路は、第１のクロック入力で与えられるクロック信号によって駆動されるように構成される第１の回路、および非同期通信のために第１の回路と作動的に接続される第２の回路を含む。第２の回路は、第２のクロック入力で与えられるクロック信号によって駆動されるように構成される。
【００１８】
集積回路は、テストモード信号を受取るためのテストモード入力、および第１のクロック信号を発生する第１のクロック信号源と、第２のクロック信号を発生する第２のクロック信号源と、テストモード入力と、第１のクロック入力とに作動的に接続されるクロック選択回路をさらに含む。
【００１９】
第２のクロック入力は、第２のクロック信号源に結合され、それによって、テストモード信号の状態に関わらず第２の回路を第２のクロック信号によって駆動させる。テストモード信号が第１の予め定められた状態にあるとき、クロック選択回路は、第１のクロック信号を第１のクロック入力に与え、テストモード信号が第２の予め定められた状態にあるとき、第２のクロック信号を第１のクロック入力に与える。
【００２０】
新規であると考えられる、この発明の特徴は、前掲請求項で詳細に述べられている。この発明は、そのさらなる目的および利益とともに、添付図面と関連して記載された次の説明を参照することによって最も理解されるだろうし、そのいくつかの図面で、同じ参照番号は、同様の要素を示す。
【００２１】
【好ましい具体例の詳しい説明】
図１は、ブロック図形式で、この発明を使用する非同期システム１０を示す。システム１０は、複数の回路１２および１４、クロック選択回路（“ＣＳＣ”）１６、複数のクロック信号入力２６および２８、ならびにテストモード入力３０を含む。
【００２２】
クロック信号入力２６は、クロック３２と接続され、クロック信号入力２８は、クロック３４と接続される。回路１２は、たとえばコンピュータシステムの周辺装置を制御するための回路であってもよく、一方クロック３２は、周辺装置に関連するクロック信号発生器である。同様に、回路１４は、コンピュータシステムのプロセッサ装置であり、一方クロック３４は、プロセッサ装置を駆動するためのクロック信号発生器であってもよい。この発明の好ましい実施例において、回路１２、回路１４、およびクロック選択回路１６すべては単一の集積回路チップ上にある。
【００２３】
テストモード入力３０は、テストモードセレクタ３６と接続される。クロック選択回路１６は、第１のＣＳＣクロック入力１８、第２のＣＳＣクロック入力２０、ＣＳＣテストモード入力２２、およびＣＳＣクロック出力２４を含む。ＣＳＣクロック入力１８は、クロック信号入力２６と接続され、ＣＳＣクロック入力２０は、クロック信号入力２８と接続される。ＣＳＣテストモード入力２２は、テストモード入力３０と接続される。
【００２４】
回路１２は、回路駆動用クロック入力３８および通信ポート４０を含む。回路１２は、ＣＳＣクロック出力２４と接続される、回路駆動用クロック入力３８に与えられるクロックパルスによって駆動される。回路１４は、回路駆動用クロック入力４２および通信ポート４４を含む。回路１４は、クロック信号入力２８と接続される、回路駆動用クロック入力４２に与えられるクロックパルスによって駆動される。回路１２の通信ポート４０は、回路１４の通信ポート４４と接続される。
【００２５】
テストモードセレクタ３６は、テストモード入力３０およびＣＳＣテストモード入力２２を通し、テストモード信号をクロック選択回路１６に伝える。テストモード信号の状態は

、システム１０が現在テストされているかまたは作動的に使用されているかを示す。たとえば、システム１０が作動的に使用されかつテストされているとき、テストモード信号は論理ハイであり、システム１０がテストされていないとき、論理ローである。

【００２６】

クロック３２は、クロック信号入力２６およびＣＳＣクロック入力１８を通して、クロック信号をクロック選択回路１６に伝える。クロック３４は、クロック信号入力２８を通して、異なったクロック信号をＣＳＣクロック入力２０および回路駆動用クロック入力４２に伝える。

【００２７】

ＣＳＣテストモード入力２２のテストモード信号が、システム１０がテストされていないことを示すとき、クロック選択回路１６は、ＣＳＣクロック入力１８で受取られるクロック信号をＣＳＣクロック出力２４に発生する。逆に、ＣＳＣテストモード入力２２のテストモード信号が、システム１０がテストされていることを示すとき、クロック選択回路１６は、ＣＳＣクロック入力２０で受取られるクロック信号をＣＳＣクロック出力２４に発生する。

【００２８】

このように構成されると、テストモードセレクタ３６によって発生されるテストモード信号の状態に関わらず、回路１４は、クロック３４からのクロック信号によって駆動される。また、テストモード信号が、システム１０がテストされていないことを示すとき、回路１２は、クロック３２からのクロック信号によって駆動され、テストモード信号が、システム１０がテストされていることを示すとき、回路にはクロック３４からのクロック信号によって駆動される。

【００２９】

その結果として、非テスト動作の間、回路１２は第１のクロック信号によって駆動され、回路１４は、第２のクロック信号によって駆動され、回路１２と回路１４との間の通信ポート４０およびポート４４を通して起きるどの通信も、非同期である。テスト動作の間、回路１２および回路１４両方は、クロック３４によって発生されるクロック信号によって駆動される。回路１２および回路１４両方が同じクロックによって駆動されるので、回路１２および回路１４の間の通信は、同期がとられる、つまり同期している。結果として、回路１２および回路１４の間のデータ転送のタイミングは、予想可能になる。回路１２および回路１４の間のデータ転送のタイミングは予想できるので、システム１０の出力のタイミングが予想できる。事実上、システム１０は、テストの目的のために同期回路に変換され、非同期システムのテストに関して上で論じた予想可能性の問題のすべてを回避する。

【００３０】

図２は、ブロック図の形態で、図１のクロック選択回路１６を詳細に示す。クロック選択回路１６は、信号セレクタユニット（“ＳＳＵ”）５０およびＯＲゲート５２を含む。信号セレクタユニット５０は、複数のＳＳＵクロック信号入力５４および５８、複数のＳＳＵクロック信号出力６０および６２、ならびにテスト信号入力５６を有する。ＳＳＵクロック信号入力５４は、ＣＳＣクロック入力１８と接続され、ＳＳＵクロック信号入力５８は、ＣＳＣクロック入力２０と接続される。テスト信号入力５６は、ＣＳＣテストモード入力２２と接続される。

【００３１】

ＯＲゲート５２は、複数の入力６４および６６、ならびに出力６８を有する。入力６４は、ＳＳＵクロック信号出力６０と接続され、入力６６は、ＳＳＵクロック信号出力６２と接続される。出力６８は、ＣＳＣクロック出力２４と接続される。

【００３２】

このように構成されると、信号セレクタユニット５０は、テスト入力５６でテストモード信号を受取り、ＳＳＵクロック信号入力５４でクロック３２からのクロック信号を受取り、ＳＳＵクロック信号入力５８でクロック３４からのクロック信号を受取る。テスト入力

５６のテストモード信号が、システム１０はテストされていないことを示すとき、ＳＳＵクロック信号入力５４でのクロック信号がＳＳＵクロック信号出力６０に通り抜けることを、信号セレクタユニット５０は可能にし、ＳＳＵクロック信号出力６２を論理ローに駆動する。ＯＲゲート５２は、ＳＳＵクロック信号出力６０での信号を入力６４で、かつＳＳＵクロック信号出力６２での信号を入力６６で、受取る。ＳＳＵクロック信号出力６２で発生される信号はローであるので、ＯＲゲート５２の出力は、入力６４で与えられる信号を鏡映する。具体的に、ＯＲゲート５２は、ＳＳＵクロック信号入力５４に与えられるクロック信号がハイのとき、出力６８に論理ハイを発生し、かつＳＳＵクロック信号入力５４に与えられるクロック信号がローのとき、論理ローを発生する。

【００３３】

結果として、テストモード信号が、システム１０はテストされていないことを示すとき、出力６８での信号は、ＳＳＵクロック信号入力５４での信号を鏡映する。ＳＳＵクロック信号入力５４での信号がクロック３２によって発生され、かつ回路１２は、回路駆動用クロック入力３８を通して、出力６８での信号によって駆動されるので、回路１２のタイミングはクロック３２によって決定される。対照的に、回路１４のタイミングがクロック３４によって決定され、それはクロック信号を発生し、回路駆動用クロック入力４２を通して回路１４を駆動する。

【００３４】

このように、テストモード信号が、システム１０はテストされていないことを示すとき、回路１２は、回路１４とは異なったクロックによって駆動されている。回路１２および１４は異なったクロックによって駆動されているので、回路１２と１４との間の通信は、非同期である。すなわち、回路１２と１４との間で、ポート４０および４４を介して、送られるすべてのデータは、一方のクロックと同期して送られるが、他方のクロックと同期して受取られる。上述のように、これらの通信の非同期性は、確実なテスト技術を行なうために欠かせない、伝達されたデータの受信の、正確な予想を、かなり難しくする。

【００３５】

テストモード信号が、システム１０はテストされていないことを示すとき、信号セレクタユニット５０は、ＳＳＵクロック信号入力５８でのクロック信号がＳＳＵクロック信号出力６２に通り抜けることを可能にし、ＳＳＵクロック信号出力６０を論理ローに駆動する。ＯＲゲート５２は、ＳＳＵクロック信号出力６０で発生されるロー信号を、入力６４で受取り、かつＳＳＵクロック信号出力６２でのクロック信号を、入力６６で受取る。ＳＳＵクロック信号出力６０で発生される信号がローであるので、ＯＲゲート５２の出力は、入力６６に与えられる信号を鏡映する。具体的に、ＯＲゲート５２は、出力６８にて、ＳＳＵクロック信号入力５８で与えられるクロック信号がハイであるとき論理ハイを、ＳＳＵクロック信号入力５８で与えられるクロック信号がローであるとき論理ローを、発生する。

【００３６】

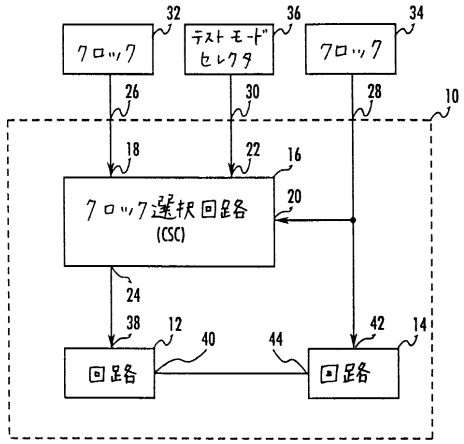
結果として、テストモード信号が、システム１０はテストされていることを示すとき、出力６８での信号は、ＳＳＵクロック信号入力５８での信号を鏡映する。ＳＳＵクロック信号入力５８での信号は、クロック３４によって発生され、かつ回路１２は回路駆動用クロック入力３８を通して、出力６８での信号によって駆動されるので、回路１２のタイミングは、クロック３４によって決定される。上で議論されたように、回路１４のタイミングもまた、クロック３４によって決定される。

【００３７】

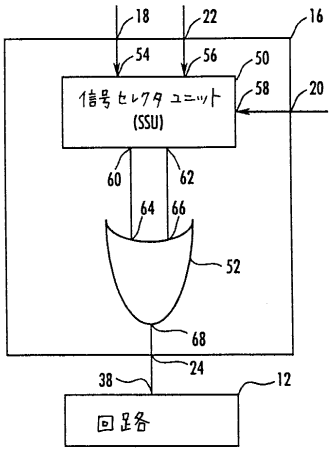
このように、テストモード信号が、システム１０はテストされていることを示すとき、回路１２は、回路１４と同じクロックによって駆動されている。回路１２および１４は、同じクロックによって駆動されているので、回路１２と１４との間の通信は同期している。すなわち、回路１２と１４との間の、ポート４０および４４を介して、送られるすべてのデータは、同じクロックと同期して送られかつ受取られる。結果として、回路１２と１４との間で伝送されるデータの受信は、正確に予想され、正確に予想されなければ可能でな

いテスト技術を使用してシステム１０がテストされることを可能にする。
【００３８】
図３は、図２の信号セレクタユニット５０の好ましい実施例を詳細に示すブロック図である。信号セレクタユニット５０は、好ましくは複数のＡＮＤゲート７０と７２およびインバータ７４を含む。ＡＮＤゲート７０は、複数の入力７６および７８ならびに出力８０を有する。入力７６は、ＳＳＵクロック信号入力５８と接続され、入力７８は、入力５６と接続される。出力８０は、ＳＳＵクロック信号出力６２と接続される。
【００３９】
ＡＮＤゲート７２は、複数の入力８２および８４ならびに出力８８を含む。入力８２は、インバータ７４の出力８６に接続され、入力８４は、ＳＳＵクロック信号入力５４と接続される。出力８８は、ＳＳＵクロック信号出力６０と接続される。
【００４０】
このように構成されると、入力５６のテストモード信号がハイのとき、入力７８の信号はハイになり、かつ入力８２の信号はローになる。入力８２がローであるので、ＳＳＵクロック信号入力５４を通して入力８４に与えられる信号に関わらず、ＡＮＤゲート７２の出力８８はローになる。一方、入力７８はハイであるので、ＡＮＤゲート７０の出力８０は、ＳＳＵクロック信号入力５８での信号が入力７６に与えられているので、この信号を鏡映する。
【００４１】
入力５６でのテストモード信号がローであるとき、入力８２での信号はハイになり、かつ入力７８での信号はローになる。入力７８での信号がローであるので、ＳＳＵクロック信号入力５８を通して入力７６に与えられる信号に関わらず、ＡＮＤゲート７０の出力８０はローである。一方、入力８２はハイであるので、ＡＮＤゲート７２の出力８８は、ＳＳＵクロック信号入力５４での信号が入力８４に与えられるので、この信号を鏡映する。
【００４２】
結果として、テストモード信号がローであるとき、出力８８は、ＳＳＵクロック信号入力５４での信号を鏡映し、かつ出力８０はローである。逆に、テストモード信号がハイであるとき、出力８０は、ＳＳＵクロック信号入力５８での信号を鏡映し、かつ出力８８はローである。出力８８および８０での信号がＯＲゲート５２に送られるので、テストモード信号がローであるとき、ＯＲゲート５２は出力６８に、ＳＳＵクロック信号入力５４での信号を発生し、テストモード信号がハイであるとき、ＳＳＵクロック信号入力５８での信号を発生する。さらに、ＳＳＵクロック信号入力５４での信号およびＳＳＵクロック信号入力５８での信号が、それぞれクロック３２および３４によって発生されるので、出力６８は、テストモード信号がローであるとき、クロック３２のクロック信号を発生し、かつテストモード信号がハイであるとき、クロック３４のクロック信号を発生する。
【００４３】
与えられた詳細な図および具体例は、この発明の好ましい実施例を説明しており図示の目的のものであって、この発明の装置は、開示される正確な詳細および条件に限定されるのではなく、様々な変化が前記請求項によって限定される発明の精神から逸脱することなしになされてもよいということが理解されるべきである。
【図面の簡単な説明】
【図１】この発明の代表的実施例を使用する非同期システムを示すブロック図である。
【図２】図１のクロックセレクタ回路の代表的実施例を詳細に示すブロック図である。
【図３】図２の信号セレクタユニットの代表的実施例を詳細に示すブロック図である。
【符号の説明】
１０　非同期システム
２６　クロック信号入力
２８　クロック信号入力
３０　テストモード入力

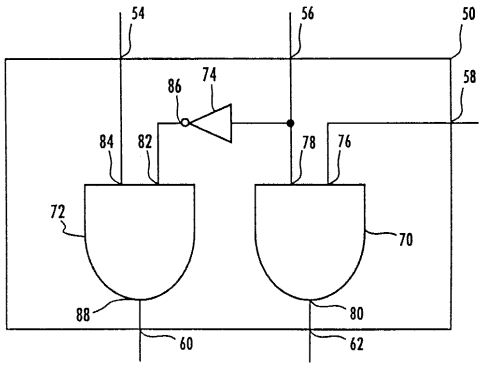
【図１】


クロック
テストモード セレクタ
クロック
32
36
34
26
30
28
10
18
22
16
クロック選択回路 (CSC)
20
24
38
12
40
44
42
14
回路
回路

【図２】


18
22
16
54
56
50
信号セレクタユニット (SSU)
58
20
60
62
64
66
52
68
24
38
12
回路

【図３】


54
56
50
58
86
74
84
82
78
76
72
70
88
80
60
62

フロントページの続き

(74)代理人 100091409
弁理士 伊藤 英彦
(74)代理人 100096781
弁理士 堀井 豊
(72)発明者 スティーブン・シー・クロマー
アメリカ合衆国、７８７２７ テキサス州、オースティン、ウィクリフ・レーン、１２４１８
(72)発明者 ゴピ・ガナパシー
アメリカ合衆国、７８７４４ テキサス州、オースティン、イー・ウィリアム・シー・エヌ、１９１２、ナンバー・２１６

審査官 近藤 聡

(56)参考文献 特開平０３－１２５２０６（ＪＰ，Ａ）
米国特許第5412663（ＵＳ，Ａ）
欧州特許第639812（ＥＰ，Ｂ１）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
G06F 1/00
G06F 11/00