

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4831892号
(P4831892)

(45) 発行日 平成23年12月7日(2011.12.7)

(24) 登録日 平成23年9月30日(2011.9.30)

(51) Int.Cl.		F I	
HO4N	5/353 (2011.01)	HO4N	5/335 530
HO4N	5/374 (2011.01)	HO4N	5/335 740
HO4N	5/378 (2011.01)	HO4N	5/335 780
HO1L	27/146 (2006.01)	HO1L	27/14 C

請求項の数 1 (全 31 頁)

(21) 出願番号	特願2001-230540 (P2001-230540)	(73) 特許権者	000153878
(22) 出願日	平成13年7月30日(2001.7.30)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2003-46873 (P2003-46873A)		神奈川県厚木市長谷398番地
(43) 公開日	平成15年2月14日(2003.2.14)	(72) 発明者	木村 肇
審査請求日	平成20年7月28日(2008.7.28)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
前置審査		審査官	鈴木 肇
		(56) 参考文献	特表2000-516774 (JP, A)
)
			特開2000-023044 (JP, A)
)
			特開昭59-181786 (JP, A)
			特開平08-181821 (JP, A)
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

増幅用トランジスタと、前記増幅用トランジスタのゲートに電氣的に接続された光電変換素子と、 n (n は2以上の整数)個の容量と、を有する半導体装置であって、

1フレーム期間において、1個の前記増幅用トランジスタから1本の信号出力線へ n 個の信号が出力され、

前記 n 個の容量に前記 n 個の信号のそれぞれが保持され、

前記 n 個の容量は、サンプルホールド回路に設けられており、かつ、共通の配線により放電が制御され、

前記共通の配線は、前記サンプルホールド回路に設けられた n 個のトランジスタのそれぞれのゲートに電氣的に接続されており、

前記 n 個のトランジスタのそれぞれのソースとドレインとの間には、前記 n 個の容量のうち対応する一が電氣的に接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の駆動方法に関する。より詳細には、半導体基板上又は絶縁表面上に作製されたトランジスタを有するアクティブマトリクス型半導体装置の駆動方法に関する。

【0002】

【従来の技術】

イメージセンサ機能を有する半導体装置には、光電変換素子と該光電変換素子を制御する一つまたは複数のトランジスタが設けられる。光電変換素子としては、PN型のフォトダイオードが用いられる場合が多い。その他には、PIN型のフォトダイオード、アバランシェ型ダイオード、npn埋め込み型ダイオード、ショットキー型ダイオード、フォトリソトランジスタ、X線用のフォトコンダクタ、及び赤外線用のセンサなどがある。

【0003】

イメージセンサ機能を有する半導体装置は、大別してCCD型とCMOS型に分類される。CMOS型の半導体装置は、増幅用回路を搭載していないものはパッシブ型、増幅用回路を搭載しているものはアクティブ型に分類される。増幅用回路は、光電変換素子が読み取った被写体の画像信号を増幅したりする機能を有しているため、ノイズなどの影響を受けにくく、増幅用回路が搭載されたアクティブ型のCMOS型半導体装置は多く採用されている。

10

【0004】

アクティブ型のCMOS型の半導体装置は、光電変換素子の出力端子に入力インピーダンスの高い増幅用回路の入力端子を接続している。そのため、被写体の情報を読み取る領域を劣化させることがなく、何回でも該被写体の情報を読み取ることが可能である。これを一般的に非破壊読み出しとよぶ。

【0005】

この非破壊読み出しを利用して、蓄積時間の異なる信号を出力させることによりダイナミックレンジ（明暗比）を拡大する方法が研究されている。一例として挙げると、“O.Yadid-Pecht et. al., Proc. SPIE, vol.2654, pp82-92, 1996”にて報告されているように、ソース信号線駆動回路を画素部の上下に一つずつ配置して、蓄積時間の異なる信号をそれぞれに出力する方法が研究されている。また他の例としては、“ISSCC99:p308:A 640x512 CMOS Image Sensor with Ultra Wide Dynamic Range Floating-Point Pixel-Level ADC”にて報告されているように、蓄積時間を T 、 $2T$ 、 $4T$ 、 \dots 、 $(2^k) \times T$ （ここで T はフレーム期間を示す）のように2のべき乗で変化させて読み取る方法が研究されている。

20

【0006】

なお本明細書において、蓄積時間とは、画素に設けられた光電変換素子が初期化されてから、画素から信号を出力する時までの期間を指す。光電変換素子の受光部に光を照射し、信号を蓄積している時間のことでもあり、露光時間ともよばれる時間のことを指す。

30

【0007】

図3に光電変換素子が設けられた半導体装置の概略図の一例を示す。図3の半導体装置は、画素部104、画素部104の周辺に配置されたソース信号線駆動回路101、ゲート信号線駆動回路102、リセット信号線駆動回路103を有している。ソース信号線駆動回路101は、バイアス用回路101a、サンプルホールド回路101b、信号出力線駆動回路101c、最終出力増幅用回路101dを有する。

【0008】

画素部104は、マトリクス状に配置された複数の画素100を有している。なお本明細書において、画素部104には、 x 列（縦） $\times y$ 行（横）個の画素100がマトリクス状に設けられているとする。

40

【0009】

図4には、 i 行 j 列目に設けられた画素100の回路図を示す。画素100は、信号出力線（ $S1 \sim Sx$ ）のいずれか1つと、電源線（ $VB1 \sim VBx$ ）のいずれか1つと、ゲート信号線（ $G1 \sim Gy$ ）のいずれか1つと、リセット信号線（ $R1 \sim Ry$ ）のいずれか1つとを有している。また、画素100は、スイッチング用トランジスタ112と、増幅用トランジスタ113と、リセット用トランジスタ114と、光電変換素子111とを有している。

【0010】

図3、図4に示す半導体装置のそれぞれの画素100に設けられた光電変換素子111は

50

、被写体から反射した光が照射されることによって、その電位を変化させる。

【 0 0 1 1 】

この状態において、ゲート信号線 (G i) が選択されると、ゲート信号線 (G i) に接続されたスイッチング用トランジスタ 1 1 2 がオン状態になり、光電変換素子 1 1 1 の電位に応じた信号が、スイッチング用トランジスタ 1 1 2 を介して信号出力線 (S j) に出力される。そして、信号出力線 (S j) に出力された信号は、ソース信号線駆動回路 1 0 1 に送られる。

【 0 0 1 2 】

ここで、上述した構成を有する半導体装置の駆動方法について、図 1 5 を用いて説明する。図 1 5 において、横軸は時間の経過を示す。なお本明細書において、リセット信号線 R (R 1 ~ R y のうちのいずれか一つ) にリセット信号が印加されてから、再びリセット信号が印加されるまでの期間を 1 フレーム期間 (F) とする。また本明細書において、リセット信号線 R に信号を印加して、次の行のリセット信号線 R に信号を印加する期間を水平走査期間 (P) とする。

10

【 0 0 1 3 】

まず、リセット信号線駆動回路 1 0 3 から 1 行目のリセット信号線 (R 1) に入力されるリセット信号によってリセット信号線 (R 1) が選択される。なお本明細書において、リセット信号線が選択されるとは、該リセット信号線に接続されている全てのリセット用トランジスタ 1 1 4 がオンの状態になることを意味する。つまりここでは、リセット信号線 (R 1) に接続されている全ての画素 (1 行目の画素) のリセット用トランジスタ 1 1 4 がオンの状態になる。そうすると、1 行目の光電変換素子 1 1 1 が初期化される。

20

【 0 0 1 4 】

リセット信号線 (R 1) の選択が終了すると同時に、次の行のリセット信号線 (R 2) が選択される。そして、リセット信号線 (R 2) に接続されている全ての画素のリセット用トランジスタ 1 1 4 がオンの状態になり、2 行目の画素が有する光電変換素子 1 1 1 が初期化される。

【 0 0 1 5 】

このようにして順に、全てのリセット信号線 (R 1 ~ R y) が選択されていく。そして、選択されたリセット信号線 R に接続された画素 1 0 0 が有する光電変換素子 1 1 1 が初期化される。

30

【 0 0 1 6 】

次いでゲート信号線 (G 1 ~ G y) に印加される信号について説明する。1 行目のリセット信号線 (R 1) にリセット信号が入力されてから、6 個の水平走査期間 (6 × P) が経過すると、ゲート信号線駆動回路 1 0 2 からゲート信号線 (G 1) に入力されるゲート信号によって、ゲート信号線 (G 1) が選択される。そうすると、ゲート信号線 (G 1) に接続されたスイッチング用トランジスタ 1 1 2 がオンの状態となり、1 行目の画素 1 0 0 により信号が信号出力線 (S 1 ~ S x) に出力される。なお、この場合における画素 1 0 0 により出力された信号の蓄積時間 (L) は、6 個の水平走査期間 (6 × P) である。

【 0 0 1 7 】

次いで、ゲート信号線駆動回路 1 0 2 から 2 行目のゲート信号線 (G 2) に入力されるゲート信号によって、2 行目のゲート信号線 (G 2) が選択される。そうすると、ゲート信号線 (G 2) に接続されたスイッチング用トランジスタ 1 1 2 がオンの状態となり、2 行目の画素 1 0 0 により信号が信号出力線 (S 1 ~ S x) に出力される。この場合における画素 1 0 0 により出力された信号の蓄積時間 (L) は、6 個の水平走査期間 (6 × P) である。

40

【 0 0 1 8 】

このようにして順に、全てのゲート信号線 (G 1 ~ G y) が選択されていく。そして、選択されたゲート信号線 (G 1 ~ G y) に接続された画素 1 0 0 の信号が信号出力線 (S 1 ~ S x) に出力される。図 1 5 から分かるように、本駆動方法を用いると、画素 1 0 0 により出力された画素 1 0 0 の信号の蓄積時間 (L) は、全て同じであり、6 個の水平走査

50

期間 ($6 \times P$) となっている。

【0019】

次いで、図16を用いてゲート信号線 ($G_1 \sim G_y$) に出力されるゲート信号とのタイミングと、リセット信号線 ($R_1 \sim R_y$) に出力されるリセット信号のタイミングと、 i 行 j 列目の画素100に設けられた光電変換素子111の電位との関係について説明する。

【0020】

始めに、リセット信号線駆動回路103からリセット信号線 (R_i) に入力されるリセット信号によってリセット信号線 (R_i) が選択される。そうするとリセット信号線 (R_i) に接続されている全ての画素100 (i 行目の画素100) のリセット用トランジスタ114がオンの状態になる。そうすると、 i 行目の画素100が有する光電変換素子111が初期化される。

10

【0021】

光電変換素子111が初期化された後、光電変換素子111に光が照射されていると、光強度に応じた電荷が光電変換素子111に発生する。そして、リセット動作により光電変換素子111に充電された電荷が、徐々に放電され、光電変換素子111の n チャネル型端子の電位が低くなっていく。

【0022】

図16に示すように、光電変換素子111に明るい光が照射されている場合は、放電される量が多いため、光電変換素子111の n チャネル型端子の電位は低くなる。一方、光電変換素子111に暗い光が照射されている場合は、放電される量が少なく、光電変換素子111の n チャネル型端子の電位は、明るい光が照射されている場合に比べると、あまり低くなっていない。

20

【0023】

そして、リセット信号線 (R_i) にリセット信号が入力されてから、6個の水平走査期間 ($6 \times P$) が経過すると、ゲート信号線駆動回路102から j 行目のゲート信号線 (G_i) に入力されるゲート信号によって、ゲート信号線 (G_i) が選択される。そうすると、ゲート信号線 (G_i) に接続されたスイッチング用トランジスタ112がオンの状態となり、光電変換素子111の n チャネル型端子の電位を信号として読み出す。この信号は、光電変換素子111に照射された光の強度に比例している。

【0024】

なお、非常に明るい光が照射された場合は、光電変換素子111の n チャネル型端子の電位が低くなっていくが、その電位が電源基準線121の電位まで低くなると、電位は変化しなくなる。このような状況を飽和と呼ぶ。

30

【0025】

また光電変換素子111は、蓄積時間において、照射された光によって生成される電荷を蓄積している。よって、蓄積時間が異なると、たとえ同じ光強度の光であっても、光によって生成される電荷の総量が異なるため、信号値も異なる。例えば、強い光が光電変換素子111に照射された場合は、短い蓄積時間で飽和してしまう。また、弱い光が光電変換素子111に照射された場合であっても、蓄積時間が長いと、いずれは飽和状態に達する。つまり信号は、光電変換素子111に照射される光の強さと蓄積時間との積によって決定する。

40

【0026】

図16において、ゲート信号が入力された時点では、暗い光が照射された光電変換素子111の電位は、リセット信号が入力された時点に比べて少し低下しているが、まだ飽和状態には及ばない。

【0027】

一方、明るい光が照射された光電変換素子111は既に飽和状態になっている。この場合には、画素100から出力される信号を正確に読み取ることが出来ない。そのため、明るい光が照射された光電変換素子111を有する画素100の信号を読み取る際の蓄積時間はもう少し短い方が好ましい。

50

【 0 0 2 8 】

【 発明が解決しようとする課題 】

上述した駆動方法を用いると、画素 1 0 0 から出力される信号の蓄積時間 (L) は全て 6 個の水平走査期間 (6 × P) となっており、言い換えると、画素 1 0 0 から出力される信号は、全て同じ蓄積時間でしか出力出来なかった。

【 0 0 2 9 】

そのため、画素 1 0 0 に照射される光強度が強い場合には、光電変換素子 1 1 1 の電位が飽和状態になることがあり、被写体の情報を正確に読み取ることが出来なかった。また画素 1 0 0 に照射される光強度が弱い場合には、光電変換素子 1 1 1 の電位の変化が微弱であるため、画素 1 0 0 から出力される信号にあまり違いがなく、被写体の情報を正確に読み取ることが出来なかった。

10

【 0 0 3 0 】

また、“O.Yadid-Pecht et. al., Proc. SPIE, vol.2654, pp82-92, 1996”にて報告された方法を用いた場合、画素から出力される信号の蓄積時間は、2種類のみであった。しかも、駆動回路を画素部の上下に一つずつ配置しているため、駆動回路部が大型化してしまうという欠点もあった。

【 0 0 3 1 】

また、“ISSCC99:p308:A 640x512 CMOS Image Sensor with Ultra Wide Dynamic Range Floating-Point Pixel-Level ADC”にて報告された方法を用いた場合、画素から出力される信号の蓄積時間を T、2 T、4 T、・・・、(2^k) × T のように変化させている。その結果、k が増加すると、読み取り時間がとても長くなってしまいうという欠点が存在した。例えば k = 3 の場合 (ダイナミックレンジを 8 倍にする場合) には、通常の読み取り時間に比べて 8 倍の読み取り時間が必要となっていた。

20

【 0 0 3 2 】

【 課題を解決するための手段 】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じた。図 1 7 を用いて本発明の駆動方法について説明する。

【 0 0 3 3 】

図 1 7 において、横軸は時間の経過を示している。また図 1 7 には、従来の駆動方法によるゲート信号線 G a、G (a + 1) に印加される信号のタイミングチャートと、本願の駆動方法によるゲート信号線 (G a ~ G (a + 1))、ゲート信号線 (G b ~ G (b + 2))、ゲート信号線 (G c ~ G (c + 2)) とに印加される信号のタイミングチャートを示す。なお、a、b、c はともに自然数とする。

30

【 0 0 3 4 】

図 1 7 に示すように、従来の駆動方法においては、水平走査期間 (P) にゲート信号線 (G 1 ~ G y) のいずれか一本が選択される。つまり、1 フレーム期間には、y 回 (ゲート信号線 (G 1 ~ G y) の本数と同じ数) の垂直走査が行われていた。

【 0 0 3 5 】

一方、本発明の駆動方法においては、水平走査期間 (P) にゲート信号線 (G 1 ~ G y) のいずれか 3 本が選択され、1 フレーム期間に (3 × y) 回の垂直走査を行う。なお 1 水平走査期間 (P) に 3 本のゲート信号線 (G 1 ~ G y) を同時に選択すると、同じ信号出力線 (S 1 ~ S x) に接続している画素のうち 3 つの画素から出力される信号が、同じ信号出力線 (S 1 ~ S x) に出力されるため、信号が混ざってしまう。そのため、本発明では水平走査期間 (P) を 3 つに分割する。そしてそれぞれを第 1 サブ水平走査期間、第 2 サブ水平走査期間、第 3 サブ水平走査期間とする。そしてそれぞれのサブ水平走査期間において、ゲート信号線 (G 1 ~ G y) のいずれか一本を選択する。そうすると、信号出力線 (S 1 ~ S x) に画素から出力される信号が混ざることなく、1 水平走査期間 (P) 中に最大で 3 本のゲート信号線 (G 1 ~ G y) を選択することが出来る。

40

【 0 0 3 6 】

なおここでは水平走査期間 (P) を 3 つに分割した例を示すが、本発明はこれに限定され

50

ず、水平走査期間（P）は設計者の任意の数に分割することが出来る。

【0037】

また第1サブ水平走査期間において、ゲート信号線駆動回路から、ゲート信号線G（G1～Gyのうちいずれか一つ）に印加される信号を第1サブゲート信号とし、第2サブ水平走査期間において、ゲート信号線駆動回路から、ゲート信号線Gに印加される信号を第2サブゲート信号とする。また、第3サブ水平走査期間において、ゲート信号線駆動回路から、ゲート信号線Gに印加される信号を第3サブゲート信号とする。

【0038】

図19に示すように、ある水平走査期間（P）においては、第1サブ水平走査期間において、a行目のゲート信号線（Ga）が選択され、第2サブ水平走査期間において、b行目のゲート信号線（Gb）が選択され、第3サブ水平走査期間において、c行目のゲート信号線（Gc）が選択される。

10

【0039】

そして、次の水平走査期間（P）においては、第1サブ水平走査期間において、（a+1）行目のゲート信号線（Ga）が選択され、第2サブ水平走査期間において、（b+1）行目のゲート信号線（Gb）が選択され、第3サブ水平走査期間において、（c+1）行目のゲート信号線（Gc）が選択される。

【0040】

このようにして順に全てのゲート信号線（G1～Gy）が、第1サブ水平走査期間、第2サブ水平走査期間、および第3サブ水平走査期間のそれぞれの期間において選択される。言い換えると、全てのゲート信号線（G1～Gy）に順に第1サブゲート信号、第2サブゲート信号、および第3サブゲート信号を印加させる。本発明では、ゲート信号線（G1～Gy）に、第1サブゲート信号、第2サブゲート信号、および第3サブゲート信号が印加されるタイミングを変化させる。その結果、光電変換素子を有する画素からは、複数の信号が出力され、さらにその複数の信号の蓄積時間はそれぞれ異なる。

20

【0041】

すなわち本発明では、水平走査期間（P）をn個（nは自然数）に分割することにより、1フレーム期間内において、（n×y）回の水平走査を行うことが出来るため、読み取り時間が長くなってしまふことを防ぐことが出来る。またそれぞれの画素からは、n個の信号を出力することが出来、さらに複数の信号の蓄積時間はそれぞれ異なる。そのため、画素100に照射された光強度に適した信号を選択することが可能となる。

30

【0042】

【発明の実施の形態】

（実施の形態1）

本発明の駆動方法は、光電変換素子を有するどのような半導体装置にも適用される。図3、図4には、本発明が適用される半導体装置の一例を示す。

【0043】

図3の半導体装置は、画素部104、画素部104の周辺に配置されたソース信号線駆動回路101、ゲート信号線駆動回路102、リセット信号線駆動回路103を有している。ソース信号線駆動回路101は、バイアス用回路101a、サンプルホールド回路101b、信号出力線駆動回路101c、及び最終出力増幅用回路101dを有する。

40

【0044】

なお、図3にはソース信号線駆動回路101が、バイアス用回路101a、サンプルホールド回路101b、信号出力線駆動回路101c、及び最終出力増幅用回路101dが設けられた例を示したが、本発明はこれに限定されない。ソース信号線駆動回路101については、実施例において詳しく説明する。

【0045】

画素部104は、マトリクス状に配置された複数の画素100を有している。なお本明細書において、画素部104には、x列（縦）×y行（横）個の画素100がマトリクス状に設けられているとする。

50

【 0 0 4 6 】

図 4 には、 i 行 j 列目に設けられた画素 1 0 0 の回路図を示す。画素 1 0 0 は、信号出力線 ($S 1 \sim S x$) のいずれか 1 つと、電源線 ($V B 1 \sim V B x$) のいずれか 1 つと、ゲート信号線 ($G 1 \sim G y$) のいずれか 1 つと、リセット信号線 ($R 1 \sim R y$) のいずれか 1 つとを有している。また、画素 1 0 0 は、スイッチング用トランジスタ 1 1 2 と、増幅用トランジスタ 1 1 3 と、リセット用トランジスタ 1 1 4 と、光電変換素子 1 1 1 とを有している。

【 0 0 4 7 】

光電変換素子 1 1 1 は、 n チャネル型端子、 p チャネル型端子、および n チャネル型端子と p チャネル型端子の間に設けられている光電変換層を有している。 p チャネル型端子及び n チャネル型端子の一方は、電源基準線 1 2 1 に接続されており、もう一方は増幅用トランジスタ 1 1 3 のゲート電極に接続されている。

10

【 0 0 4 8 】

スイッチング用トランジスタ 1 1 2 のゲート電極はゲート信号線 ($G i$) に接続されている。そしてスイッチング用トランジスタ 1 1 2 のソース領域及びドレイン領域は、一方は増幅用トランジスタ 1 1 3 のソース領域に接続されており、もう一方は信号出力線 ($S j$) に接続されている。スイッチング用トランジスタ 1 1 2 は、光電変換素子 1 1 1 の信号を出力するときのスイッチング素子として機能するトランジスタである。

【 0 0 4 9 】

増幅用トランジスタ 1 1 3 のドレイン領域は電源線 ($V B j$) に接続されている。そして増幅用トランジスタ 1 1 3 のソース領域はスイッチング用トランジスタ 1 1 2 のソース領域又はドレイン領域に接続されている。増幅用トランジスタ 1 1 3 は、画素部 1 0 4 の下部に設けられたバイアス用トランジスタ (図示せず) とソースフォロワ回路を形成する。そのため、増幅用トランジスタ 1 1 3 とバイアス用トランジスタの極性は同じである方がよい。

20

【 0 0 5 0 】

リセット用トランジスタ 1 1 4 のゲート電極は、リセット信号線 ($R i$) に接続されている。リセット用トランジスタ 1 1 4 のソース領域とドレイン領域は、一方は電源線 ($V B j$) に接続されており、もう一方は、光電変換素子 1 1 1 及び増幅用トランジスタ 1 1 3 のゲート電極に接続されている。リセット用トランジスタ 1 1 4 は、光電変換素子 1 1 1 を初期化 (リセット) するための素子 (スイッチング素子) として機能するトランジスタである。

30

【 0 0 5 1 】

なお図 4 に示す画素 1 0 0 の構成はあくまで一例であり、本発明はこれに限定されない。例えば、図 4 に示す画素 1 0 0 に、1 つのトランジスタ (転送用トランジスタ) を追加してもよく、そのような構成を有する半導体装置に本発明を適用することも出来る。また光電変換素子 1 1 1 として、フォトダイオードやフォトゲートなどを用いてもよい。つまり、画素 1 0 0 はどのような構成でもよく、画素 1 0 0 が有するトランジスタやコンデンサの数、及びそれらの接続の構成は特に限定されない。また、画素 1 0 0 の構成に応じて、ゲート信号線駆動回路 1 0 2、リセット信号線駆動回路 1 0 3 などの駆動回路の数を変化させてもよく、半導体装置に設けられる駆動回路の数は特に限定されない。

40

【 0 0 5 2 】

次いで、上述した構成を有する半導体装置に適用した本発明の駆動方法について、図 1、図 2 を用いて説明する。

【 0 0 5 3 】

図 1 において、横軸は時間の経過を示しており、またリセット信号線 ($R 1 \sim R y$)、ゲート信号線 ($G 1 \sim G y$) とに印加される信号のタイミングチャートを示す。なお本実施例においては、 y は 1 4 とするが、本発明はこれに限定されず、リセット信号線 ($R 1 \sim R y$) とゲート信号線 ($G 1 \sim G y$) の数 (y の値) は設計者が任意に定めることができる。

50

【 0 0 5 4 】

なお本明細書において、リセット信号線 R (R 1 ~ R y のうちのいずれか一つ) にリセット信号が印加されてから、再びリセット信号が印加されるまでの期間を 1 フレーム期間 (F) とする。また本明細書において、リセット信号線 R に信号を印加して、次の列のリセット信号線 R に信号を印加する期間を水平走査期間 (P) とする。そして、水平走査期間 (P) を 3 つに分割した期間をそれぞれ第 1 サブ水平走査期間、第 2 サブ水平走査期間、第 3 サブ水平走査期間とする。

【 0 0 5 5 】

また第 1 サブ水平走査期間において、ゲート信号線駆動回路 1 0 2 から、ゲート信号線 G (G 1 ~ G y のうちのいずれか一つ) に印加される信号を第 1 サブゲート信号とし、第 2 サブ水平走査期間において、ゲート信号線駆動回路 1 0 2 から、ゲート信号線 G に印加される信号を第 2 サブゲート信号とする。また、第 3 サブ水平走査期間において、ゲート信号線駆動回路 1 0 2 から、ゲート信号線 G に印加される信号を第 3 サブゲート信号とする。

10

【 0 0 5 6 】

まず、リセット信号線駆動回路 1 0 3 から 1 行目のリセット信号線 (R 1) に入力されるリセット信号によってリセット信号線 (R 1) が選択される。そうすると、リセット信号線 (R 1) に接続されている全ての画素 (1 行目の画素) のリセット用トランジスタ 1 1 4 がオンの状態になり、1 行目の画素 1 0 0 が有する光電変換素子 1 1 1 が初期化される。

20

【 0 0 5 7 】

リセット信号線 (R 1) の選択が終了すると同時に、2 行目のリセット信号線 (R 2) が選択される。そして、リセット信号線 (R 2) に接続されている全ての画素 1 0 0 のリセット用トランジスタ 1 1 4 がオンの状態になり、2 行目の画素 1 0 0 が有する光電変換素子 1 1 1 が初期化される。

【 0 0 5 8 】

このようにして順に、全てのリセット信号線 (R 1 ~ R y) が選択されていく。そして、選択されたリセット信号線 R に接続された画素 1 0 0 が有する光電変換素子 1 1 1 が初期化される。

【 0 0 5 9 】

次いでゲート信号線 (G 1 ~ G y) に印加される信号のタイミングチャートについて説明する。

30

【 0 0 6 0 】

1 行目のリセット信号線 (R 1) にリセット信号が入力されてから、3 個の水平走査期間 (3 × P) が経過すると、ゲート信号線駆動回路 1 0 2 から 1 行目のゲート信号線 (G 1) に入力される第 1 サブゲート信号によって、ゲート信号線 (G 1) が選択される。そうすると、ゲート信号線 (G 1) に接続されたスイッチング用トランジスタ 1 1 2 がオンの状態となり、1 行目の画素 1 0 0 により信号が信号出力線 (S 1 ~ S x) に出力される。なお、この場合における画素 1 0 0 により出力された信号の蓄積時間 (L) は、3 個の水平走査期間 (3 × P) である。

40

【 0 0 6 1 】

次いで、ゲート信号線駆動回路 1 0 2 から 1 2 行目のゲート信号線 (G 1 2) に入力される第 2 サブゲート信号によって、ゲート信号線 (G 1 2) が選択される。そうすると、ゲート信号線 (G 1 2) に接続されたスイッチング用トランジスタ 1 1 2 がオンの状態となり、1 2 行目の画素 1 0 0 により信号が信号出力線 (S 1 ~ S x) に出力される。

【 0 0 6 2 】

また、ゲート信号線駆動回路 1 0 2 から b 行目 (b は自然数) のゲート信号線 (G b) (図示せず) に入力される第 3 サブゲート信号によって、ゲート信号線 (G b) が選択される。そうすると、ゲート信号線 (G b) に接続されたスイッチング用トランジスタ 1 1 2 がオンの状態となり、b 行目の画素 1 0 0 により信号が信号出力線 (S 1 ~ S x) に出力

50

される。

【 0 0 6 3 】

このようにして、第 1 サブゲート信号は 1 行目のゲート信号線 (G 1) に第 1 サブ水平走査期間において出力され、第 2 サブゲート信号は 1 2 行目のゲート信号線 (G 1 2) に第 2 サブ水平走査期間において出力され、第 3 サブゲート信号は b 行目のゲート信号線 (G b) に第 3 サブ水平走査期間において出力される。そして、第 1 サブ水平走査期間、第 2 サブ水平走査期間、及び第 3 サブ水平走査期間を合わせた期間が 1 水平走査期間 (P) となる。

【 0 0 6 4 】

次いで、リセット信号線 (R 1) にリセット信号が入力されてから、4 個の水平走査期間 (4 × P) が経過すると、ゲート信号線駆動回路 1 0 2 から 2 行目のゲート信号線 (G 2) に入力される第 1 サブゲート信号によって、ゲート信号線 (G 2) が選択される。そうすると、ゲート信号線 (G 2) に接続されたスイッチング用トランジスタ 1 1 2 がオンの状態となり、2 行目の画素 1 0 0 により信号が信号出力線 (S 1 ~ S x) に出力される。なお、この場合における 2 行目の画素 1 0 0 により出力された信号の蓄積時間 (L) は、3 個の水平走査期間 (3 × P) である。

10

【 0 0 6 5 】

次いで、ゲート信号線駆動回路 1 0 2 から 1 3 行目のゲート信号線 (G 1 3) に入力される第 2 サブゲート信号によって、ゲート信号線 (G 1 3) が選択される。そうすると、ゲート信号線 (G 1 3) に接続されたスイッチング用トランジスタ 1 1 2 がオンの状態となり、1 3 行目の画素 1 0 0 により信号が信号出力線 (S 1 ~ S x) に出力される。

20

【 0 0 6 6 】

また、ゲート信号線駆動回路 1 0 2 から 7 行目のゲート信号線 (G 7) に入力される第 3 サブゲート信号によって、ゲート信号線 (G 7) が選択される。そうすると、ゲート信号線 (G 7) に接続されたスイッチング用トランジスタ 1 1 2 がオンの状態となり、7 行目の画素 1 0 0 により信号が信号出力線 (S 1 ~ S x) に出力される。

【 0 0 6 7 】

このようにして、第 1 サブゲート信号は 2 行目のゲート信号線 (G 2) に第 1 サブ水平走査期間において出力され、第 2 サブゲート信号は 1 3 行目のゲート信号線 (G 1 3) に第 2 サブ水平走査期間において出力され、第 3 サブゲート信号は 7 行目のゲート信号線 (G 7) に第 3 サブ水平走査期間において出力される。

30

【 0 0 6 8 】

そして、リセット信号線 (R 1) にリセット信号が入力されてから、6 個の水平走査期間 (6 × P) が経過すると、ゲート信号線駆動回路 1 0 2 からゲート信号線 (G 1) に入力される第 2 サブゲート信号によって、ゲート信号線 (G 1) が選択される。そうすると、ゲート信号線 (G 1) に接続されたスイッチング用トランジスタ 1 1 2 がオンの状態となり、1 行目の画素 1 0 0 により出力された信号が信号出力線 (S 1 ~ S x) に出力される。この場合における画素 1 0 0 により出力された信号の蓄積時間 (L) は、6 個の水平走査期間 (6 × P) である。

【 0 0 6 9 】

次いで、ゲート信号線駆動回路 1 0 2 から 9 行目のゲート信号線 (G 9) に入力される第 3 サブゲート信号によって、ゲート信号線 (G 9) が選択される。そうすると、ゲート信号線 (G 9) に接続されたスイッチング用トランジスタ 1 1 2 がオンの状態となり、9 行目の画素 1 0 0 により信号が信号出力線 (S 1 ~ S x) に出力される。

40

【 0 0 7 0 】

そして、リセット信号線 (R 1) にリセット信号が入力されてから、1 2 個の水平走査期間 (1 2 × P) が経過すると、ゲート信号線駆動回路 1 0 2 からゲート信号線 (G 1) に入力される第 3 サブゲート信号によって、ゲート信号線 (G 1) が選択される。そうすると、ゲート信号線 (G 1) に接続されたスイッチング用トランジスタ 1 1 2 がオンの状態となり、1 行目の画素 1 0 0 により信号が信号出力線 (S 1 ~ S x) に出力される。この

50

場合における画素100により出力された信号の蓄積時間(L)は、12個の水平走査期間(12×P)である。

【0071】

このようにして、第1サブ水平走査期間において、ゲート信号線(G1~Gy)のいずれか一つに第1サブゲート信号が入力され、第2サブ水平走査期間において、ゲート信号線(G1~Gy)のいずれか一つに第2サブゲート信号が入力され、第3サブ水平走査期間において、ゲート信号線(G1~Gy)のいずれか一つに第3サブゲート信号が入力されるという動作が繰り返される。このとき、ある水平走査期間において、第1サブゲート信号が入力されるゲート信号線(G1~Gy)、第2サブゲート信号が入力されるゲート信号線(G1~Gy)、および第3サブゲート信号が入力されるゲート信号線(G1~Gy)はそれぞれ異なる。

10

【0072】

そして順に、全てのゲート信号線(G1~Gy)が第1サブ水平走査期間、第2サブ水平走査期間、及び第3サブ水平走査期間においてそれぞれ選択される。その結果、全てのゲート信号線(G1~Gy)に第1サブゲート信号、第2サブゲート信号、及び第3サブゲート信号がそれぞれ入力される。

【0073】

そして1フレーム期間(F)が経過すると、再びリセット信号線駆動回路103からリセット信号線(R1)に入力されるリセット信号によってリセット信号線(R1)が選択される。そして、図1に示すような上述した動作を繰り返す。

20

【0074】

なお、リセット信号線(R1~Ry)にリセット信号が入力されてから、ゲート信号線(G1~Gy)に第1サブゲート信号が入力されるまでの期間(本実施の形態では3×P)、第2サブゲート信号が入力されるまでの期間(本実施の形態では6×P)、第3サブゲート信号が入力されるまでの期間(本実施の形態では12×P)はそれぞれ異なる。その結果、画素100により3個の信号を出力することができ、さらにその3個の信号の蓄積時間は異なっている。

【0075】

なお、第1サブゲート信号は、ゲート信号線駆動回路102から第1サブ水平走査期間の期間にのみ出力され、第2サブゲート信号は第2サブ水平走査期間の期間にのみ出力され、第3サブゲート信号は第3サブ水平走査期間の期間にのみ出力される。そのため、例えばリセット信号線(R1)にリセット信号が入力されてから、6個の水平走査期間(6×P)が経過した後に画素100により出力された信号の蓄積時間(L)は、正確には6個の水平走査期間(6×P)と、1個のサブ水平走査期間とを足した期間となる。しかし、サブ水平走査期間は蓄積時間(L)と比較すると十分小さいため、本明細書において、上記のような場合における蓄積時間(L)は、6個の水平走査期間(6×P)と見なすことにする。

30

【0076】

また実施の形態では、水平走査期間(P)を3つに均等に分割したが、本発明はこれに限定されない。水平走査期間(P)は設計者が任意の数に分割することができる。

40

【0077】

また本実施の形態では、蓄積時間(L)が3×P、6×P、12×Pの2のべき乗倍ずつになるように信号を出力したが、本発明はこれに限定されない。例えば蓄積時間(L)を2倍ずつになるように信号を出力するようにしてもよいし、10倍ずつになるように信号を出力するようにしてもよい。

【0078】

(実施の形態2)

次いで、図2を用いて第1サブゲート信号、第2サブゲート信号、第3サブゲート信号がゲート信号線(G1~Gy)に出力されるタイミングと、リセット信号がリセット信号線(R1~Ry)に出力されるタイミングと、光電変換素子111の電位との関係について

50

説明する。なお本実施の形態においては、一例として、 i 行 j 列目に設けられた画素100について説明する。

【0079】

始めに、リセット信号線駆動回路103から i 行目のリセット信号線(R_i)に入力されるリセット信号によってリセット信号線(R_i)が選択される。そうするとリセット信号線(R_i)に接続されている全ての画素(i 行目の画素)のリセット用トランジスタ114がオンの状態になる。そうすると、 i 行目の画素が有する光電変換素子111が初期化される。

【0080】

そして、リセット信号線(R_i)にリセット信号が入力されてから、3個の水平走査期間($3 \times P$)が経過すると、ゲート信号線駆動回路102から i 行目のゲート信号線(G_i)に入力される第1サブゲート信号によって、ゲート信号線(G_i)が選択される。そうすると、ゲート信号線(G_i)に接続されたスイッチング用トランジスタ112がオンの状態となり、光電変換素子111の n チャンネル型端子の電位を信号として読み出す。この信号は、光電変換素子111に照射された光の強度に比例している。

10

【0081】

次いで、リセット信号線(R_i)にリセット信号が入力されてから、6個の水平走査期間($6 \times P$)が経過すると、ゲート信号線駆動回路102から i 行目のゲート信号線(G_i)に入力される第2サブゲート信号によってゲート信号線(G_i)が選択される。そうすると、ゲート信号線(G_i)に接続されたスイッチング用トランジスタ112がオンの状態となり、光電変換素子111の n チャンネル型端子の電位を信号として読み出す。

20

【0082】

次いで、リセット信号線(R_i)にリセット信号が入力されてから、12個の水平走査期間($12 \times P$)が経過すると、ゲート信号線駆動回路102から i 行目のゲート信号線(G_i)に入力される第3サブゲート信号によってゲート信号線(G_i)が選択される。そうすると、ゲート信号線(G_i)に接続されたスイッチング用トランジスタ112がオンの状態となり、光電変換素子111の n チャンネル型端子の電位を信号として読み出す。

【0083】

そして、1フレーム期間(F)が経過すると、リセット信号線駆動回路103から($i+1$)行目のリセット信号線($R_{(i+1)}$)に入力されるリセット信号によってリセット信号線($R_{(i+1)}$)が選択される。そして、再びリセット用トランジスタ114をオンの状態にして光電変換素子111をリセットし、上述の動作を繰り返していく。

30

【0084】

本発明により、1フレーム期間において、複数の信号が画素100から出力され、その複数の信号の蓄積時間はそれぞれ異なっている。図2では、実線で示す光電変換素子111の電位は暗い光が照射された場合であり、点線で示す光電変換素子111の電位は明るい光が照射された場合を示している。

【0085】

図2において、第1サブゲート信号が入力された時点では、明るい光が照射された光電変換素子111の電位と、暗い光が照射された光電変換素子111の電位には大きな差はない。

40

【0086】

しかし、第2サブゲート信号が入力された時点では、明るい光が照射された光電変換素子111は既に飽和状態に近くなっている。それに対して、暗い光が照射された光電変換素子111の電位は、第1サブゲート信号が入力された時点に比べて少し低下しているが、まだ飽和状態には及ばない。

【0087】

第3サブゲート信号が入力された時点では、既に明るい光が照射された光電変換素子111は既に飽和状態にある。一方、暗い光が照射された光電変換素子111の電位は飽和状態に近くなっている。

50

【0088】

画素100から出力される信号は、画素100が有する光電変換素子111に照射される光の強さ（光電変換素子111の電位）と蓄積時間との積によって決定することは上述した。つまり、暗い光が照射された光電変換素子111を有する画素100の信号は、第3サブゲート信号が入力された時点の光電変換素子111の電位と、蓄積時間（ $12 \times P$ ）との積によって決定されることが好ましい。これは第1サブゲート信号が入力された時点、第2サブゲート信号が入力された時点では、未だ飽和状態には及ばないためである。

【0089】

また明るい光が照射された光電変換素子111を有する画素100の信号は、第2サブゲート信号が入力された時点の光電変換素子111の電位と蓄積時間（ $6 \times P$ ）との積によって決定されることが好ましい。これは第1サブゲート信号が入力された時点では、飽和状態には及ばない状態であり、一方第3サブゲート信号が入力された時点では、既に飽和状態になっているためである。

10

【0090】

本発明の駆動方法を用いることにより、1フレーム期間内に、画素から複数の信号を出力することができ、さらにその複数の信号はそれぞれ蓄積時間が異なっている。そのため、その複数の信号から、画素に照射された光強度に適した信号を選択することが出来る。

【0091】

【実施例】

（実施例1）

20

本実施例では、図3に示したソース信号線駆動回路101について詳しく説明する。ソース信号線駆動回路101は、バイアス用回路101a、サンプルホールド回路101b、信号出力用駆動回路101c、最終出力増幅用回路101dを有している。なお、本発明はこれに限定されず、ソース信号線駆動回路101には、アナログ・デジタル信号変換回路や雑音低減回路などを設けてもよい。

【0092】

バイアス用回路101aは、それぞれの画素が有する増幅用トランジスタと対になって、ソースフォロワ回路を形成する。サンプルホールド回路101bは、信号をいったん保存したり、アナログ・デジタル変換を行ったり、雑音を低減する回路を有する。また、信号出力用駆動回路101cは、一時的に保存されていた信号を、順に出力していくための信号を出力する回路を有する。そして、最終出力増幅用回路101dは、サンプルホールド回路101bと信号出力用駆動回路101cにより出力された信号を増幅する回路を有する。なお、最終出力増幅用回路101dは、信号を増幅する必要のない場合には設けなくてもよい。

30

【0093】

バイアス用回路101a、サンプルホールド回路101bおよび信号出力線用駆動回路101cのj列目周辺部分101eの回路図を図5に示す。なお、本実施例では、全てのトランジスタがnチャンネル型トランジスタとするが、本発明はこれに限定されず、トランジスタはnチャンネル型でもpチャンネル型でもどちらでもよい。

【0094】

40

バイアス用回路101aは、バイアス用トランジスタ210aを有している。バイアス用トランジスタ210aは、各画素の増幅用トランジスタと同じ極性を有し、ソースフォロワ回路を形成する。バイアス用トランジスタ210aのゲート電極は、バイアス信号線200に接続されている。バイアス用トランジスタ210aのソース領域とドレイン領域は、一方は信号出力線（ S_j ）に接続されており、もう一方は電源基準線210bに接続されている。なお本実施例では、nチャンネル型トランジスタをバイアス用トランジスタ210aに用いた場合を示したが、本発明はこれに限定されない。例えば、pチャンネル型トランジスタをバイアス用トランジスタ210aと増幅用トランジスタに用いることもできるが、その場合には、バイアス用トランジスタ210aは電源基準線ではなく電源線に接続される。

50

【0095】

サンプルホールド回路101bは、転送用トランジスタ211、212、213と、放電用トランジスタ214a、215a、216aと、出力用トランジスタ217、218、219とを有する。転送用トランジスタ211、212、213のゲート電極は、それぞれ転送用信号線201、202、203に接続されている。

【0096】

転送用トランジスタ211、212、213のソース領域とドレイン領域は、一方は信号出力線(Sj)に接続され、もう一方は放電用トランジスタ214a、215a、216aのソース領域及びドレイン領域の一方に接続されている。転送用トランジスタ211、212、213がオン状態になると、信号出力線(Sj)の電位がコンデンサ214b、215b、216bに保持される。

10

【0097】

なお本実施例では、nチャネル型トランジスタを転送用トランジスタ211、212、213に用いた場合を示したが、本発明はこれに限定されない。例えば、pチャネル型トランジスタとnチャネル型トランジスタを並列に接続して、それらのトランジスタを転送用トランジスタとして用いてもよい。

【0098】

コンデンサ214bは放電用トランジスタ214aのソース領域及びドレイン領域と電源基準線214cに接続されている。放電用トランジスタ214aのゲート電極は、放電用信号線204に接続されている。

20

【0099】

コンデンサ215bは放電用トランジスタ215aのソース領域及びドレイン領域と電源基準線215cに接続されている。放電用トランジスタ215aのゲート電極は、放電用信号線205に接続されている。

【0100】

コンデンサ216bは放電用トランジスタ216aのソース領域及びドレイン領域と電源基準線216cに接続されている。放電用トランジスタ216aのゲート電極は、放電用信号線206に接続されている。

【0101】

なおコンデンサ214b、215b、216bには、信号出力線(Sj)から出力された信号が一時的に保持される。また放電用トランジスタ214a、215a、216aがオン状態になることによって、コンデンサ214b、215b、216bの電荷を電源基準線214c、215c放電して初期化させる。

30

【0102】

本実施例では、コンデンサ214bには、j列目に設けられた複数の画素100のうち、第1サブゲート信号が入力された画素100から出力された信号が一時的に保持されるとする。またコンデンサ215bには、第2サブゲート信号が入力された画素100から出力された信号が一時的に保持され、コンデンサ216bには第3サブゲート信号が入力された画素100から出力された信号が一時的に保持されるとする。

【0103】

217、218、219は出力用トランジスタである。出力用トランジスタ217のソース領域とドレイン領域は、一方はコンデンサ214bに接続され、他方は最終出力用トランジスタ220のソース領域とドレイン領域の一方に接続されている。また出力用トランジスタ217のゲート電極は、出力用信号線207に接続されている。

40

【0104】

出力用トランジスタ218のソース領域とドレイン領域は、一方はコンデンサ215bに接続され、他方は最終出力用トランジスタ220のソース領域とドレイン領域の一方に接続されている。また出力用トランジスタ218のゲート電極は、出力用信号線208に接続されている。

【0105】

50

出力用トランジスタ 219 のソース領域とドレイン領域は、一方はコンデンサ 216 b に接続され、他方は最終出力用トランジスタ 220 のソース領域とドレイン領域の一方に接続されている。また、出力用トランジスタ 219 のゲート電極は、出力用信号線 209 に接続されている。

【0106】

最終出力用トランジスタ 220 のソース領域とドレイン領域の他方は最終出力線 222 に接続されている。そして最終出力用トランジスタ 220 のゲート電極は最終選択線 (SSj) に接続されている。

【0107】

221 a は最終リセット用トランジスタであり、221 b は電源基準線である。最終リセット用トランジスタ 221 a のソース領域とドレイン領域は、一方は電源基準線 221 b に接続され、他方は最終出力線 222 に接続されている。また最終リセット用トランジスタ 221 a のゲート電極は最終リセット線 SRj に接続されている。なお最終リセット用トランジスタ 221 a がオン状態になることによって、最終出力線 222 の電位を、電源基準線 221 b の電位に初期化させる。

【0108】

次いで図 5 に示したソース信号線駆動回路 101 のタイミングチャートを、図 6 を用いて説明する。図 6 において、リセット信号線 (R1 ~ Ry) にリセット信号が印加されてから、再びリセット信号が印加されるまでの期間を 1 フレーム期間 (F) とする。そして、リセット信号線 (R1 ~ Ry) に信号を印加して、次の列のリセット信号線 (R1 ~ Ry) に信号を印加するまでの期間を水平走査期間 (P) とする。水平走査期間 (P) は、第 1 サブ水平走査期間、第 2 サブ水平走査期間、第 3 サブ水平走査期間の 3 つに分割される。

【0109】

第 1 サブ水平走査期間において、転送用信号線 201 が選択され、転送用信号線 201 に接続された転送用トランジスタ 211 がオンの状態になる。そうすると、第 1 サブゲート信号が入力された画素 100 から出力された信号がコンデンサ 214 b に一時的に保持される。また同様に、出力用信号線 209 が選択され、出力用信号線 209 に接続された出力用トランジスタ 219 がオンの状態になる。そうすると、コンデンサ 216 b に保持されていた信号が最終出力線 222 に出力される。

【0110】

次いで、第 2 サブ水平走査期間において、転送用信号線 202 が選択され、転送用信号線 202 に接続された転送用トランジスタ 212 がオンの状態になる。そうすると、第 2 サブゲート信号が入力された画素 100 から出力された信号がコンデンサ 215 b に一時的に保持される。また同様に、出力用信号線 207 が選択され、出力用信号線 207 に接続された出力用トランジスタ 217 がオンの状態になる。そうすると、コンデンサ 214 b に保持されていた信号が最終出力線 222 に出力される。

【0111】

次いで、第 3 サブ水平走査期間において、転送用信号線 203 が選択され、転送用信号線 203 に接続された転送用トランジスタ 213 がオンの状態になる。そうすると、第 3 サブゲート信号が入力された画素 100 から出力された信号がコンデンサ 216 b に一時的に保持される。また同様に、出力用信号線 208 が選択され、出力用信号線 208 に接続された出力用トランジスタ 218 がオンの状態になる。そうすると、コンデンサ 215 b に保持されていた信号が最終出力線 222 に出力される。

【0112】

なおそれぞれのサブ水平走査期間では、最終リセット線 (SR1 ~ SRx) と最終出力線 (SS1 ~ SSx) とが交互に選択される。本実施例では、第 1 サブ水平走査期間においては、コンデンサ 216 b に保持されていた信号が最終出力線 222 に出力され、第 2 サブ水平走査期間においては、コンデンサ 214 b に保持されていた信号が最終出力線 222 に出力され、第 3 サブ水平走査期間においては、コンデンサ 216 b に保持された信号

10

20

30

40

50

が最終出力線 2 2 2 に出力される。

【 0 1 1 3 】

ここで、サブ水平走査期間における最終リセット線 (S R 1 ~ S R x) と、最終出力線 (S S 1 ~ S S x) に印加する信号のタイミングチャートについて説明する。なお本実施例では、第 2 サブ水平走査期間を例に挙げて説明する。

【 0 1 1 4 】

第 2 サブ水平走査期間においては、転送用信号線 2 0 2 と、出力用信号線 2 0 7 が選択される。そして 1 列目の最終リセット線 (S R 1) を選択する。そうすると、最終リセット用トランジスタ 2 2 1 a がオンの状態となり、最終出力線 2 2 2 がある電位値までに初期化される。そして、1 列目の最終選択線 (S S 1) を選択され、最終選択用トランジスタ 2 2 0 がオンの状態となる。そうすると、1 列目のコンデンサ 2 1 4 b に一時的に保持されていた信号が最終出力線 2 2 2 に出力される。

10

【 0 1 1 5 】

次いで、2 列目の最終リセット線 (S R 2) を選択すると、最終リセット用トランジスタ 2 2 1 a がオンの状態となり、最終出力線 2 2 2 をある電位値までに初期化する。そして、2 列目の最終選択線 (S S 2) が選択されると、最終選択用トランジスタ 2 2 0 がオンの状態となる。そうすると、2 行目のコンデンサ 2 1 4 b に一時的に保持されていた信号が最終出力線 2 2 2 に出力される。

【 0 1 1 6 】

そして最終出力線 2 2 2 に出力された信号は、最終出力増幅用回路 1 0 1 d で増幅され、外部へ出力される。

20

【 0 1 1 7 】

このようにして順に、全ての最終リセット線 (S R 1 ~ S R x) と最終出力線 (S S 1 ~ S S x) とが交互に選択されていく。そうすると、全ての列のコンデンサ 2 1 4 a に保持されていた信号が最終出力線 2 2 2 に出力される。

【 0 1 1 8 】

次いで、放電用信号線 2 0 4 が選択される。そして、放電用信号線 2 0 4 に接続された全ての放電用トランジスタ 2 1 4 a がオンの状態になり、放電用トランジスタ 2 1 4 a に接続された全てのコンデンサ 2 1 4 b が、電源基準線 2 1 4 c の電位まで初期化される。

【 0 1 1 9 】

なお本実施例では、コンデンサ 2 1 4 b に保持された信号が読み出された直後に、放電用信号線 2 0 4 を選択して、コンデンサ 2 1 4 b を初期化した場合を示したが、本発明はこれに限定されない。放電用信号線 2 0 4 を選択するタイミングは特に限定されない。

30

【 0 1 2 0 】

なおコンデンサ 2 1 4 b を初期化する場合には、放電用信号線 2 0 4 を選択し、コンデンサ 2 1 5 b を初期化する場合には、放電用信号線 2 0 5 を選択し、コンデンサ 2 1 6 b を初期化する場合には、放電用信号線 2 0 6 を選択する。そうすると、放電用信号線 2 0 4 、 2 0 5 、 2 0 6 に接続された放電用トランジスタ 2 1 4 a 、 2 1 5 a 、 2 1 6 a がそれぞれオン状態になり、電源基準線 2 1 4 c 、 2 1 5 c 、 2 1 6 c の電位まで初期化される。

40

【 0 1 2 1 】

なお本実施例では、実施の形態において水平走査期間 (P) を 3 つに分割した例を示したため、1 列に 3 つのコンデンサを設けた例を示したが、本発明はこれに限定されない。1 列に設けられるコンデンサの数は設計者が自由に決めることが可能である。しかし、1 水平走査期間を複数のサブ水平走査期間に分割する場合には、1 水平走査期間に複数行分の信号が出力される。そのため、信号を保存しておくためのコンデンサは、それぞれの列で複数個 (サブ水平走査期間数) あることが望ましい。

【 0 1 2 2 】

本実施例は、実施の形態 1 、 2 と自由に組み合わせることが可能である。

【 0 1 2 3 】

50

(実施例2)

本実施例では、実施例1とは異なるソース信号線駆動回路101の例について説明する。バイアス用回路101a、サンプルホールド回路101bおよび信号出力線用駆動回路101cのj列目周辺部分101eの回路図を図7に示す。なお、本実施例では、全てのトランジスタがnチャンネル型トランジスタとするが、本発明はこれに限定されず、トランジスタはnチャンネル型でもpチャンネル型でもどちらでもよい。

【0124】

バイアス用回路101aは、バイアス用トランジスタ310aを有している。バイアス用トランジスタ310aは、各画素の増幅用トランジスタと同じ極性を有し、ソースフォロワ回路を形成する。バイアス用トランジスタ310aのゲート電極は、バイアス信号線300に接続されている。バイアス用トランジスタ310aのソース領域およびドレイン領域は、一方は信号出力線(Sj)に接続されており、もう一方は電源基準線310bに接続されている。

10

【0125】

なお本実施例では、nチャンネル型トランジスタをバイアス用トランジスタ310aに用いた場合を示したが、本発明はこれに限定されない。例えば、pチャンネル型トランジスタをバイアス用トランジスタ310aと増幅用トランジスタに用いることもできるが、その場合には、バイアス用トランジスタ310aは電源基準線ではなく電源線に接続される。

【0126】

サンプルホールド回路101bは、転送用トランジスタ311、312、313と、放電用トランジスタ314a、315a、316aと、最終選択用トランジスタ317、318、319と、最終リセット用トランジスタ321a、322a、323aとを有する。

20

【0127】

転送用トランジスタ311、312、313のゲート電極は、転送用信号線301、302、303にそれぞれ接続されている。

【0128】

転送用トランジスタ311、312、313のソース領域とドレイン領域は、一方は信号出力線(Sj)に接続され、もう一方はコンデンサ314b、315b、316bと放電用トランジスタ314a、315a、316aのソース領域及びドレイン領域の一方に接続されている。転送用トランジスタ311、312、313がオン状態になると、信号出力線(Sj)の電位がコンデンサ314b、315b、316bに転送される。

30

【0129】

なお、本実施例では、nチャンネル型トランジスタを転送用トランジスタ311、312、313に用いた場合を示したが、本発明はこれに限定されない。例えば、pチャンネル型トランジスタとnチャンネル型トランジスタを並列に接続して、それらのトランジスタを転送用トランジスタとして用いてもよい。

【0130】

コンデンサ314bは放電用トランジスタ314aのソース領域及びドレイン領域と電源基準線314cに接続されている。放電用トランジスタ314aのゲート電極は、放電用信号線305に接続されている。

40

【0131】

コンデンサ315bは放電用トランジスタ315aのソース領域及びドレイン領域と電源基準線315cに接続されている。放電用トランジスタ315aのゲート電極は、放電用信号線305に接続されている。

【0132】

コンデンサ316bは放電用トランジスタ316aのソース領域及びドレイン領域と電源基準線316cに接続されている。放電用トランジスタ316aのゲート電極は、放電用信号線305に接続されている。

【0133】

なおコンデンサ314b、315b、316bは、信号出力線(Sj)から出力された信

50

号を一時的に保持する。また放電用トランジスタ 3 1 4 a、3 1 5 a、3 1 6 a は、コンデンサ 3 1 4 b、3 1 5 b、3 1 6 b の電荷を放電して、電源基準線 3 1 4 c、3 1 5 c、3 1 6 c の電位まで初期化させる。

【 0 1 3 4 】

本実施例では、コンデンサ 3 1 4 b には、第 1 サブゲート信号が入力された画素 1 0 0 から出力された信号が一時的に保持されるとする。またコンデンサ 3 1 5 b には、第 2 サブゲート信号が入力された画素 1 0 0 から出力された信号が一時的に保持され、コンデンサ 3 1 6 b には第 3 サブゲート信号が入力された画素 1 0 0 から出力された信号が一時的に保持されるとする。

【 0 1 3 5 】

3 1 7、3 1 8、3 1 9 は最終選択用トランジスタである。最終選択用トランジスタ 3 1 7、3 1 8、3 1 9 のゲート電極は最終選択線 (S S j) に接続されている。

【 0 1 3 6 】

最終選択用トランジスタ 3 1 7 のソース領域とドレイン領域は、一方はコンデンサ 3 1 4 b に接続され、他方は最終出力線 3 0 7 に接続されている。最終選択用トランジスタ 3 1 8 のソース領域とドレイン領域は、一方はコンデンサ 3 1 5 b に接続され、他方は最終出力線 3 0 8 に接続されている。最終選択用トランジスタ 3 1 9 のソース領域とドレイン領域は、一方はコンデンサ 3 1 6 b に接続され、他方は最終出力線 3 0 9 に接続されている。

【 0 1 3 7 】

3 2 1 a、3 2 2 a、3 2 3 a は最終リセット用トランジスタであり、3 2 1 b、3 2 2 b、3 2 3 b は電源基準線である。最終リセット用トランジスタ 3 2 1 a、3 2 2 a、3 2 3 a のゲート電極は最終リセット線 (S R j) に接続されている。そして、最終リセット用トランジスタ 3 2 1 a のソース領域とドレイン領域は、一方は電源基準線 3 2 1 b に接続され、他方は最終出力線 3 0 7 に接続されている。

【 0 1 3 8 】

最終リセット用トランジスタ 3 2 2 a のソース領域とドレイン領域は、一方は電源基準線 3 2 2 b に接続され、他方は最終出力線 3 0 8 に接続されている。また、最終リセット用トランジスタ 3 2 3 a のソース領域とドレイン領域は、一方は電源基準線 3 2 3 b に接続され、他方は最終出力線 3 0 9 に接続されている。

【 0 1 3 9 】

なお最終リセット線 (S R 1 ~ S R x) は、最終出力線 3 0 7、3 0 8、3 0 9 を初期化するために設けられている。最終リセット線 (S R 1 ~ S R x) のいずれか一つが選択され、最終リセット用トランジスタ 2 2 1 a がオンの状態になると、最終出力線 3 0 7、3 0 8、3 0 9 のそれぞれの電位は、電源基準線 3 2 1 b、3 2 2 b、3 2 3 b の電位に初期化される。

【 0 1 4 0 】

次いで図 7 に示したソース信号線駆動回路 1 0 1 のタイミングチャートを、図 8 を用いて説明する。図 7 において、リセット信号線 (R 1 ~ R y) にリセット信号が印加されてから、再びリセット信号が印加されるまでの期間を 1 フレーム期間 (F) とする。そして、リセット信号線 (R 1 ~ R y) に信号を印加して、次の列のリセット信号線 (R 1 ~ R y) に信号を印加するまでの期間を水平走査期間 (P) とする。

【 0 1 4 1 】

なお、本実施例のソース信号線駆動回路の駆動方法においては、水平走査期間 (P) は、サンプリング期間とシフトレジスタ動作期間に分割される。そして、サンプリング期間は、第 1 サブサンプリング期間、第 2 サブサンプリング期間、第 3 サブサンプリング期間の 3 つに分割される。

【 0 1 4 2 】

第 1 サブサンプリング期間においては、転送用信号線 3 0 1 が選択される。転送用信号線 3 0 1 が選択されると、転送用信号線 3 0 1 に接続された転送用トランジスタ 3 1 1 がオ

10

20

30

40

50

ンの状態になる。そうすると、第1サブゲート信号が入力された画素100から出力された信号がコンデンサ314bに一時的に保持される。

【0143】

次いで、第2サブサンプリング期間において、転送用信号線302が選択され、転送用信号線302に接続された転送用トランジスタ312がオンの状態になる。そうすると、第2サブゲート信号が入力された画素100から出力された信号がコンデンサ315bに一時的に保持される。

【0144】

次いで、第3サブサンプリング期間において、転送用信号線303が選択され、転送用信号線303に接続された転送用トランジスタ313がオンの状態になる。そうすると、第3サブゲート信号が入力された画素100から出力された信号がコンデンサ216bに一時的に保持される。以上でサンプリング期間は終了する。

10

【0145】

次いで、シフトレジスタ動作期間においては、コンデンサ314b、315b、316bのそれぞれに保持された信号が最終出力線307、308、309に出力される。

【0146】

まず1列目の最終リセット線(SR1)を選択する。最終リセット線(SR1)を選択すると、1列目の最終リセット線(SR1)に接続された最終リセット用トランジスタ321a、322a、323aがオンの状態となり、最終出力線307、308、309が電源基準線321b、322b、323bの電位まで初期化される。

20

【0147】

次いで1列目の最終選択線(SS1)を選択する。最終選択線(SS1)が選択すると、1列目の最終選択線(SS1)に接続された最終選択用トランジスタ317、318、319がオンの状態となる。そうすると、1列目のコンデンサ314b、315b、316bに一時的に保持されていた信号が最終出力線307、308、309に出力される。

【0148】

次いで、2列目の最終リセット線(SR2)を選択する。最終リセット線(SR2)を選択すると、2列目の最終リセット線(SR2)に接続された最終リセット用トランジスタ321a、322a、323aがオンの状態となり、最終出力線307、308、309が電源基準線321b、322b、323bの電位まで初期化される。

30

【0149】

次いで2列目の最終選択線(SS2)を選択する。最終選択線(SS2)を選択すると、2列目の最終選択線(SS2)に接続された最終選択用トランジスタ317、318、319がオンの状態となる。そうすると、2列目のコンデンサ314b、315b、316bに一時的に保持されていた信号が最終出力線307、308、309に出力される。

【0150】

このようにして順に、全ての最終リセット線(SR1~SRx)と最終出力線(SS1~SSx)とが交互に選択されていく。そうすると、全ての列のコンデンサ314b、315b、316bに保持されていた信号が最終出力線307、308、309に出力される。

40

【0151】

そして最後に放電用信号線305が選択され、放電用信号線305に接続された全ての放電用トランジスタ314a、315a、316aがオンの状態になり、放電用トランジスタ314a、315a、316aに接続された全ての列のコンデンサ314b、315b、316bが、電源基準線314c、315c、316cの電位まで初期化される。

【0152】

なお最終出力線307、308、309に出力された信号は、最終出力増幅用回路101dで増幅され、外部へ出力される。

【0153】

なお本実施例では、上述した実施の形態において水平走査期間を3つに分割した例を示し

50

たため、1列に3つのコンデンサ(314b、315b、316b)を設けた例を示したが、本発明はこれに限定されない。1列に設けられるコンデンサの数は設計者が自由に決めることが可能である。しかし、1水平走査期間を複数のサブ水平走査期間に分割する場合には、1水平走査期間に複数列分の信号が出力される。そのため、信号を保存しておくためのコンデンサは、それぞれの列で複数個(サブ水平走査期間数)あることが望ましい。

【0154】

本実施例は、実施の形態1、2、および実施例1と自由に組み合わせることが可能である。

【0155】

(実施例3)

本実施例では、ソース信号線駆動回路101の実施例1、2とは異なる例について、図9、10を用いて説明する。

【0156】

バイアス用回路101a、サンプルホールド回路101bおよび信号出力線用駆動回路101cのj列目周辺部分101eの回路図を図9に示す。なお、本実施例では、全てのトランジスタがnチャンネル型トランジスタとするが、本発明はこれに限定されず、トランジスタはnチャンネル型でもpチャンネル型でもどちらでもよい。

【0157】

バイアス用回路101aは、バイアス用トランジスタ5510aを有している。バイアス用トランジスタ5510aは、各画素の増幅用トランジスタ113と同じ極性を有し、ソースフォロウ回路を形成する。バイアス用トランジスタ5510aのゲート電極は、バイアス信号線5511に接続されている。バイアス用トランジスタ5510aのソース領域およびドレイン領域は、一方は信号出力線(Sj)に接続されており、もう一方は電源基準線5510bに接続されている。

【0158】

なお本実施例では、nチャンネル型トランジスタをバイアス用トランジスタ5510aに用いた場合を示したが、本発明はこれに限定されない。例えば、pチャンネル型トランジスタをバイアス用トランジスタ5510aに用いることもできるが、その場合には、バイアス用トランジスタ5510aは電源基準線ではなく電源線に接続される。

【0159】

転送用トランジスタ5512のゲート電極は、転送用信号線5513に接続されている。転送用トランジスタ5512のソース領域とドレイン領域は、一方は信号出力線(Sj)に接続され、もう一方は容量選択用トランジスタ5514d、5530d、5531dのソース領域又はドレイン領域の一方に接続されている。転送用トランジスタ5512がオン状態になると、信号出力線(Sj)の電位を容量選択用トランジスタ5514d、5530d、5531dを介してコンデンサ5514b、5530b、5531bに保持される。

【0160】

なお、本実施例では、nチャンネル型トランジスタを転送用トランジスタ5512に用いた場合を示したが、本発明はこれに限定されない。例えば、pチャンネル型トランジスタとnチャンネル型トランジスタを並列に接続して、それらのトランジスタを転送用トランジスタとして用いてもよい。

【0161】

コンデンサ5514bは容量選択用トランジスタ5514dのソース領域及びドレイン領域の一方と電源基準線5514cに接続されている。容量選択用トランジスタ5514dのゲート電極は、保持容量制御線5534に接続されている。そして容量選択用トランジスタ5514dのソース領域及びドレイン領域の他方は、信号出力線(Sj)に接続されている。

【0162】

10

20

30

40

50

また放電用トランジスタ5514aのゲート電極は、放電用信号線5515に接続されている。そして放電用トランジスタ5514aのソース領域とドレイン領域は、一方はコンデンサ5514bに接続され、もう一方は電源基準線5514cにそれぞれ接続されている。放電用トランジスタ5514aがオン状態になることによって、コンデンサ5514bを電源基準線5514cの電位まで初期化させる。またコンデンサ5514bは、信号出力線(Sj)から出力された信号を一時的に蓄積する。本実施例では、j列目に設けられた複数の画素100のうち、第1サブゲート信号が入力された画素100の信号が一時的に保持されるとする。

【0163】

コンデンサ5530bは容量選択用トランジスタ5530dのソース領域及びドレイン領域の一方と電源基準線5530cに接続されている。容量選択用トランジスタ5530dのゲート電極は、保持容量制御線5535に接続されている。そして容量選択用トランジスタ5530dのソース領域及びドレイン領域の他方は、信号出力線(Sj)に接続されている。

10

【0164】

また放電用トランジスタ5530aのゲート電極は、放電用信号線5532に接続されている。そして放電用トランジスタ5530aのソース領域とドレイン領域は、一方はコンデンサ5530bに接続され、もう一方は電源基準線5530cにそれぞれ接続されている。放電用トランジスタ5530aがオン状態になることによって、コンデンサ5530bを電源基準線5530cの電位まで初期化させる。またコンデンサ5530bは、信号出力線(Sj)から出力された信号を一時的に保持する。本実施例では、j列目に設けられた複数の画素100のうち、第2サブゲート信号が入力された画素100の信号が一時的に保持されるとする。

20

【0165】

コンデンサ5531bは容量選択用トランジスタ5531dのソース領域及びドレイン領域の一方と電源基準線5531cに接続されている。容量選択用トランジスタ5531dのゲート電極は、保持容量制御線5536に接続されている。そして容量選択用トランジスタ5531dのソース領域及びドレイン領域の他方は、信号出力線(Sj)に接続されている。

【0166】

また放電用トランジスタ5531aのゲート電極は、放電用信号線5533に接続されている。そして放電用トランジスタ5531aのソース領域とドレイン領域は、一方はコンデンサ5531bに接続され、もう一方は電源基準線5531cにそれぞれ接続されている。放電用トランジスタ5531aがオン状態になることによって、コンデンサ5531bを電源基準線5531cの電位まで初期化させる。またコンデンサ5531bは、信号出力線(Sj)から出力された信号を一時的に保持する。本実施例では、j列目に設けられた複数の画素100のうち、第3サブゲート信号が入力された画素100の信号が一時的に保持されるとする。

30

【0167】

そして、容量選択用トランジスタ5514d、5530d、5531dのソース領域及びドレイン領域の一方には、最終選択用トランジスタ5516のソース領域及びドレイン領域の一方が接続されている。そして最終選択用トランジスタ5516のソース領域とドレイン領域の他方は、最終出力線5518に接続されている。最終選択用トランジスタ5516のゲート電極は、j列目最終選択線SSjに接続されている。

40

【0168】

最終選択線(SS1~SSx)と、最終リセット線(SR1~SRx)は、サンプルホールド回路101bにマトリクス状に設けられており、1列目からx列目まで交互に選択されていく。例えば、最終選択線SSjが選択され、最終選択用トランジスタ5516がオンの状態になる。そうすると、保持容量制御線5534、5535、5536のいずれかが一つが選択され、容量選択用トランジスタ5514d、5530d、5531dのいずれ

50

か一つがオン状態になる。そうすると、オン状態となった容量選択用トランジスタ 5 5 1 4 d、5 5 3 0 d、5 5 3 1 d に接続されたコンデンサ 5 5 1 4 b、5 5 3 0 b、5 5 3 1 b に保持されていた信号が最終出力線 5 5 1 8 に出力される。

【 0 1 6 9 】

なお、最終出力線 5 5 1 8 に信号を出力する前に、最終出力線 5 5 1 8 に電荷が蓄積されている場合がある。そうすると、該電荷によって最終出力線 5 5 1 8 に信号を出力したときの電位は影響を受けてしまう。そこで、最終出力線 5 5 1 8 に信号を出力する前に、最終出力線 5 5 1 8 の電位を、ある電位値までに初期化しておくことが必要である。そのため最終選択線 S S j を選択する前に、最終リセット線 S R j を選択し、最終リセット用トランジスタ 5 5 1 7 a をオンの状態にする。そうすると、最終出力線 5 5 1 8 の電位は電源基準線 5 5 1 7 b の電位に初期化される。

10

【 0 1 7 0 】

なお本実施例では、上述した実施の形態において水平走査期間を 3 つに分割した例を示したため、1 列に 3 つのコンデンサ (3 1 4 b、3 1 5 b、3 1 6 b) を設けた例を示したが、本発明はこれに限定されない。1 列に設けられるコンデンサの数は設計者が自由に決めることが可能である。しかし、1 水平走査期間を複数のサブ水平走査期間に分割する場合には、1 水平走査期間に複数列分の信号が出力される。そのため、信号を保存しておくためのコンデンサは、それぞれの列で複数個 (サブ水平走査期間数) あることが望ましい。

【 0 1 7 1 】

次いで、図 9 に示す j 列目周辺回路のタイミングチャートを図 1 0 に示す。なお本実施例では、j 列目のゲート信号線 (G i) が選択された場合におけるタイミングチャートを一例として挙げて説明する。

20

【 0 1 7 2 】

なお本実施例では、実施例 1 で示したサブ水平走査期間における信号のタイミングチャートを示す。また図 9 において、コンデンサ 5 5 1 4 b に一時蓄積された信号が最終出力線 5 5 1 8 に出力される場合について示す。

【 0 1 7 3 】

はじめに、i 行目のゲート信号線 (G i) が選択され、次いで放電用信号線 5 5 1 5 が選択される。そうすると、放電用トランジスタ 5 5 1 4 a がオンの状態になる。なお、ゲート信号線 (G i) が選択されたサブ水平走査期間において、ゲート信号線 (G i) と同様に保持容量制御線 5 5 3 4 も選択されている。

30

【 0 1 7 4 】

そして、転送用信号線 5 5 1 3 が選択され、転送用トランジスタ 5 5 1 2 がオンの状態になると、それぞれの画素の光電変換素子から出力された信号が各行のコンデンサ 5 5 1 4 b に出力される。

【 0 1 7 5 】

そして、各行のコンデンサ 5 5 1 4 b に蓄積された信号は、最終出力線 5 5 1 8 に順に出力されていく。まず 1 行目の最終リセット線 5 5 1 9 を選択すると、最終リセット用トランジスタ 5 5 1 7 a をオンの状態となる。そして、最終出力線 5 5 1 8 を電源基準線 5 5 1 7 b の電位に初期化して、1 行目の最終選択線 5 5 1 9 を選択する。そうすると、最終選択用トランジスタ 5 5 1 6 がオンの状態となり、1 行目のコンデンサ 5 5 1 4 b の信号が最終出力線 5 5 1 8 に出力される。

40

【 0 1 7 6 】

次に、2 行目の最終リセット線 5 5 1 9 を選択し、最終リセット用トランジスタ 5 5 1 7 a をオンの状態にし、最終出力線 5 5 1 8 を電源基準線 5 5 1 7 b の電位に初期化する。そして、2 行目の最終選択線 5 5 1 9 を選択し、最終選択用トランジスタ 5 5 1 6 を導通状態にし、2 行目のコンデンサ 5 5 1 4 b の信号を最終出力線 5 5 1 8 に出力する。

【 0 1 7 7 】

このようにして順に、1 行目から x 行目までの最終リセット線 5 5 1 9 を選択していき、

50

同様の動作を繰り返す。そして、全ての行の信号を最終出力線 5 5 1 8 に出力していく。そして、最終出力線 5 5 1 8 に出力された信号は、最終出力増幅用回路 1 0 1 d で増幅され、外部へ出力される。

【 0 1 7 8 】

本実施例は、実施の形態、実施例 1、2、及び実施例 1、2 と自由に組み合わせることが可能である。

【 0 1 7 9 】

(実施例 4)

本実施例では、図 3 に示した最終出力増幅用回路 1 0 1 d の回路を図 1 1 (A)、(B) に示す。なお、最終出力線に出力される信号は、そのまま外部に取り出しても良い。しかし、出力される信号が微弱である場合には、外部に取り出す前に増幅しておくことが好ましい。また、本実施例では、最も簡単な信号増幅回路として、ソースフォロワ回路を示すが、本発明はこれに限定されない。例えば、最終出力増幅用回路 1 0 1 d には演算増幅器などの公知の増幅回路を用いてもよい。

【 0 1 8 0 】

図 1 1 (A) は、n チャネル型のソースフォロワ回路を有する最終増幅回路 1 0 1 d を示す。最終出力増幅用回路 1 0 1 d への信号の入力は、最終選択用トランジスタ 5 5 1 6 を介して行われる。そして最終選択用トランジスタ 5 5 1 6 のゲート電極と接続する最終選択線 (S S j) は、画素部 1 0 4 にマトリクス状に設けられており、その 1 列目から x 列目まで順に選択される。

【 0 1 8 1 】

最終出力線 5 5 1 8 から出力された信号は、最終出力増幅用回路 1 0 1 d によって、増幅されて外部に出力する。最終出力線 5 5 1 8 は、増幅用トランジスタ 5 5 2 1 のゲート電極に接続されている。増幅用トランジスタ 5 5 2 1 のドレイン領域は電源線 5 5 2 0 に接続され、ソース領域は出力端子となっている。

【 0 1 8 2 】

一方、バイアス用トランジスタ 5 5 2 2 のゲート電極は、最終出力増幅用バイアス信号線 5 5 2 3 に接続されている。バイアス用トランジスタ 5 5 2 2 のソース領域とドレイン領域は、一方は電源基準線 5 5 2 4 に接続され、もう一方は増幅用トランジスタ 5 5 2 1 のソース領域に接続されている。

【 0 1 8 3 】

次いで、図 1 1 (B) には、p チャネル型のソースフォロワ回路を有する最終増幅回路 1 0 1 d を示す。最終出力線 5 5 1 8 は、増幅用トランジスタ 5 5 2 1 のゲート電極に接続されている。増幅用トランジスタ 5 5 2 1 のドレイン領域は電源基準線 5 5 2 0 に接続され、ソース領域は出力端子となる。

【 0 1 8 4 】

一方、バイアス用トランジスタ 5 5 2 2 のゲート電極は、最終出力増幅用バイアス信号線 5 5 2 3 と接続されている。バイアス用トランジスタ 5 5 2 2 のソース領域とドレイン領域は、一方は電源線 5 5 2 0 と接続されており、もう一方は増幅用トランジスタ 5 5 2 1 のソース領域と接続されている。なお、p チャネル型のソースフォロワ回路を有する図 1 1 (B) に示す最終出力増幅用バイアス信号線 5 5 2 3 の電位は、n チャネル型のソースフォロワ回路を有する図 1 1 (A) に示す最終出力増幅用バイアス信号線 5 2 3 の電位とは異なる。

【 0 1 8 5 】

本実施例は、実施の形態 1、2、および実施例 1 乃至 3 と自由に組み合わせることが可能である。

【 0 1 8 6 】

(実施例 5)

本実施例では、本発明の光電変換素子と複数のトランジスタを一画素中に設けた半導体装置の断面構造について図 1 2 を用いて説明する。

【0187】

図12において、6000は絶縁表面を有する基板であり、6001は下地膜である。下地膜6001上には光電変換素子111、増幅用トランジスタ113、スイッチング用トランジスタ112、リセット用トランジスタ114が形成されている。また、駆動回路として、nチャネル型トランジスタ、pチャネル型トランジスタを図示する。なお、それぞれのトランジスタは公知の如何なる構造のトランジスタを用いてもよい。

【0188】

絶縁表面を有する基板6000上に形成された各トランジスタの構造について説明する。増幅用トランジスタ113において、6023はゲート電極、6008はゲート絶縁膜、6037はp型の不純物領域からなるソース領域及びドレイン領域、6042はソース配線、6043はドレイン配線である。

10

【0189】

スイッチング用トランジスタ112において、6024はゲート電極、6008はゲート絶縁膜、6038はp型の不純物領域からなるソース領域及びドレイン領域、6044はソース配線、6045はドレイン配線である。

【0190】

リセット用トランジスタ114において、6025はゲート電極、6008はゲート絶縁膜、6019はn型の不純物領域からなるソース領域及びドレイン領域、6030はLDD領域(ライトドープドレイン領域)、6046はソース配線、6047はドレイン配線である。

20

【0191】

光電変換素子111において、6036はp型の不純物領域からなるp型半導体層、6020bはn型の不純物領域からなるn型半導体層、6054は非晶質半導体膜からなる光電変換層(i層)である。

【0192】

駆動回路部のnチャネル型トランジスタにおいて、6026はゲート電極、6008はゲート絶縁膜、6021はn型の不純物領域からなるソース領域及びドレイン領域、6031はLDD領域(ライトドープドレイン領域)、6050はソース配線、6051はドレイン配線である。

30

【0193】

また、駆動回路部のpチャネル型トランジスタにおいて、6027はゲート電極、6008はゲート絶縁膜、6039はp型の不純物領域からなるソース領域及びドレイン領域、6052はドレイン配線、6053はソース配線である。

【0194】

そして、増幅用トランジスタ113、スイッチング用トランジスタ112、リセット用トランジスタ114、nチャネル型トランジスタ、pチャネル型トランジスタを覆って、第一層間絶縁膜6041、第二層間絶縁膜6059が設けられている。

【0195】

なお、本実施例は、実施の形態1、2、および実施例1乃至実施例4と自由に組み合わせることが可能である。

40

【0196】

(実施例6)

実施例4では、本発明の半導体装置の断面構造について説明したが、本実施例では、本発明の半導体装置を封止してFPCを取り付けた状態について説明する。

【0197】

図13(A)は本発明を用いた半導体装置の上面図であり、図13(A)をX-X'面で切断した断面図を図13(B)に示す。図13(A)において、4001は基板、4002は画素部、4003はソース信号線駆動回路、4004はゲート信号線駆動回路であり、それぞれの駆動回路は配線4005、4006、4007を経てFPC4008に至り、外部機器へと接続される。

50

【0198】

このとき、少なくとも画素部、好ましくは駆動回路および画素部を囲むようにしてカバー材4009、密封材4010、シーリング材（ハウジング材ともいう）4011（図13（B）に図示）が設けられている。

【0199】

また、図13（B）は本実施例の半導体装置の断面構造であり、基板4001、下地膜4012の上に駆動回路部（但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している）4013および画素部4014（但し、ここでは説明を簡単にするために光電変換素子とスイッチング用トランジスタのみを図示する）が形成されている。

10

【0200】

公知の作製方法を用いて駆動回路部4013、画素部4014が完成したら、樹脂材料でなる第一層間絶縁膜（平坦化膜）4015を形成する。

【0201】

次いで、樹脂材料でなる第二層間絶縁膜4017を形成し、第二層間絶縁膜4017を覆うようにパッシベーション膜4022、充填材4023、カバー材4009が形成される。

【0202】

さらに、カバー材4009と基板4001の内側にシーリング材4011が設けられ、さらにシーリング材4011の外側には密封材（第2のシーリング材）4010が形成される。

20

【0203】

このとき、この充填材4023は、カバー材4009を接着するための接着剤としても機能する。充填材4023としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4023の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0204】

また、充填材4023の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。スペーサーを設けた場合、パッシベーション膜4022はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

30

【0205】

また、カバー材4009としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4023としてPVBやEVAを用いる場合、数十 μm のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0206】

配線4007は、駆動回路4013が有するトランジスタに接続され、また、シーリング材4011および密封材4010と基板4001との隙間を通してFPC4008に電氣的に接続される。なお、ここでは配線4007について説明したが、他の配線4005、4006も同様にしてシーリング材4011および密封材4010の下を通してFPC4008に電氣的に接続される。

40

【0207】

なお本実施例では、充填材4023を設けてからカバー材4009を接着し、充填材4023の側面（露呈面）を覆うようにシーリング材4011を取り付けているが、カバー材4009およびシーリング材4011を取り付けてから、充填材4023を設けても良い。この場合、基板4001、カバー材4009およびシーリング材4011で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ 10^{-2}Torr 以下

50

)にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0208】

なお、本実施例は、実施の形態1、2、および実施例1乃至実施例5と自由に組み合わせることが可能である。

【0209】

(実施例7)

本発明の半導体装置を用いた電子機器の実施例として、図14を用いて説明する。

【0210】

図14(A)は、ラインセンサを用いたハンドスキャナーである。CCD型(CMOS型)のイメージセンサ1001の上には、ロッドレンズアレイなどの光学系1002が設けられている。光学系1002は、被写体1004上の画像がイメージセンサ1001上に映し出されるようにするために用いられる。そして、LEDや蛍光灯などの光源1003は、被写体1004に光を照射できる位置に設けられている。そして、被写体1004の下部には、ガラス1005が設けられている。

10

【0211】

光源1003を出た光は、ガラス1005を介して被写体1004に入射する。被写体1004で反射した光は、ガラス1005を介して、光学系1002に入射する。光学系1002に入射した光は、イメージセンサ1001に入射し、そこで光電変換される。本発明の半導体装置は、イメージセンサ1001に用いることができる。

20

【0212】

図14(B)は、1801は基板、1802は画素部、1803はタッチパネル、1804はタッチペンである。タッチパネル1803は透光性を有しており、画素部1802から発せられる光及び、画素部1802に入射する光を透過することができ、タッチパネル1803を通して被写体上の画像を読み込むことができる。また画素部1802に画像が表示されている場合にも、タッチパネル1803を通して、画素部1802上の画像を見ることが可能である。

【0213】

タッチペン1804がタッチパネル1803に触れると、タッチペン1804とタッチパネル1803とが接している部分の位置の情報を、電気信号として半導体装置に取り込むことができる。本実施例で用いられるタッチパネル1803及びタッチペン1804は、タッチパネル1803が透光性を有していて、なおかつタッチペン1804とタッチパネル1803とが接している部分の位置の情報を、電気信号として半導体装置に取り込むことができるものならば、公知のものを用いることができる。なお、本発明の半導体装置は、画素部1802に用いることができる。

30

【0214】

図14(C)は、図14(B)とは異なる携帯型ハンドスキャナーであり、本体1901、画素部1902、上部カバー1903、外部接続ポート1904、操作スイッチ1905で構成されている。図14(D)は図14(C)と同じ携帯型ハンドスキャナーの上部カバー1903を閉じた図である。

40

【0215】

画素部1902で読み込んだ画像信号を、外部接続ポート1904から携帯型ハンドスキャナーの外部に接続されている電子機器に送り、パソコンにおいて画像を補正、合成、編集等を行うことも可能である。なお、本発明の半導体装置は、画素部1802に用いることができる。

【0216】

また、本発明の半導体装置を用いた電子機器として、ビデオカメラ、デジタルスチルカメラ、ノート型パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)などが挙げられる。

【0217】

50

図14(E)はデジタルビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の半導体装置は表示部2602に用いることができる。

【0218】

図14(F)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の半導体装置2302に用いることができる。

【0219】

図14(G)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の半導体装置は表示部2703に用いることができる。

10

【0220】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【0221】

【発明の効果】

本発明の駆動方法では、水平走査期間(P)を分割することにより、1フレーム期間内において、同じ画素から複数の信号を出力することが出来るため、読み取り時間が長くなってしまふことを防ぐことが出来、さらにダイナミックレンジを拡大することが出来る。なお水平走査期間(P)は、任意の数に分割できるため、蓄積時間が異なる信号を出力することは容易に実現出来る。

20

【0222】

【図面の簡単な説明】

【図1】 本発明の半導体装置の駆動方法を説明する図。

【図2】 光電変換素子の電位と時間との関係を説明する図。

【図3】 本発明の半導体装置の概略図。

【図4】 本発明の半導体装置の画素の回路図を示す図。

【図5】 本発明の半導体装置のソース信号線駆動回路を説明する図。

【図6】 本発明の半導体装置のソース信号線駆動回路を説明する図。

30

【図7】 本発明の半導体装置のソース信号線駆動回路を説明する図。

【図8】 本発明の半導体装置のソース信号線駆動回路を説明する図。

【図9】 本発明の半導体装置のソース信号線駆動回路を説明する図。

【図10】 本発明の半導体装置のソース信号線駆動回路を説明する図。

【図11】 本発明の半導体装置のソース信号線駆動回路を説明する図。

【図12】 本発明の半導体装置の断面構造を示す図。

【図13】 本発明の半導体装置の上面図および断面図。

【図14】 本発明の半導体装置を適用することが出来る電子機器の一例を示す図。

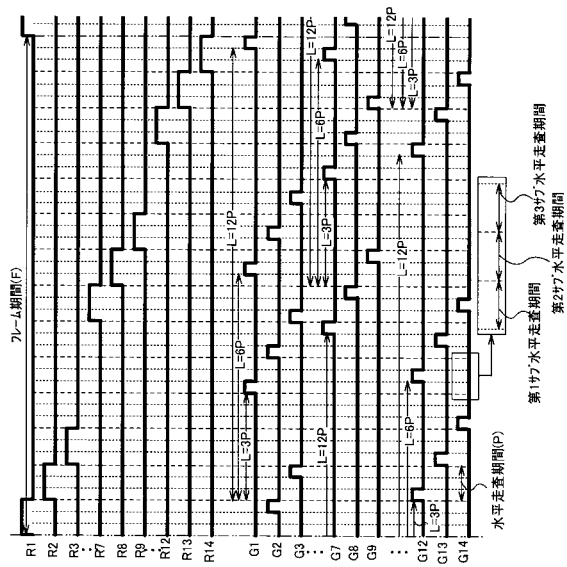
【図15】 従来の半導体装置の駆動方法を説明する図。

【図16】 光電変換素子の電位と時間との関係を説明する図。

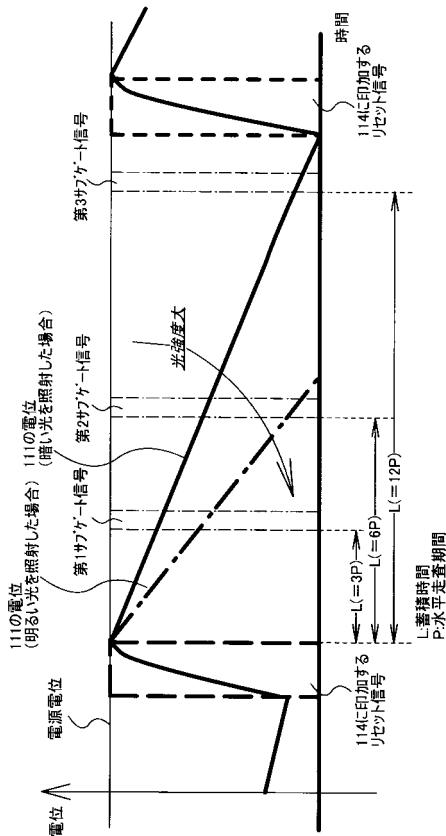
40

【図17】 本発明の半導体装置の駆動方法を説明する図。

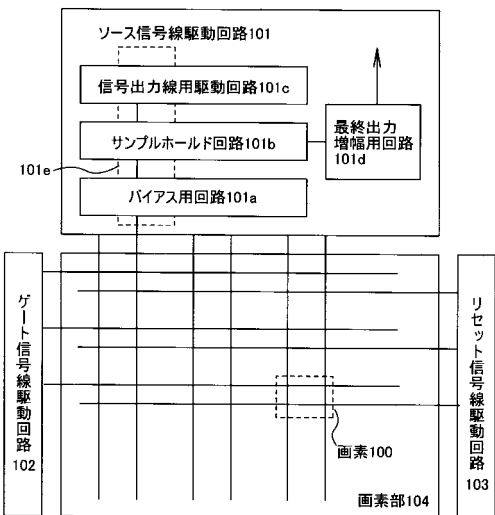
【図1】



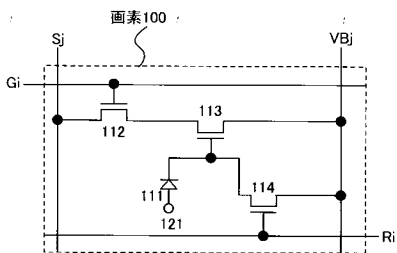
【図2】



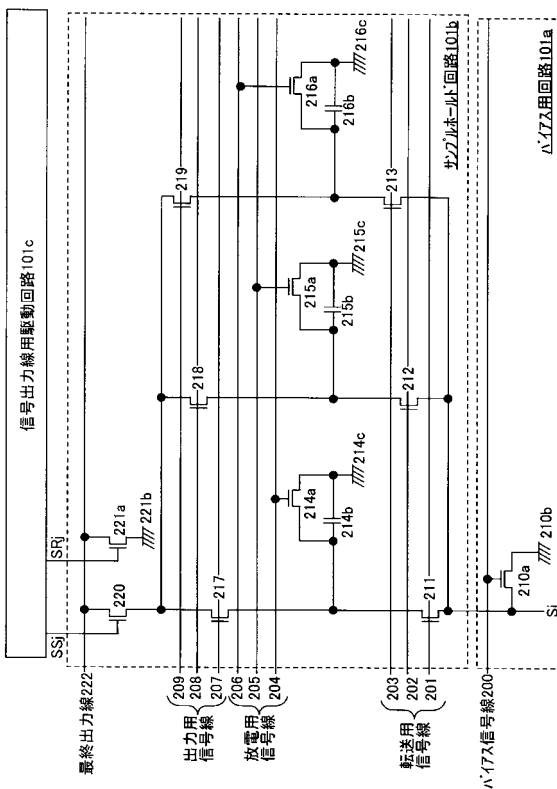
【図3】



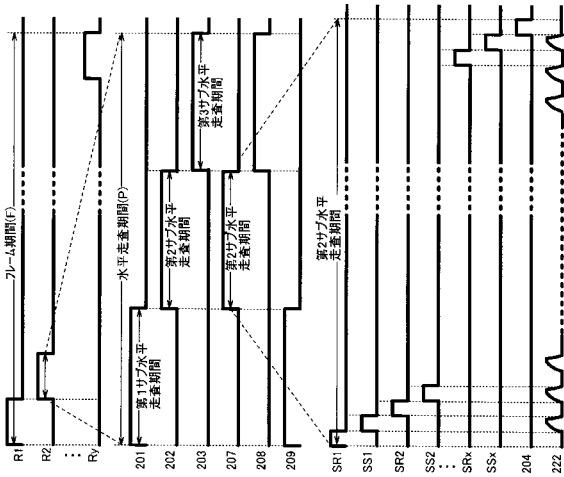
【図4】



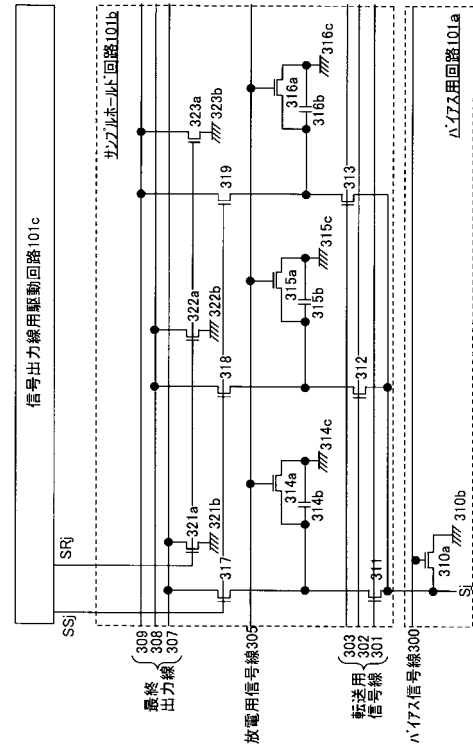
【図5】



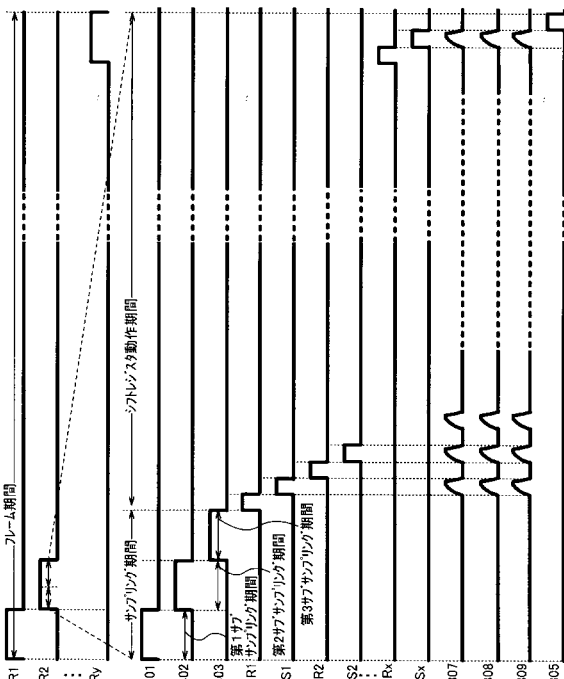
【 図 6 】



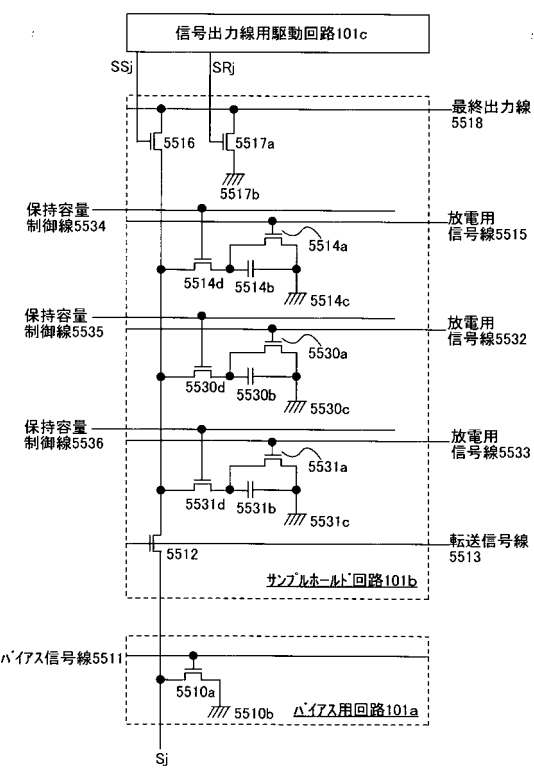
【 図 7 】



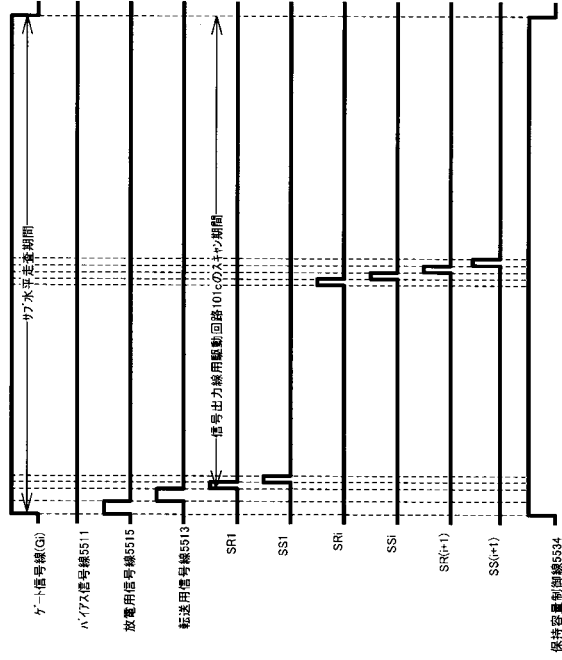
【 図 8 】



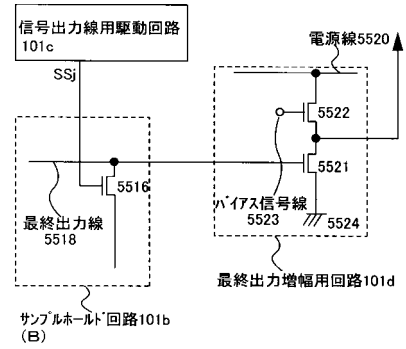
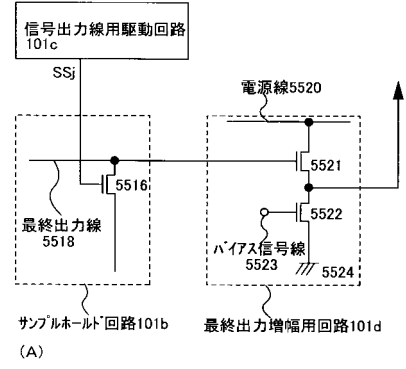
【 図 9 】



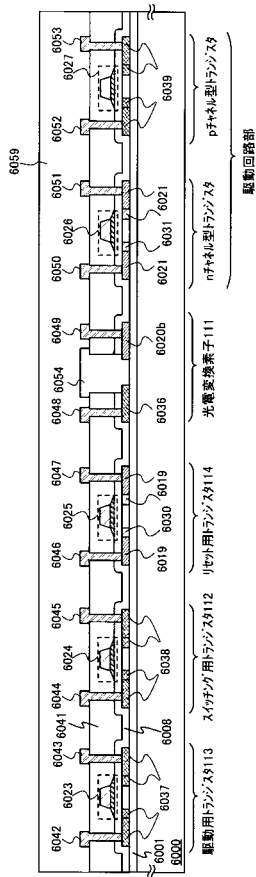
【図10】



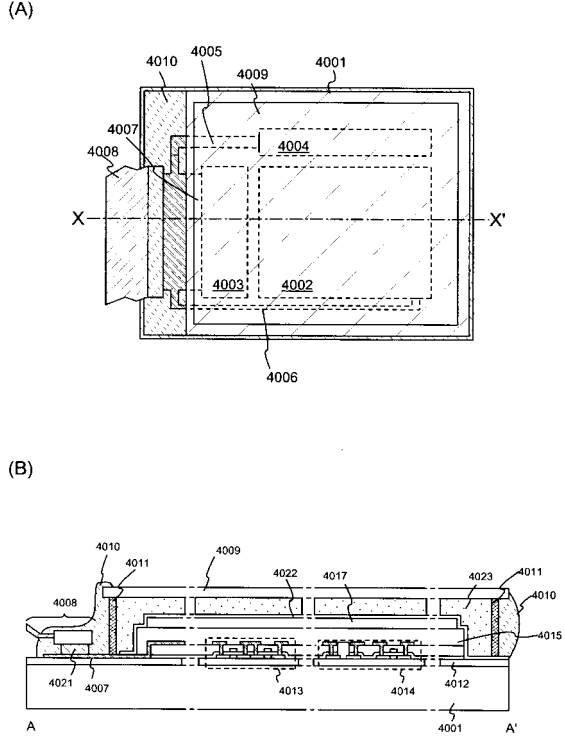
【図11】



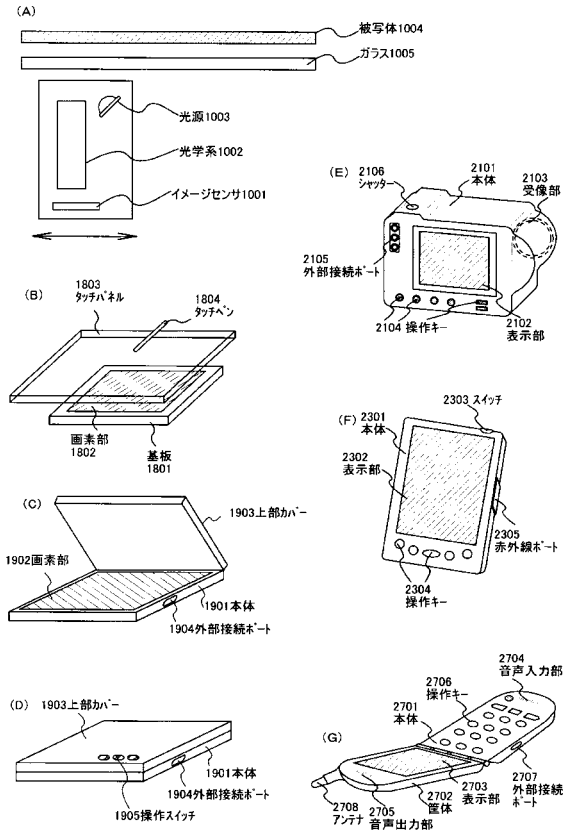
【図12】



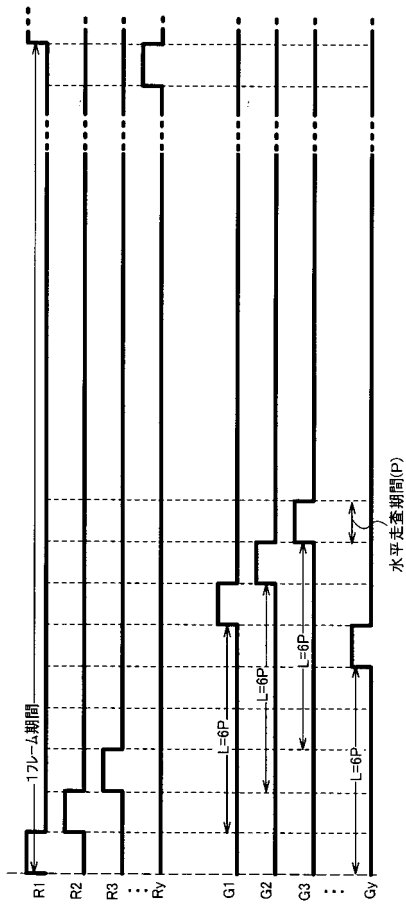
【図13】



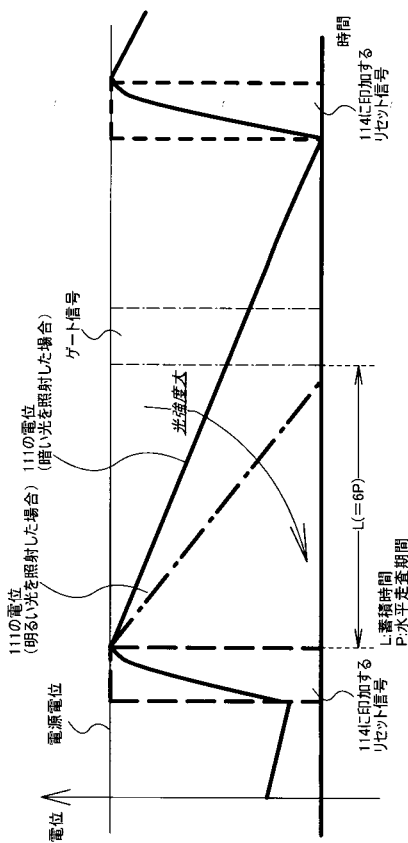
【図14】



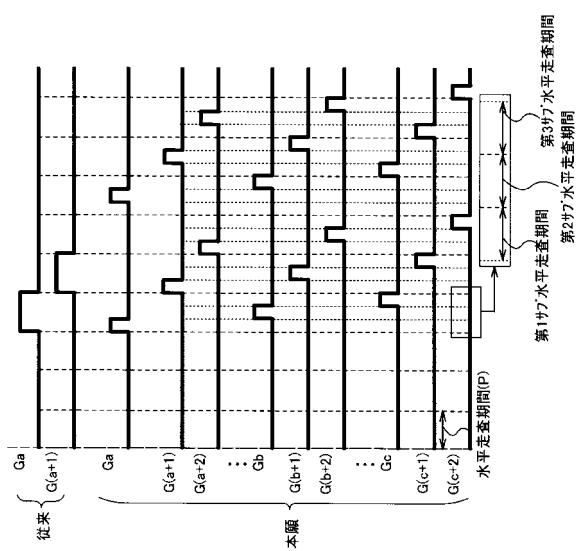
【図15】



【図16】



【図17】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H04N 5/30 - 5/378

H01L 21/339

H01L 27/14 -27/148

H01L 29/762