

公告本

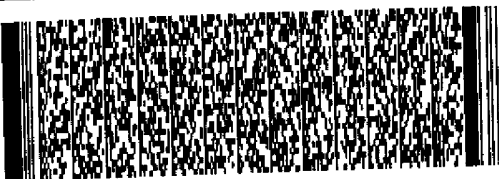
申請日期: 88.4.28	案號: 88105908
類別: 23K 4/00	

(以上各欄由本局填註)

發明專利說明書

432799

一、發明名稱	中文	倍頻電路
	英文	
二、發明人	姓名 (中文)	1. 谷吉 逸朗
	姓名 (英文)	1. Itsurou TANIYOSHI
	國籍	1. 日本
	住、居所	1. 日本國神奈川縣川崎市中原區小杉町一丁目403番53日本電氣積體電路微電腦系統股份有限公司內
三、申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. NEC Corporation
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號
	代表人姓名 (中文)	1. 西垣 浩司
	代表人姓名 (英文)	1. Koji Nishigaki



432799

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

1998/04/28 特願平10-119553

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

【發明所屬技術領域】

本發明係關於時計振盪電路，尤其係關於將所輸入之時計之頻率倍頻後輸出之倍頻電路。

【習知技術】

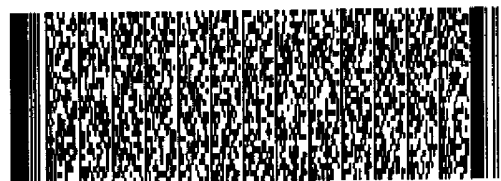
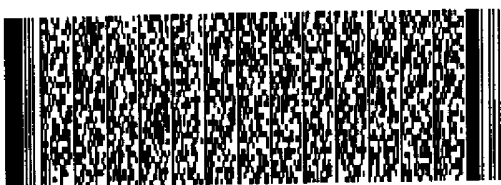
圖20表示習知之倍頻電路之電路構造圖。簡單說明之，本倍頻電路輸入輸入之時計信號101後，用分頻電路94輸出輸入之時計信號101之2倍頻率之信號，用移位暫存器電路95調整分頻電路94之輸出時計信號之作用比(高位準和低位準之期間之比)，最後輸出具有頻率為輸入之時計信號101之2倍之輸出時計信號119。

以下說明構成習知之倍頻電路之各方塊。

振盪器91輸出相對於輸入之時計信號101之頻率 m 倍($m \geq 2$ 之正整數)之頻率之基準時計信號201。

計數電路92輸入基準時計信號201和輸入之時計信號101，計數在自輸入之時計信號101之上升緣至下降緣為止之 $1/2$ 週期(高位準期間)發生之基準時計信號201之時計數後，將其計數值作為計數器輸出信號202輸出。此外，計數電路92以時計信號之1個週期為1個時計計數。

閘鎖電路93輸入計數器輸出信號202和輸入之時計信號101，和輸入之時計信號101之下降緣對應保持計數器輸出信號202之值，作為計數器輸出信號203輸出。因此，在輸入之時計信號101之1個週期之期間保持計數器輸出信號202之值。



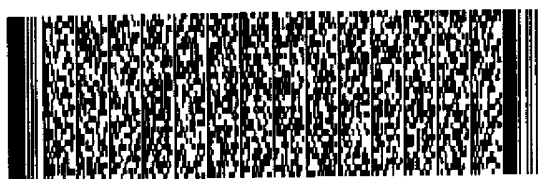
五、發明說明 (2)

分頻電路94內藏計數器，每輸入個數為計數器輸出信號203表示之計數值之基準時計信號201，就輸出長度為基準時計信號201之1個週期之高位準，作為分頻信號204。即，因每隔輸入之時計信號101之 $1/2$ 個週期輸出高位準1次，分頻信號204就具有輸入之時計信號101之2倍之頻率。

移位暫存器電路95每輸入基準時計信號201，就將分頻信號204之高位準期間如基準時計信號201之2個時計、3個時計、…般擴充下去。又，計數器輸出信號203分割成LSB信號207和上階位元信號206，在移位暫存器電路95輸入上階位元信號206。依據該上階位元信號206控制時計之寬度。結果，移位暫存器輸出信號205變成其1個週期和分頻信號204相同，而高位準期間不同的。

例如，在門鎖電路93之計數值係「6」之情況，分頻信號204之高位準和低位準之比係1:5，但是在移位暫存器輸出信號205變成3:3。又，在計數值係「5」之情況，在分頻信號204為1:4，在移位暫存器輸出信號205變成2:3。

正反器電路97，在門鎖電路93之計數值為奇數之情況，係修正作用比不是50%之移位暫存器輸出信號205之作用比的。即，在經反相器96反轉後之反轉基準時計信號208之上升緣門鎖移位暫存器輸出信號205後，取該門鎖輸出和移位暫存器輸出信號205之OR，作為FF輸出信號209輸出。因此，FF輸出信號209變成將移位暫存器輸出信號205



五、發明說明 (3)

之高位準期間擴充基準時計信號201之 $1/2$ 個週期的。即，在上述計數值係「5」之情況之FF輸出信號209之高位準和低位準之比變成 $2.5:2.5$ 。

選擇器98係選擇移位暫存器輸出信號205和FF輸出信號209之其中之一作為最終之輸出時計信號119輸出的。在選擇器98輸入計數器輸出信號203之LSB信號207，LSB為「0」時選擇移位暫存器輸出信號205，而LSB為「1」時選擇FF輸出信號209。即，計數值為偶數時選擇移位暫存器輸出信號205，奇數時選擇FF輸出信號209。

利用上述之構造，習知之倍頻電路輸出相對於輸入之時計信號作用比50%之2倍頻時計信號。

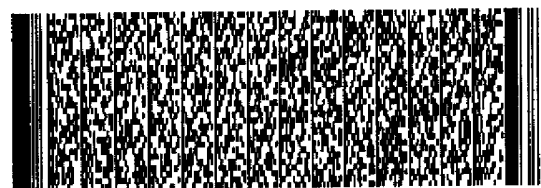
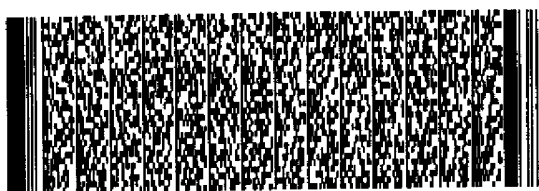
【發明要解決之課題】

在上述之習知技術有如下之問題點。

第一，在習知技術之倍頻電路，只能產生2倍頻之輸出時計信號。因此，藉著串接電路形成產生作用比50%之4倍頻、8倍頻等 2^n 次方倍頻之時計信號之電路時，用以串接2倍頻電路之電路規模隨著倍頻數變大而變大。

第二，為了構成習知技術之2倍頻電路，需要輸出頻率為輸入之時計信號之頻率之2倍以上之高頻之振盪器，但是在將該2倍頻電路串接而構成 2^n 次方倍頻之情況，振盪器之頻率特性之影響大，要輸出頻率正確之時計信號變得困難。

第三，因2倍頻電路之輸出時計信號之選擇使用按照振盪器之時計信號動作之計數器之LSB，由振盪器之頻率



五、發明說明 (4)

特性決定倍頻電路之變動特性。若假設將振盪器之振盪時計頻率設為400MHz(週期2.5ns)，考慮對輸出時計信號挪移基準時計信號之1/2位元之功能，本2倍頻電路之變動特性也具有1.25 ns之變動。

第四，因本2倍頻電路在輸入之時計信號之高位準期間計數振盪器之振盪時計數後，產生2倍頻時計，輸入之時計信號之作用比變形時，在輸入之時計信號之高位準期間計數振盪器之振盪時計數之值變化，在輸入之時計信號之高位準期間所產生之倍頻時計和在輸入之時計信號之低位準期間所產生之倍頻時計之作用比就不同。

本發明係提供解決以上之問題點之倍頻電路的。

【解決課題之手段】

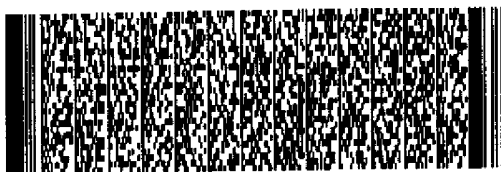
本發明之倍頻電路包括：

振盪控制電路，接受輸入之時計信號後在該輸入之時計信號之每個週期將第1及第2控制信號設為有效；

第1脈波產生電路，當該第1控制信號變成有效時將係該輸入之時計信號之倍頻時計信號之第1倍頻時計信號振盪；

第2脈波產生電路，當該第2控制信號變成有效時將係該輸入之時計信號之倍頻時計信號之第2倍頻時計信號振盪；

以及邏輯和電路，取該第1及第2倍頻時計信號之邏輯和後輸出輸出之時計信號。



五、發明說明 (5)

又，若依據適合之實施例，包括：

振盪控制電路，接受輸入之時計信號後在該輸入之時計信號之每個週期將第1及第2控制信號設為有效；

產生裝置，自外部接受所輸入之倍頻設定信號，將該倍頻設定信號表示之倍頻數變成2倍後，產生內部倍頻設定信號；

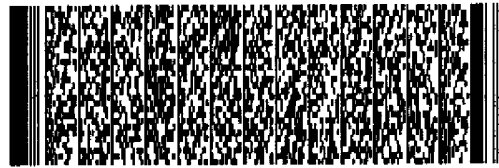
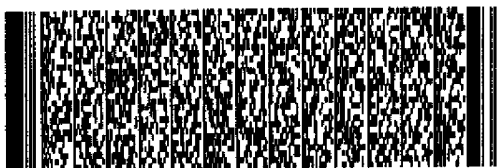
第1脈波產生電路，當該第1控制信號變成有效時將係該內部倍頻設定信號表示之值之該輸入之時計信號之倍頻時計信號之第1倍頻時計信號振盪；

第2脈波產生電路，當該第2控制信號變成有效時將係該內部倍頻設定信號表示之值之該輸入之時計信號之倍頻時計信號之第2倍頻時計信號振盪；

以及輸出電路，將該第1及第2倍頻時計信號分頻而且取邏輯和後輸出輸出之時計信號。

此外，若依據適合之實施例，倍頻電路還具有控制裝置，接受倍頻設定信號後，在該輸入之時計信號之一個週期之期間使得該第1及第2倍頻時計信號變成該倍頻設定信號表示之倍頻數。

在上述之倍頻電路，第1及第2脈波產生電路各自具有將振盪時計信號振盪之振盪器及接受倍頻設定信號和該振盪時計信號後當該倍頻設定信號表示之倍頻數之該振盪時計信號振盪時令該振盪器停止之 n 倍頻控制電路，振盪器將該振盪時計信號作為該倍頻時計信號輸出。又， n 倍頻控制電路具有相位比較器，比較該輸入之時計信號之1個



五、發明說明(6)

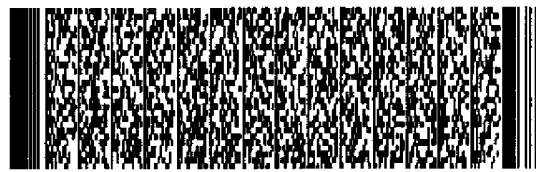
週期之期間之終了時刻和該振盪時計信號進行該倍頻數振盪時之終了時刻後，在該振盪時計信號之相位領先該輸入之時計信號之相位時輸出第1位準之相位比較信號，在該振盪時計信號之相位落後該輸入之時計信號之相位時輸出第2位準之相位比較信號；該振盪器當該相位比較信號為該第1位準時降低該振盪時計信號之頻率，當該相位比較信號係該第2位準時提高該振盪時計信號之頻率。此外，振盪器具有由多段延遲元件構成之延遲電路，當該相位比較信號為該第1位準時該延遲元件之段數增加，當該相位比較信號係該第2位準時該延遲元件之段數減少。

該振盪器也可還具有寬度調整電路，在該振盪時計信號之每個時計調整該時計信號之脈寬。

【發明之實施例】

以下使用圖面說明本發明之實施例。

圖1表示本發明之實施例1之倍頻電路之方塊圖。本實施例係由2個脈波產生電路1、2每隔輸入之時計信號101之一個週期交互地產生倍頻時計信號後輸出的。即，利用振盪控制電路3產生係輸入之時計信號101之2分頻信號之振盪控制信號103、104，控制脈波產生電路1、2。振盪控制信號104為103之反轉信號。因此，在振盪控制信號103之高位準期間自脈波產生電路1輸出倍頻時計信號117，而在振盪控制信號104之高位準期間輸出倍頻時計信號118。自脈波產生電路1、2輸出之倍頻時計信號117、118經由OR電



五、發明說明 (7)

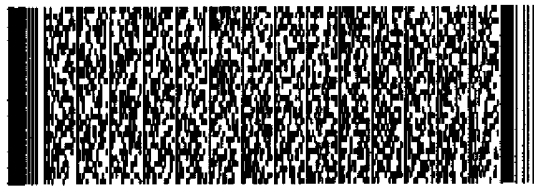
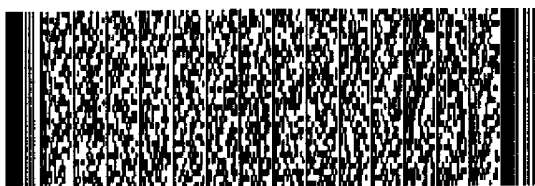
路7後作為輸出時計信號119輸出。

在脈波產生電路1、2內藏振盪器8和n倍頻控制電路9。振盪器8利用振盪控制信號103、104控制動作時序。又，在n倍頻控制電路9，利用倍頻設定信號102設定所要倍頻數之資料。然後，依據依照該資料產生之信號(相位比較信號112、113)，使用計數電路5及門鎖電路6產生控制脈波產生電路1、2所內藏振盪器8之振盪頻率之信號(延遲控制信號110、111)。計數電路5及門鎖電路6之動作時序由時序控制電路4控制。此外，因脈波產生電路2之構造和脈波產生電路1一樣，在此所內藏之振盪器8和n倍頻控制電路9省略圖示，也省略細部說明。

以下詳細說明圖1之方塊圖之各部分。

圖2表示振盪控制電路3之電路圖。振盪控制電路3用正反器電路(以下稱為FF電路)20，在時計輸入端子輸入輸入之時計信號101，自正輸出端子輸出振盪控制信號103，自反轉輸出端子輸出振盪控制信號104。而，振盪控制信號104向資料輸入端子回授。結果，輸出在輸入之時計信號101之上升緣所分頻之分頻信號。振盪控制信號103輸入脈波產生電路1之振盪器8和n倍頻控制電路9。

圖3表示振盪器8之電路圖。振盪器8輸入振盪控制信號103後，輸出振盪時計信號114。振盪控制信號103變成高位準時，自高位準之振盪啟動信號120自OR電路21輸入AND電路22。在AND電路22之輸出連接延遲電路23，自延遲電路23輸出取AND電路22之輸出之反轉位準之反轉延遲信號



五、發明說明 (8)

121，向AND電路22回授。即，構成環振盪器，因此，AND電路22之輸出在振盪啟動信號120為高位準期間重複高位準和低位準而振盪。該振盪信號作為振盪時計信號114向n倍頻控制電路9輸出。此外，延遲電路23之段數依據延遲控制信號110變化。

圖4表示n倍頻控制電路9之電路圖。n倍頻控制電路9用n進位計數器27計算自振盪器8輸入之振盪時計信號114之時計數，在達到指定之倍頻數之時刻向振盪器8出振盪停止信號115和遮蔽信號116。

在本實施例，因n進位計數器27用8進位計數器構成，計數到「0」~「7」為止，將其計數值作為計數器輸出信號122輸出。又，n進位計數器27響應振盪時計信號114之上升緣而計數。此外，在自振盪器8輸入振盪時計信號114之前，在n進位計數器27依據倍頻設定信號102設定按照所要倍頻數之值，作為起始值。例如在輸出2倍頻時計信號之情況設定「6」，而在3倍頻之情況設定「5」。

n進位計數器27所輸出之計數器輸出信號122輸入解碼器28。解碼器28在n進位計數器27之計數值為最大值時將解碼器輸出信號123設為高位準。即，在本實施例之情況，在計數值為「7」時輸出高位準。此外，解碼器輸出信號123之變化時序相對於振盪時計信號114之上升時序，因受到n進位計數器27和解碼器28之動作時間之影響而稍延遲。

FF電路29在振盪時計信號114之上升緣保持解碼器輸



五、發明說明 (9)

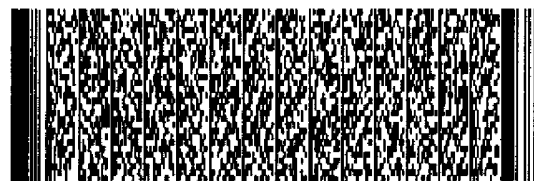
出信號123之位準，作為振盪停止信號115輸出。又，FF電路30在振盪時計信號114之下降緣保持振盪停止信號115之位準，令該位準反轉後作為遮蔽信號116輸出。

回到圖3，說明振盪器8。自 n 倍頻控制電路9所輸出之振盪停止信號115輸入OR電路21，遮蔽信號116輸入AND電路24。因此，振盪啟動信號120在振盪停止信號115為高位準期間也輸出。又，AND電路24在遮蔽信號116為高位準期間將振盪時計信號114作為倍頻時計信號117輸出，但是遮蔽信號116變成低位準時，抑制倍頻時計信號117之輸出。

繼續說明圖4之 n 倍頻控制電路9。FF電路26係供給 n 進位計數器27設定起始值之時序的，響應振盪控制信號103之下降緣而以高位準輸出計數器設定信號126，響應輸入之時計信號101之下降緣而解除計數器設定信號126。在 n 進位計數器27在計數器設定信號126係高位準期間設定倍頻設定信號102所表示之值。

FF電路25係輸出對於FF電路29、30之重設信號的。響應輸入之時計信號101之下降緣而，以高位準輸出重設信號124，在振盪控制信號103之上升緣解除重設信號124。

FF電路32成為比較振盪控制信號103和振盪停止信號115之相之相位比較器。振盪控制信號103被延遲電路31延遲後，作為延遲振盪控制信號125輸入FF電路32。延遲電路31設為相當於振盪器8之OR電路21、AND電路22以及FF電路29之開延遲之延遲值。而，FF電路32響應振盪停止信號115之下降緣而保持延遲振盪控制信號125之位準，作為相



五、發明說明 (10)

位比較信號112輸出。即，將振盪停止信號115之下降緣之時刻和延遲振盪控制信號125之上升緣之時刻之偏差作為相位比較信號112輸出。

相位比較信號112輸入圖1之計數電路5。圖5表示計數電路5之電路圖。自脈波產生電路1、2輸出之相位比較信號112、113輸入AND電路33，作為相位比較信號127輸出。用FF電路34保持該相位比較信號127之位準，作為增減信號128輸出。增減計數器35在增減信號128為高位準時增加，在低位準時減少，將計數值作為計數器輸出信號109輸出。

計數器輸出信號109輸入圖1之閃鎖電路6。圖6表示閃鎖電路6之電路圖。解碼器電路36將計數器輸出信號109解碼後輸出解碼器輸出信號129。此時，解碼器輸出信號129在構造上在下階位元排列個數為計數器輸出信號109所示計數值之「1」和在上階位元排列「0」而成。例如，在計數值係「3」之情況，為「0000...0111」。在本實施例之情況，因增減計數器35之計數值之範圍設為「1~36」，解碼器輸出信號129變成36位元之資料。解碼器輸出信號129由脈波產生電路1用之閃鎖電路37和脈波產生電路2用之閃鎖電路38各自閃鎖後，作為延遲控制信號110、111輸出。

上述計數電路5之FF電路34和增減計數器35之動作時序由自圖1之時序控制電路4產生之增減控制時計信號105和計數器時計信號106各自控制。又，閃鎖電路6之閃鎖電路37、38之動作時序由自時序控制電路4產生之閃鎖時計



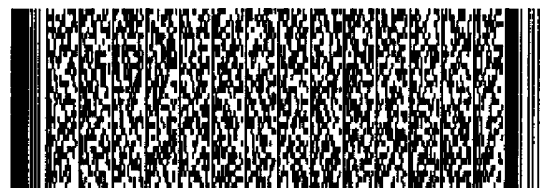
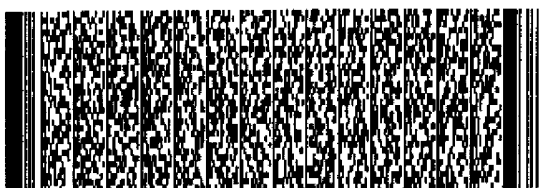
五、發明說明 (11)

信號107、108各自控制。

圖7表示圖3之延遲電路23之電路圖。延遲電路23由個數和延遲控制信號110之位元數一樣之延遲方塊42串聯而成。在連接了多段之延遲方塊42，在左端輸入延遲控制信號110之LSB，在右端輸入MSB。一個延遲方塊42由時計反相器39、40和NAND電路41構成。時計反相器39和40互補性地動作。即，自延遲控制信號110輸入「1」時，時計反相器39不動作，時計反相器40動作，傳送來自前段之信號。自延遲控制信號110輸入「0」時，時計反相器39動作，在振盪時計信號114之線和反轉延遲信號121之線之間形成通路。來自前段之信號受到時計反相器40抑制。因此，增減計數器35之計數值愈大(即，來自LSB之「1」之個數愈多)延遲時間愈長。

圖8表示時序控制電路4之電路圖。時序控制電路4自輸入之時計信號101產生各種時計信號。該各種時計信號如後述所示，以輸入之時計信號101之12個時計為1週期。輸入之時計信號101輸入時序控制電路4後，利用反相器43產生反轉時計信號130。時序控制電路4在輸入之時計信號101之反轉時計信號130之上升緣受到控制，這是為了使得各種時計信號之產生時刻和振盪控制信號103、振盪控制信號104之上升時刻不會同時產生。即，因圖5之增減計數器44或圖6之閃鎖電路37、38係控制圖3之振盪器8之延遲電路23的，令在振盪器8之振盪停止期間變化。

響應反轉時計信號130之上升緣，12進位計數器44將



五、發明說明 (12)

到「0」~「11」為止之計數值作為12進位計數器輸出信號131輸出。12進位計數器輸出信號131供給解碼器45~47。

解碼器45在計數值為「1」時、解碼器46在計數值為「5」時、解碼器47在計數值為「7」時各自輸出高位準之解碼器輸出信號132~134。因此，解碼器輸出信號132~134在反轉時計信號130之12個週期之中有1個週期變成高位準。

FF電路48~50在反轉時計信號130之上升緣各自保持解碼器輸出信號132~134之位準。因此，增減控制時計信號105在12進位計數器44之計數值為「2」時輸出高位準，計數器時計信號106在計數值為「6」時輸出高位準，門鎖時計信號107在計數值為「8」時輸出高位準。此外，門鎖時計信號107輸入FF電路51，在反轉時計信號130之上升緣保持。因此，門鎖時計信號108在12進位計數器44之計數值為「9」時輸出高位準。

於是，在本實施例以輸入之時計信號101之12個週期為基準控制，但是這係考慮各方塊之動作邊限的，本發明未限定如此。即，不使用12進位計數器，也只要係8進位或16進位等偶數進位即可。

以下使用圖9及圖10所示時序圖說明本實施例之動作。

圖9係脈波產生電路之時序圖。脈波產生電路在振盪啟動信號120為高位準期間變成振盪狀態，在低位準期間變成停止狀態。又，振盪啟動信號120之上升緣依據振盪



五、發明說明 (13)

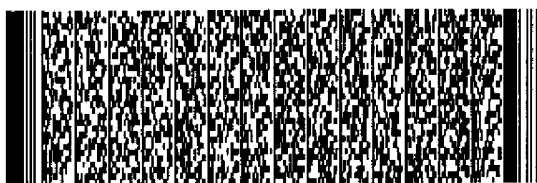
控制信號103決定，下降緣依據振盪停止信號115決定。

接著由脈波產生電路1位於停止狀態時之動作開始說明。停止狀態時， n 進位計數器27之起始化，即在本發明之倍頻電路進行設定倍頻數之處理。此外，在以下之說明，說明產生2倍頻之輸出時計信號119之情況。

響應振盪控制信號103之下降緣，計數器設定信號126上升(FF電路26)，在 n 進位計數器27設定「6」。在輸入之時計信號101之下降緣重設計數器設定信號126。同時重設信號124上升(FF電路25)，重設遮蔽信號116，設為高位準(FF電路30)。因而，變成可輸出倍頻時計信號117之狀態(AND電路24)。此時，振盪停止信號115也利用重設信號124起始化(FF電路29)。此外，振盪停止信號一般在產生了重設信號124時變成低位準，但是在因誤動作等變成高位準之情況，起始化而變成低位準。

接著說明脈波產生電路1位於振盪狀態時之動作。因響應振盪控制信號103之上升緣，振盪啟動信號120上升(OR電路21)，重設信號124下降(FF電路25)，脈波產生電路1變成振盪狀態。

因響應振盪啟動信號120之上升而振盪時計信號114之第1個上升(AND電路22)， n 進位計數器27之輸出自「6」變成「7」。因此，因解碼器28輸出高位準，在第2個振盪時計信號114之上升緣振盪停止信號115上升(FF電路29)。因 n 進位計數器27之輸出自「7」變為「0」，解碼器28輸出低位準。然後，第3個振盪時計信號114上升，振盪停止信



五、發明說明 (14)

號115下降。

在FF電路32比較該振盪停止信號115之下降時刻和延遲振盪控制信號125之上升時刻後，輸出相位比較信號112。

因第3個振盪時計信號114係用以產生相位比較的，不是應作為遮蔽信號116輸出的。因此，在第2個振盪時計信號114之下降緣遮蔽信號116變成低位準(FF電路29)，抑制倍頻時計信號117之輸出(AND電路24)。

可是，第3個振盪時計信號114之上升時刻可看成第2個振盪時計信號114(即所要之倍頻時計信號之最後之時計)終了之時刻。因此，FF電路32變成比較所要之倍頻時計信號之最後之時計終了之時刻和振盪控制信號103所規定振盪期間之終了之時刻之相位。這若忽略振盪器8自接受振盪控制信號103至輸出第1個倍頻時計信號117為止之開延遲就清楚。

若將振盪控制信號103看成對於脈波產生電路1之來自外部之振盪期間設定信號，FF電路32在所設定之振盪期間內，當所產生之倍頻時計信號117之個數比設定之倍頻數大時輸出「1(高位準)」，當一樣或小時輸出「0(低位準)」。即，相位比較信號112在振盪時計信號114之相位領先時變成「1」，在落後時變成「0」。因而，到倍頻時計信號117之頻率穩定為止，相位比較信號112之值變成「0」→「0」→「0」…(或「1」→「1」→「1」…)，倍頻時計信號117之頻率穩定時，相位比較信號112之值因振

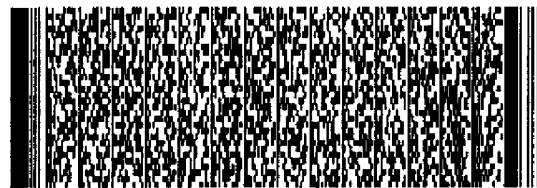


五、發明說明 (15)

盪時計信號114之頻率之微妙之偏差而重複「0」和「1」。

脈波產生電路2如上述所示，受到取振盪控制信號103之反轉信號之振盪控制信號104控制，但是動作係和脈波產生電路1一樣。因此，每隔輸入之時計信號101之1個週期脈波產生電路1和脈波產生電路2交互變成振盪狀態。

圖10係本發明之時序控制電路4、計數電路5以及門鎖電路6之時序圖。脈波產生電路1、2如圖10所示，每隔輸入之時計信號101之1個週期脈波產生電路1和2交互振盪。現在假設自脈波產生電路1、2所輸出之相位比較信號112、113雙方都是「1」。因此，相位比較信號127係高位準(AND電路33)。12進位計數器44之計數值變成「2」時，產生增減控制時計信號105(FF電路48)，增減信號128變成高位準(FF電路34)。此時，假設增減計數器35在計數器輸出信號109輸出「3」。然後，12進位計數器44之計數值增加到「6」為止時，產生計數器時計信號106(FF電路49)，計數器輸出信號109變成「4」。其次，隨著12進位計數器44之計數值增加到「8」、「9」，分別產生門鎖時計信號107、108(FF電路50、51)，計數器輸出信號109作為延遲控制信號110、111輸出(門鎖電路37、38)。此外，相位比較信號127當12進位計數器44之計數值為「9」時變成低位準，但是偶然因延遲控制信號110之值變大，延遲電路23之延遲時間增加，表示自脈波產生電路1產生之相位比較信號112變為「0」之情況。因此，12進位計數器44當下次



五、發明說明 (16)

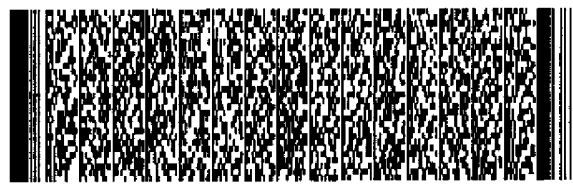
變為計數值「2」時增減信號128變為低位準。

圖11表示本發明之實施例2之方塊圖。和實施例1相同之部分賦與相同之符號，省略其說明。

在本發明使用之振盪器8之振盪頻率受到延遲電路23之延遲時間限制。輸入之時計信號101之頻率低時，因其倍頻時計信號之頻率也變低，本實施例在那種情況提高振盪器8輸出之倍頻時計信號之頻率，而在作為輸出時計信號119輸出時分頻，降低頻率後輸出。因此，倍頻電路可接受之輸入之時計信號101之頻帶寬變寬。

在本實施例，將電路構造和實施例1的相比，計數電路10和輸出選擇電路11係不同之部分，其他部分相同。在計數電路10，當自脈波產生電路1、2所輸入之相位比較信號112、113變成指定之條件時，設於計數電路10之順序控制器將倍頻設定信號102設為由外部供給之值之二倍後輸出，將倍頻時計信號117、118之頻率變成2倍。在輸出選擇電路11自計數電路10輸入表示是否將倍頻設定值設為2倍之模式選擇信號135，在倍頻設定值變成2倍之情況，將所輸入之倍頻時計信號117、118二分頻後輸出正規之頻率之輸出時計信號119。

圖12表示計數電路10之電路圖。在本實施例，設置順序控制器52，替代圖5之FF電路34。在順序控制器52和FF電路34一樣輸入相位比較信號127及增減控制時計信號105。順序控制器52內藏保持相位比較信號127之位準之移位暫存器，依據增減控制時計信號105保持。



五、發明說明 (17)

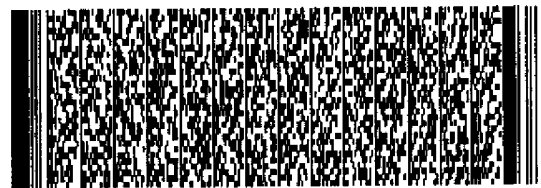
保持多個之相位比較信號127之位準變成指定之條件時，檢查計數器輸出信號109之計數值。在計數值係指定值以上之情況，順序控制器52將輸入之倍頻設定信號102之值變成2倍後輸出，將模式選擇信號135設為高位準。又，對增減計數器35輸出重設信號136。依據該重設信號136將增減計數器35起始化成最大值。

檢查計數值時，在係未滿指定值之情況，原封不動地輸出倍頻設定信號102，將模式選擇信號135設為低位準。然後，和實施例1一樣，響應增減控制時計信號105之上升緣，將相位比較信號127之位準作為增減信號128輸出。

此外，相位比較信號127之條件例如設為相位比較信號127自「0」變為「1」時，但是未限定如此。又，輸入順序控制器52之計數器輸出信號109只有指定之上階位元也可。

圖13表示輸出選擇電路11之電路圖。輸出選擇電路11所輸入之倍頻時計信號117、118經OR電路53取OR後變成倍頻時計信號137。該倍頻時計信號137除了輸入多工器55之輸入端子A以外，還經分頻電路(FP電路)54分頻後變成分頻時計信號138，輸入多工器55之輸入端子B。而，多工器55當模式選擇信號135為低位準時選擇倍頻時計信號137，當高位準時選擇分頻時計信號138，作為輸出時計信號119輸出。

圖14表示本發明之實施例3之方塊圖。和實施例1及2相同之部分賦與相同之符號，省略其說明。本實施例係在



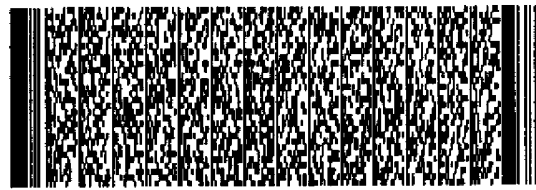
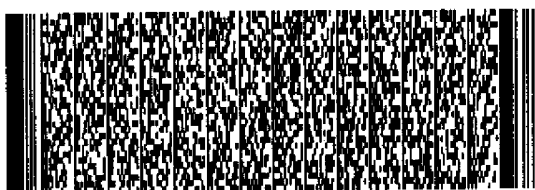
五、發明說明 (18)

每個時計微調倍頻時計信號117、118，降低變動。在所需的構造上，在脈波產生電路1、2設置和實施例1及2之振盪器8不同之振盪器12和移位暫存器13。在振盪器12自移位暫存器13輸入用以調整振盪時計信號114之脈寬之寬度調整信號139。自閃鎖電路15輸出係計數電路14所產生計數器輸出信號109之下階位元之閃鎖值之計數器輸出信號140、141，輸入移位暫存器。

圖15表示振盪器12之電路圖。寬度調整電路56微調延遲電路23所輸出之反轉延遲信號121之時計寬度後，輸出反轉延遲信號142。寬度調整電路56自移位暫存器13接受寬度調整信號139而受到控制。

圖16表示移位暫存器13及寬度調整電路56之電路圖。移位暫存器13響應自 n 倍頻控制電路9輸入之計數器設定信號126之上升緣，取入計數器輸出信號140之值。此時，在移位暫存器13之最下階取入"0"。而，響應振盪器12所輸出之振盪時計信號114之上升緣，每次向右挪移1個位元後，輸出寬度調整信號139。即，在移位暫存器13在振盪器12位於振盪停止狀態時設定計數器輸出信號140之值，但是在此狀態，輸出最下階之值「0」。因此，在振盪時計信號114之最初之時計，就將計數器輸出信號140之LSB之值作為寬度調整信號139輸出。

在寬度調整電路56，當寬度調整信號139為「0(低位準)」時，使用反相器57、58以及時計反相器60、61將反轉延遲信號121作為反轉延遲信號142傳送。此時，傳送信



五、發明說明 (19)

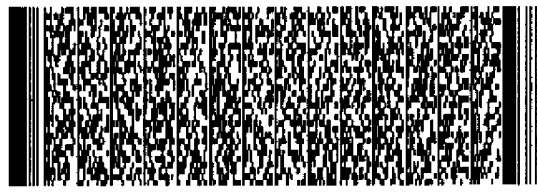
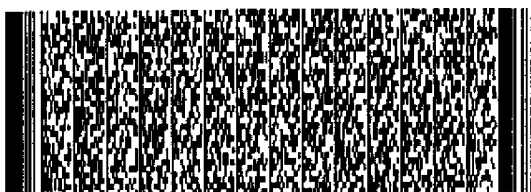
號之反相器因利用反相器及時計反相器之並列動作，表面上之驅動能力變高，幾乎不延遲。其次，當寬度調整信號139為「1(高位準)」時，只有反相器57、58傳送反轉延遲信號121。因此，反轉延遲信號142比反轉延遲信號121稍慢。在本實施例之情況，利用寬度調整電路56調整約100ps之延遲。

在本實施例，和實施例1及2相比，設於計數電路14之增減計數器62之動作不同。以下，使用圖17及圖18說明本實施例之增減計數器62之動作。

圖17係計數電路14之電路圖，圖18係增減計數器62之電路圖。在本實施例，增減計數器62由計數計數器輸出信號109之上階位元側之增減計數器64和計數下階位元側之增減計數器65構成。

這些增減計數器64、65利用自順序控制器52輸出之計數器啟動信號143控制動作。順序控制器52首先對增減計數器62輸出重設信號，將各計數器64、65起始化。上階側計數器64起始化為最大值1(111...1)，下階側計數器65起始化為最小值0(000...0)。此外，在圖18省略重設信號136。

其次，振盪時計信號114開始振盪時，順序控制器52依據計數器啟動信號143在EN1輸入高位準、在EN2輸入低位準，令上階側計數器64動作。然後，藉著觀察相位比較信號112、113，判斷倍頻時計信號117、118之頻率是否穩定。該判斷例如和實施例2之情況一樣，相位比較信號



五、發明說明 (20)

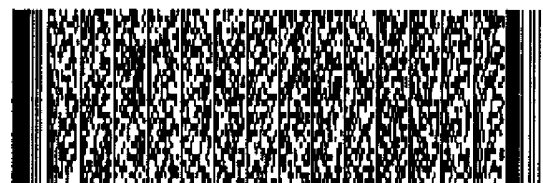
112、113之位準自「0」變為「1」時，判斷頻率穩定(頻率上鎖狀態)。在此，倍頻時計信號117、118之頻率變成上鎖狀態時，依據計數器啟動信號143在EN1輸入低位準、在EN2輸入高位準，令下階側計數器65動作。

下階側計數器65在計數動作發生進位或借位時，將進位/借位信號144設為高位準。因此，此時因利用OR電路63，計數器啟動信號145變成高位準，上階側計數器64取入增減信號128後進行計數動作。又，下階側計數器65利用倍頻設定信號102控制計數數。下階側計數器65在倍頻設定信號102表示2倍頻時計數0~1，在表示3倍頻時計數0~3。

如上述所示，計數器輸出信號109到倍頻時計信號117、118之頻率變成上鎖狀態為止，下階位元變成「000...0」。而，變成上鎖狀態後，輸出和實施例1及2一樣之計數器輸出信號109。即，到倍頻時計信號117、118之頻率穩定為止，寬度調整電路56不調整時計寬度。

圖19係門鎖電路15之電路圖。本實施例之門鎖電路15和圖6所示實施例1及2之門鎖電路相比，設置了門鎖計數器輸出信號109之下階位元之門鎖電路66、67。這些門鎖電路66、67依據對於門鎖電路37、38之門鎖時計信號107、108動作。

在本實施例，說明計數器輸出信號109變化時之動作。例如如圖10所示，在計數器輸出信號109之計數值自「3」變為「4」之情況，自門鎖電路15輸出之計數器輸出



五、發明說明 (21)

信號140自「00000011」變為「00000100」。為了簡化說明，假設如下。

倍頻數：2

輸入之時計信號101之1個週期：10ns

寬度調整電路56之延遲時間：0.1 ns

計數值「3」時之倍頻時計信號117之1個週期：4.9ns

計數值「4」時之倍頻時計信號117之1個週期：5.0ns

在這種條件下，計數值為「3」時，若無寬度調整電路56，倍頻時計信號117之2個週期變成9.8ns，但是在本實施例，依據計數器輸出信號140之下階2位元「11」調整成 $(4.9+0.1) \times 2 = 10\text{ns}$ 。又，計數值為「4」時，因依據計數器輸出信號140之下階2位元「00」不調整，變成 $5.0 \times 2 = 10\text{ns}$ 。於是，在本實施例，因在振盪時計信號114之每個時計微調週期，倍頻時計信號117、118之變動降低。

【發明之效果】

如以上詳細說明所示，在本發明使用之脈波產生電路，因設定倍頻數，控制振盪器之振盪時計信號，不僅2倍頻，可輸出任意值之倍頻數之倍頻時計信號。即，可不令電路規模增大地產生高倍頻數之時計信號。

又，因在本發明設置2個脈波產生電路，令這些脈波產生電路在輸入之時計信號之每個週期交互動作，產生輸出時計信號，可產生不受輸入之時計信號之作用比(Duty)影響之倍頻時計信號。



五、發明說明 (22)

此外，因本發明之倍頻電路只用邏輯元件構成，可不受處理變動或電源變動影響地以600ps以下之小變動產生倍頻時計。

【圖面之簡單說明】

圖1係本發明之實施例1之倍頻電路之方塊圖。

圖2係本發明之振盪控制電路之電路圖。

圖3係本發明之振盪器之電路圖(實施例1)。

圖4係本發明之 n 倍頻控制電路之電路圖。

圖5係本發明之計數電路之電路圖(實施例1)。

圖6係本發明之門鎖電路之電路圖。

圖7係本發明之延遲電路之電路圖(實施例1)。

圖8係本發明之時序控制電路之電路圖。

圖9係本發明之脈波產生電路之時序圖。

圖10係本發明之時序控制電路、計數電路以及門鎖電路之時序圖。

圖11係本發明之實施例2之倍頻電路之方塊圖。

圖12係本發明之計數電路之電路圖(實施例2)。

圖13係本發明之輸出選擇電路之電路圖。

圖14係本發明之實施例3之倍頻電路之方塊圖。

圖15係本發明之振盪器之電路圖(實施例3)。

圖16係本發明之移位暫存器及寬度調整電路之電路圖。

圖17係本發明之計數電路之電路圖(實施例3)。



五、發明說明 (23)

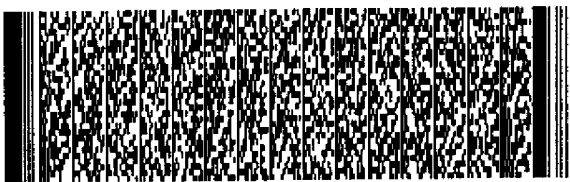
圖18係本發明之增減計數器之電路圖。

圖19係本發明之閃鎖電路之電路圖(實施例3)。

圖20係習知之倍頻電路之方塊圖。

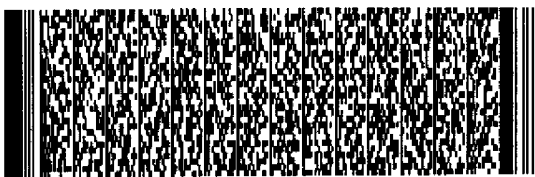
【符號說明】

- 1、2~脈波產生電路
- 3~振盪控制電路
- 4~時序控制電路
- 5、10、14~計數電路
- 6、15~閃鎖電路
- 7~OR電路
- 8、12~振盪器
- 9~n倍頻控制電路
- 11~輸出選擇電路
- 13~移位暫存器
- 21、53、63~OR電路
- 22、24、33~AND電路
- 23、31~倍頻電路
- 25、26、29、30、48至51~正反器電路
- 27~n進位計數器
- 28、36、45至47~解碼器
- 32~相位比較器
- 35、62、64、65~增減計數器
- 37、38、66、67~閃鎖電路



五、發明說明 (24)

- 39、40、60、61~時計反相器
- 41~NAND 電路
- 42~延遲方塊
- 43、57至59~反相器
- 44~12進位計數器
- 52~順序控制器
- 54~分頻電路
- 55~多工器
- 56~寬度調整電路
- 91~振盪器
- 92~計數電路(習知)
- 93~閃鎖電路(習知)
- 94~分頻電路(習知)
- 95~移位暫存器電路(習知)
- 96~反相器(習知)
- 97~正反器電路(習知)
- 98~選擇器(習知)
- 101~輸入之時計信號
- 102~倍頻設定信號
- 103、104~振盪控制信號
- 105~增減控制時計信號
- 106~計數器時計信號
- 107、108~閃鎖時計信號
- 109、122、131、140、141~計數器輸出信號



五、發明說明 (25)

- 110、111~延遲控制信號
- 112、113、127~相位比較信號
- 114~振盪時計信號
- 115~振盪停止信號
- 116~遮蔽信號
- 117、118、137~倍頻時計信號
- 119~輸出時計信號
- 120~振盪啟動信號
- 121、142~反轉延遲信號
- 123、129、132至134~解碼器輸出信號
- 124、136~重設信號
- 125~延遲振盪控制信號
- 126~計數器設定信號
- 128~增減信號
- 130~反轉時計信號
- 135~模式選擇信號
- 138~時計信號
- 139~寬度調整信號
- 143、145~計數器啟動信號
- 144~進位/借位信號
- 201~基準時計信號(習知)
- 202、203~計數器輸出信號(習知)
- 204~分頻信號(習知)
- 205~移位暫存器輸出信號(習知)



五、發明說明 (26)

206~上階位元信號(習知)

207~LSB信號(習知)

208~反轉基準時計信號(習知)

209~FF輸出信號(習知)

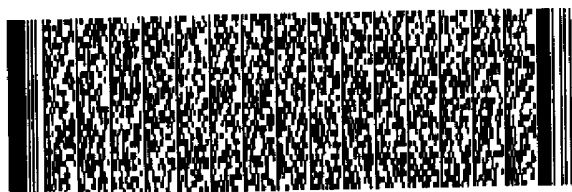


四、中文發明摘要 (發明之名稱：倍頻電路)

本發明旨在產生一種不受輸入之時計信號之作用比(Duty)影響之倍頻時計信號。

為達成前述目的，藉由將輸入之時計信號分頻後所產生之2個振盪控制信號103、104，令2個脈波產生電路每隔輸入之時計信號之1個週期交互動作，取交互輸出之倍頻時計信號117、118之OR後，作為輸出時計信號119。在脈波產生電路1、2，計數自振盪器8所輸出之振盪時計信號114之時計數，偵測所設定之倍頻數之振盪時計信號114之期間之終了和振盪控制信號103、104之相位差。依據該相位差之結果，使用自計數電路5輸出之信號109、110、111，控制振盪器8之振盪頻率。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種倍頻電路，其特徵在於包括：

振盪控制電路，接受輸入之時計信號後在該輸入之時計信號之每個週期將第1及第2控制信號設為有效；

第1脈波產生電路，當該第1控制信號變成有效時將係該輸入之時計信號之倍頻時計信號之第1倍頻時計信號振盪；

第2脈波產生電路，當該第2控制信號變成有效時將係該輸入之時計信號之倍頻時計信號之第2倍頻時計信號振盪；

以及邏輯和電路，取該第1及第2倍頻時計信號之邏輯和後輸出輸出之時計信號。

2. 一種倍頻電路，其特徵在於包括：

振盪控制電路，接受輸入之時計信號後在該輸入之時計信號之每個週期將第1及第2控制信號設為有效；

產生裝置，自外部接受所輸入之倍頻設定信號，將該倍頻設定信號表示之倍頻數變成2倍後，產生內部倍頻設定信號；

第1脈波產生電路，當該第1控制信號變成有效時將係該內部倍頻設定信號表示之值之該輸入之時計信號之倍頻時計信號之第1倍頻時計信號振盪；

第2脈波產生電路，當該第2控制信號變成有效時將係該內部倍頻設定信號表示之值之該輸入之時計信號之倍頻時計信號之第2倍頻時計信號振盪；

以及輸出電路，將該第1及第2倍頻時計信號分頻而且



六、申請專利範圍

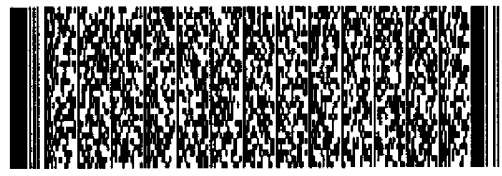
取邏輯和後輸出輸出之時計信號。

3. 如申請專利範圍第1項或第2項之倍頻電路，其中，還具有控制裝置，接受倍頻設定信號後，在該輸入之時計信號之一個週期之期間使該第1及第2倍頻時計信號變成該倍頻設定信號表示之倍頻數。

4. 如申請專利範圍第1項或第2項之倍頻電路，其中，該第1及第2脈波產生電路各自具有將振盪時計信號振盪之振盪器及接受倍頻設定信號和該振盪時計信號後當該倍頻設定信號表示之倍頻數之該振盪時計信號振盪時令該振盪器停止之 n 倍頻控制電路，該振盪器將該振盪時計信號作為該倍頻時計信號輸出。

5. 如申請專利範圍第4項之倍頻電路，其中，該 n 倍頻控制電路具有相位比較器，比較該輸入之時計信號之1個週期之期間之終了時刻和該振盪時計信號進行該倍頻數振盪時之終了時刻後，在該振盪時計信號之相位領先該輸入之時計信號之相位時輸出第1位準之相位比較信號，在該振盪時計信號之相位落後該輸入之時計信號之相位時輸出第2位準之相位比較信號；該振盪器當該相位比較信號為該第1位準時降低該振盪時計信號之頻率，當該相位比較信號係該第2位準時提高該振盪時計信號之頻率。

6. 如申請專利範圍第5項之倍頻電路，其中，該振盪器具有由多段延遲元件構成之延遲電路，當該相位比較信號為該第1位準時該延遲元件之段數增加，當該相位比較信號係該第2位準時該延遲元件之段數減少。



六、申請專利範圍

7. 如申請專利範圍第4項之倍頻電路，其中，該振盪器還具有寬度調整電路，在該振盪時計信號之每個時計調整該時計信號之脈寬。



圖式

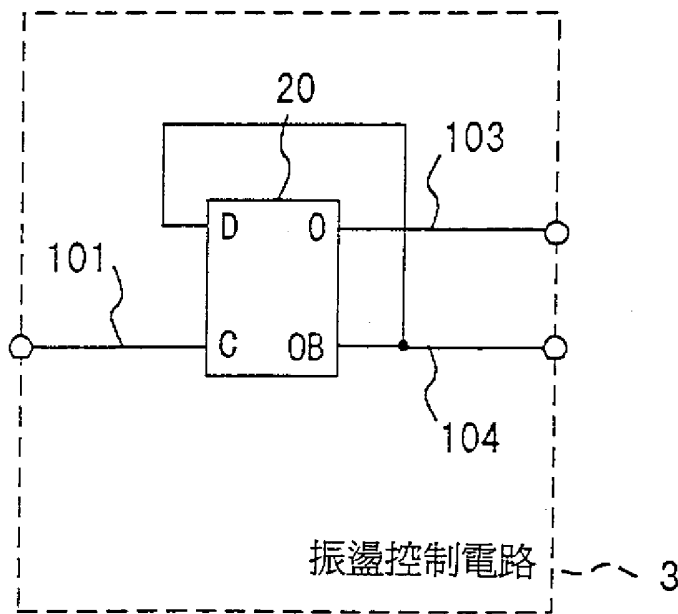


圖 2

圖式

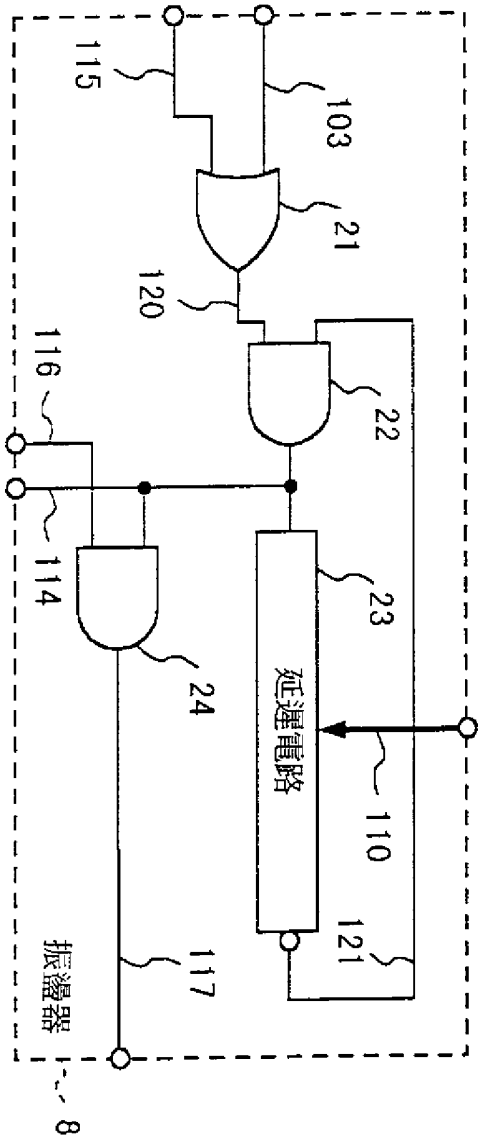


圖 3

圖式

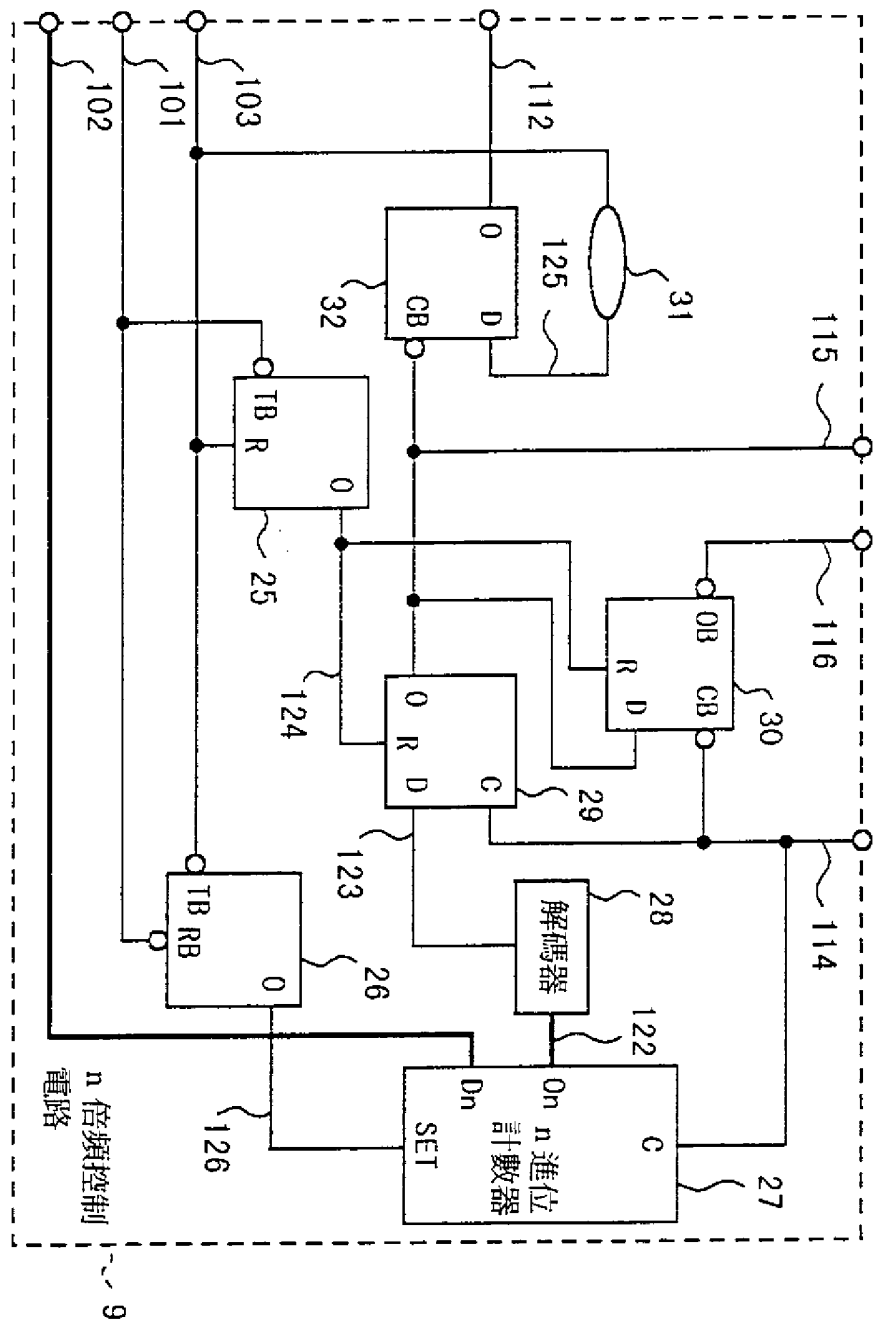


圖 4

圖式

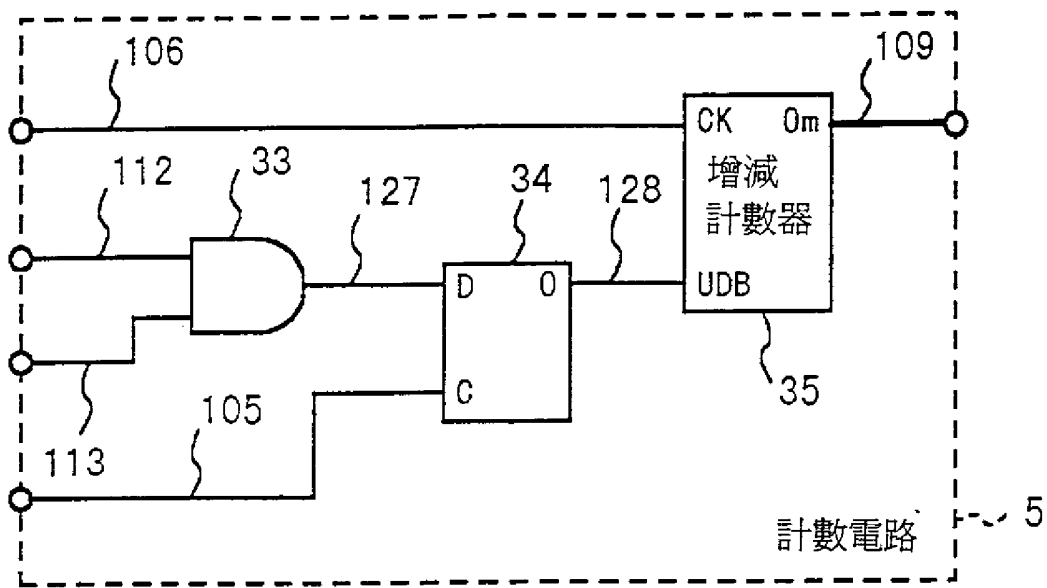


圖 5

圖式

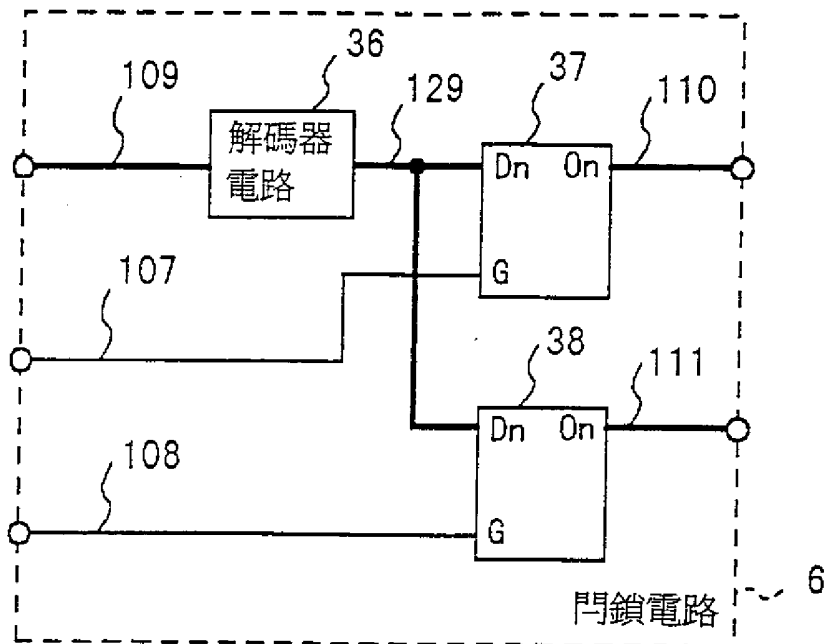


圖 6

圖式

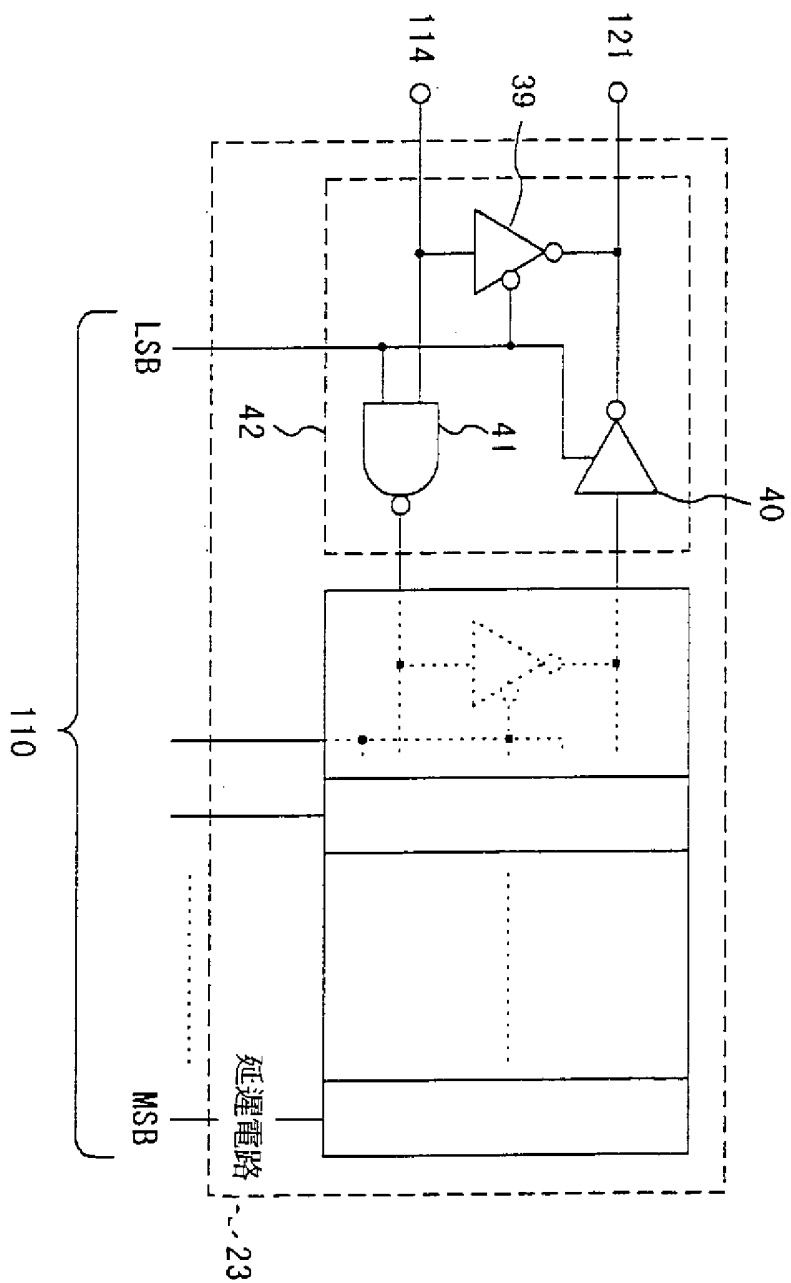


圖 7

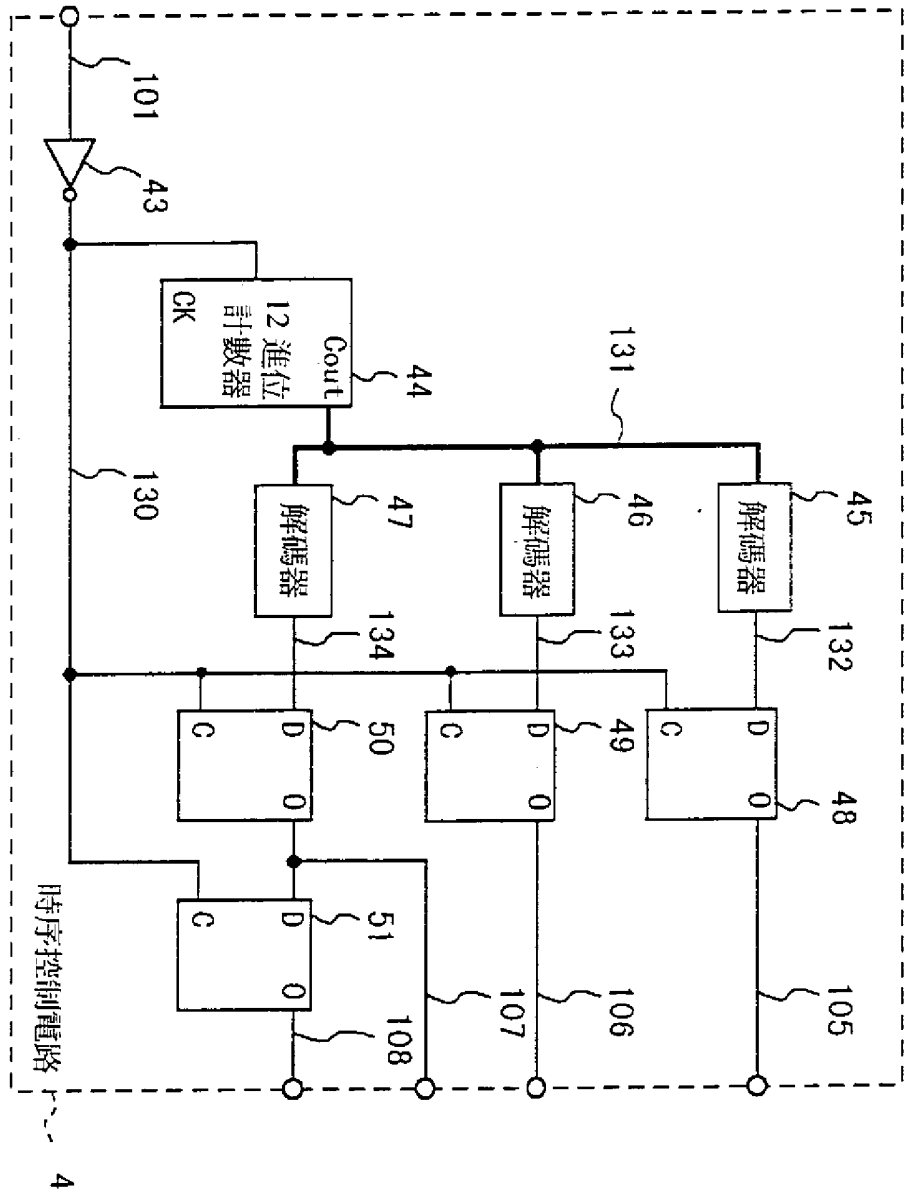


圖 8

圖式

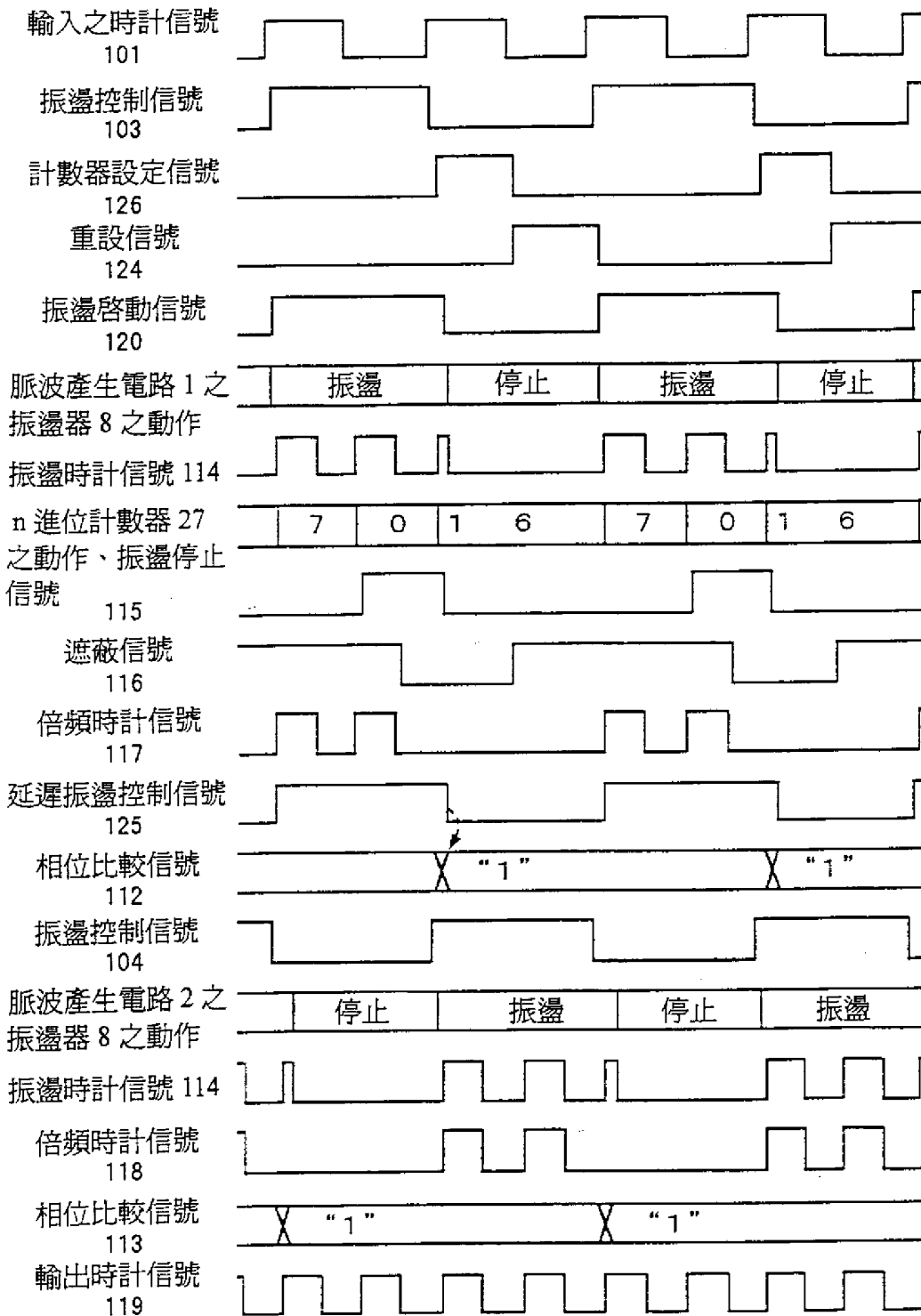


圖 9

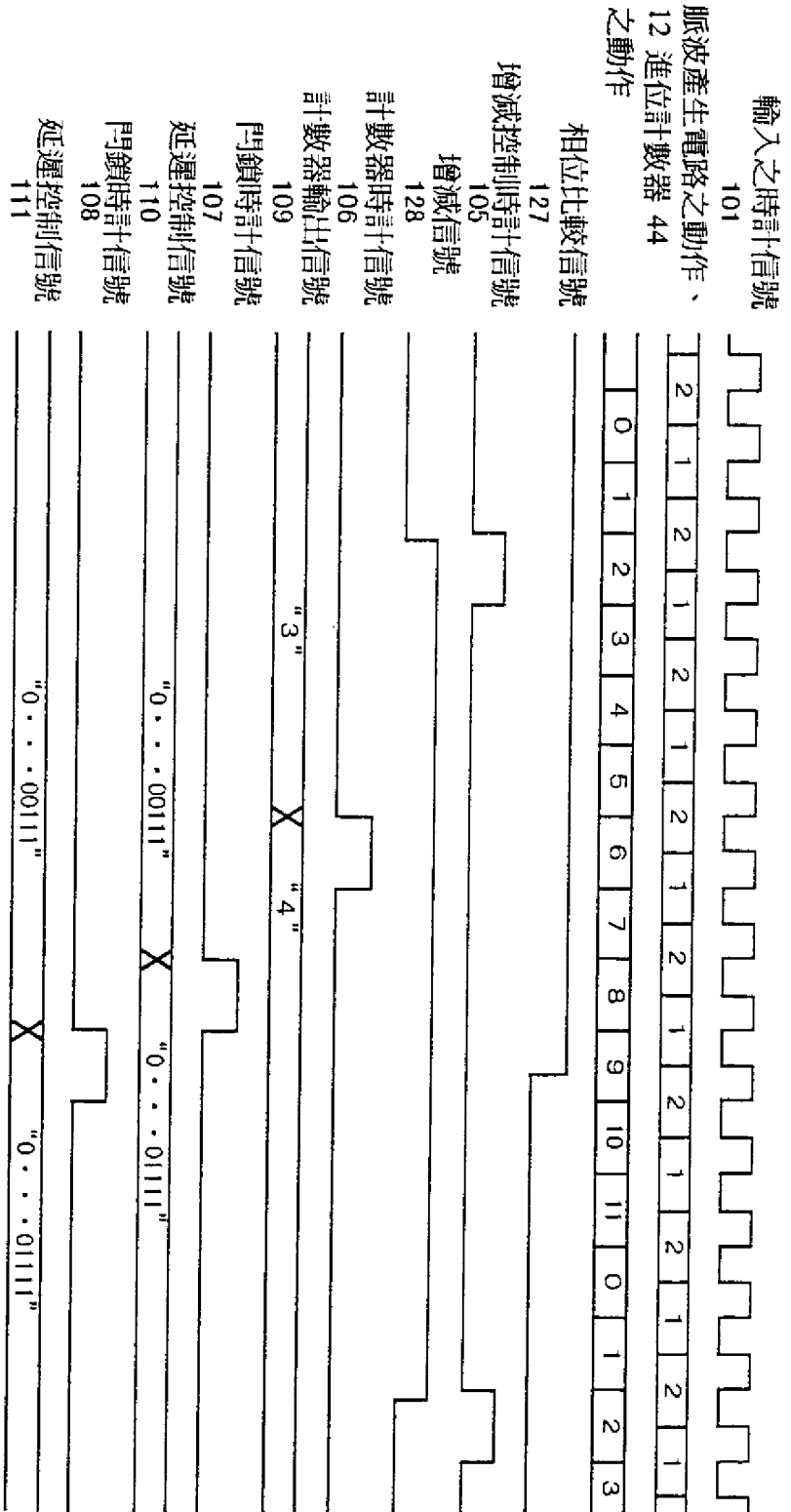


圖 10

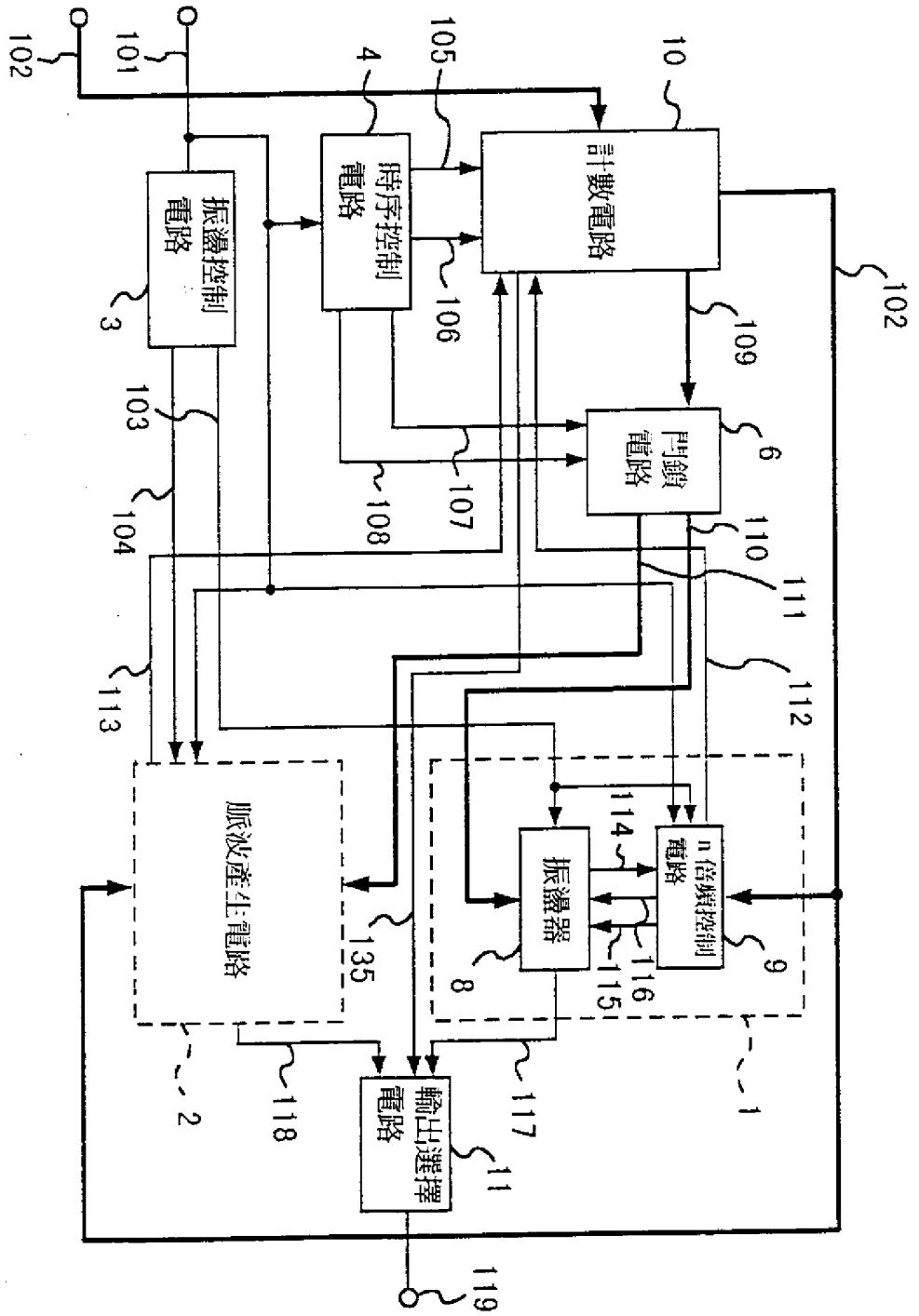


圖 11

圖式

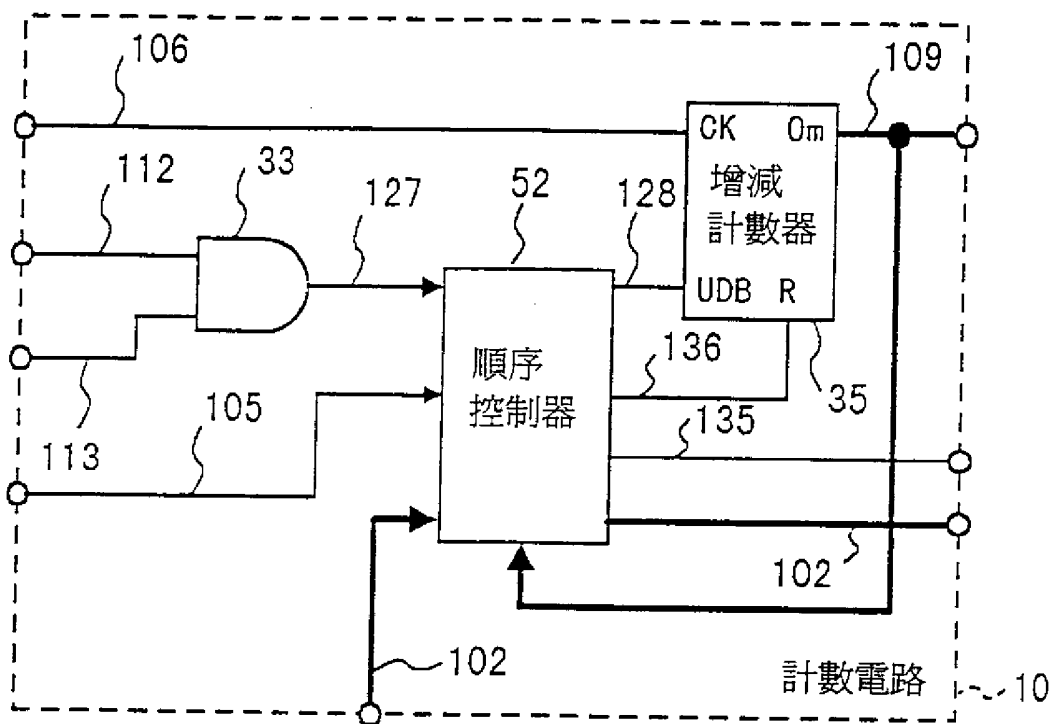


圖 12

圖式

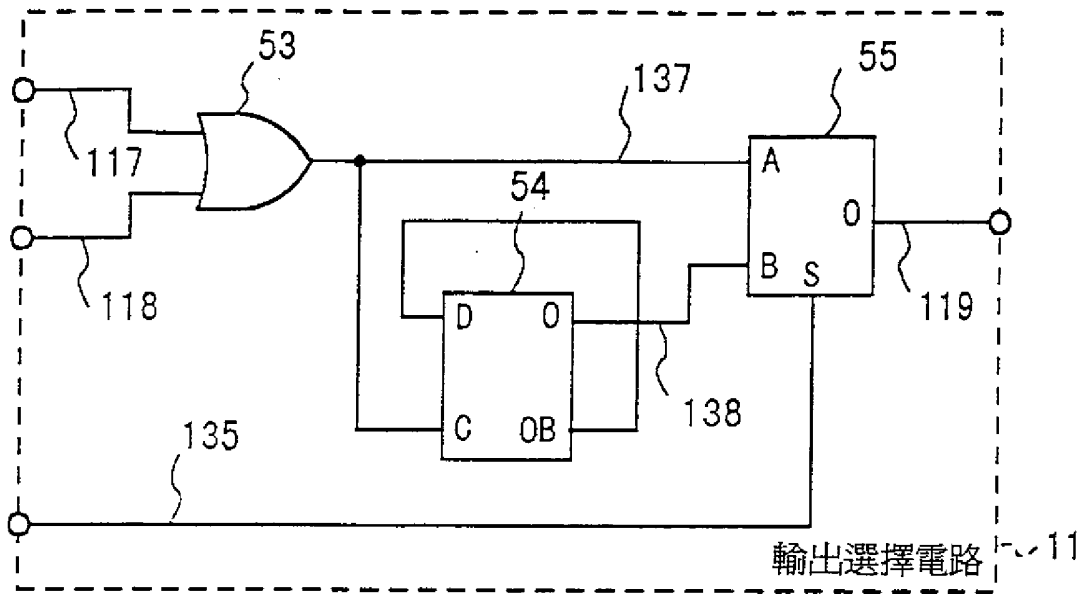


圖 13

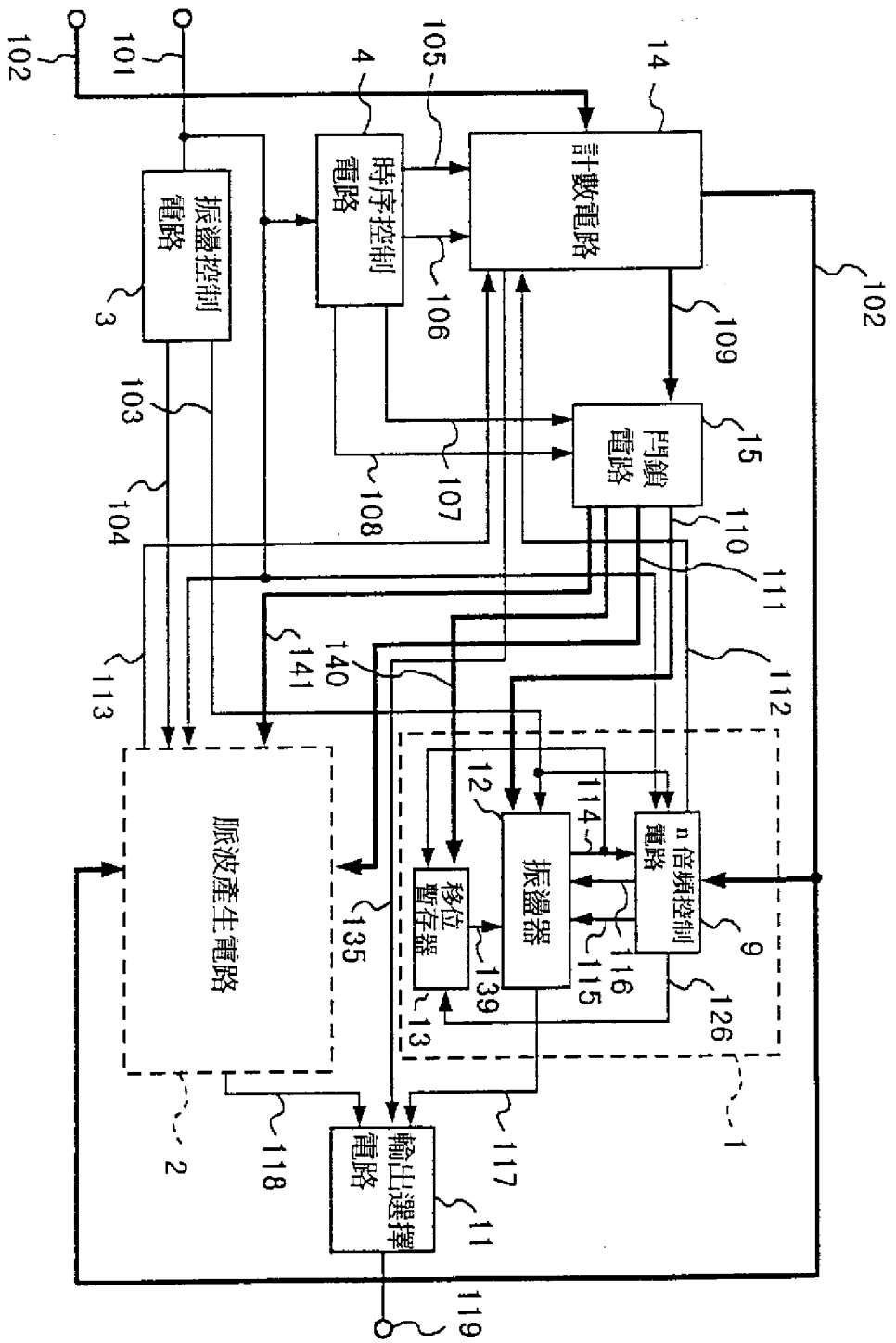


圖 14

圖式

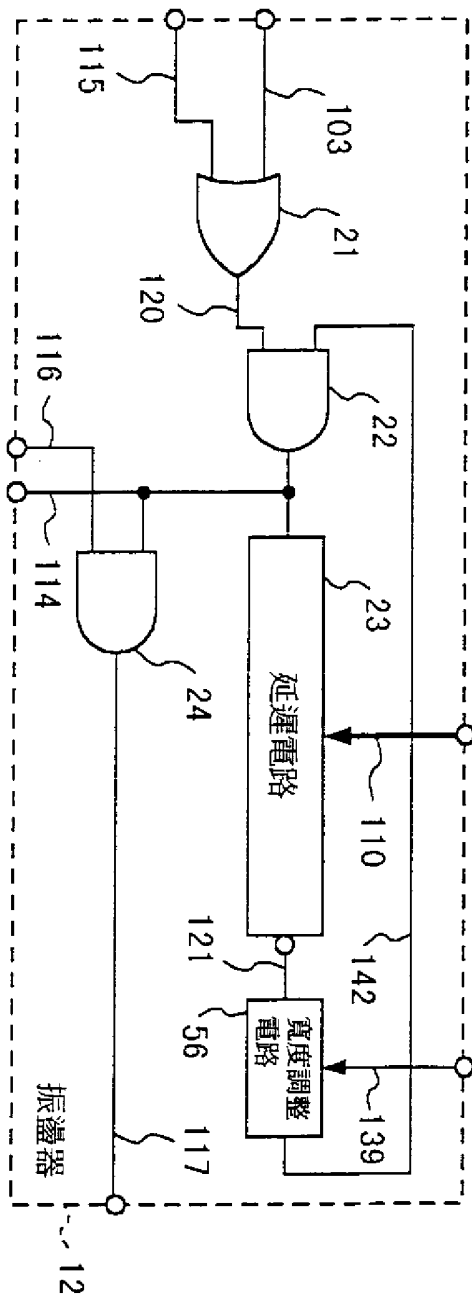


圖 15

圖式

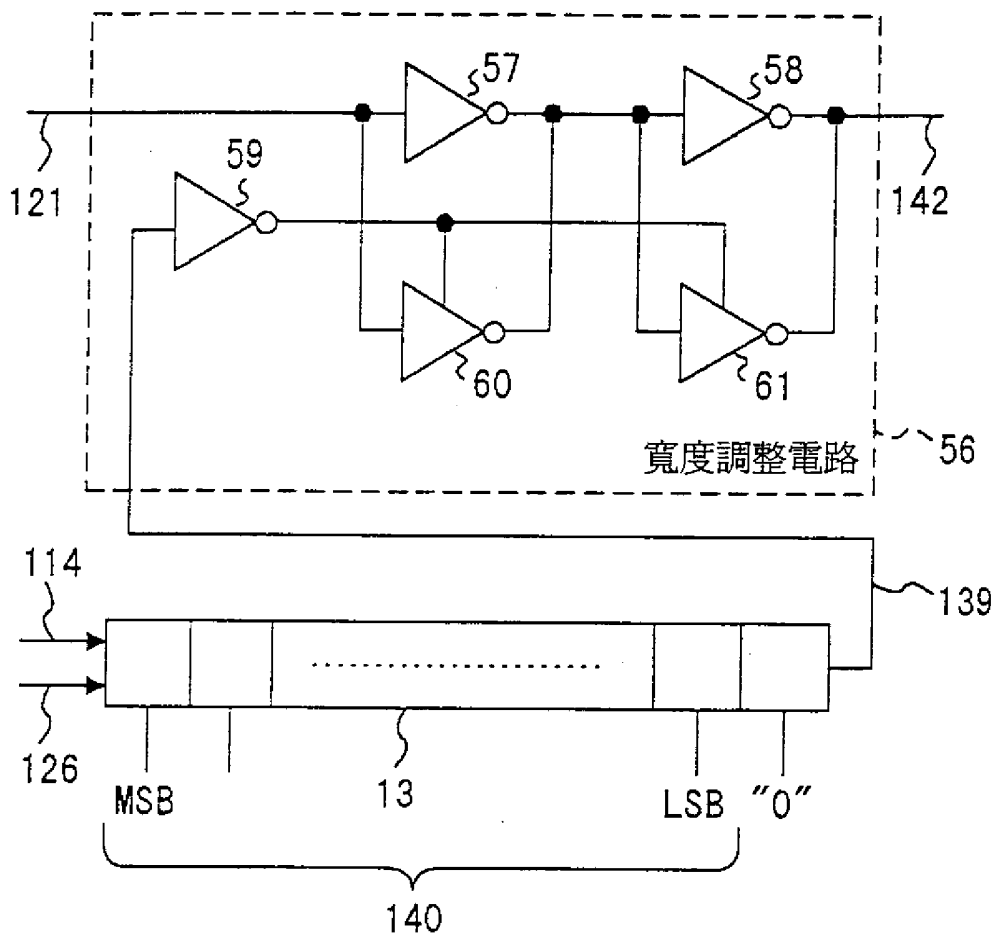


圖 16

圖式

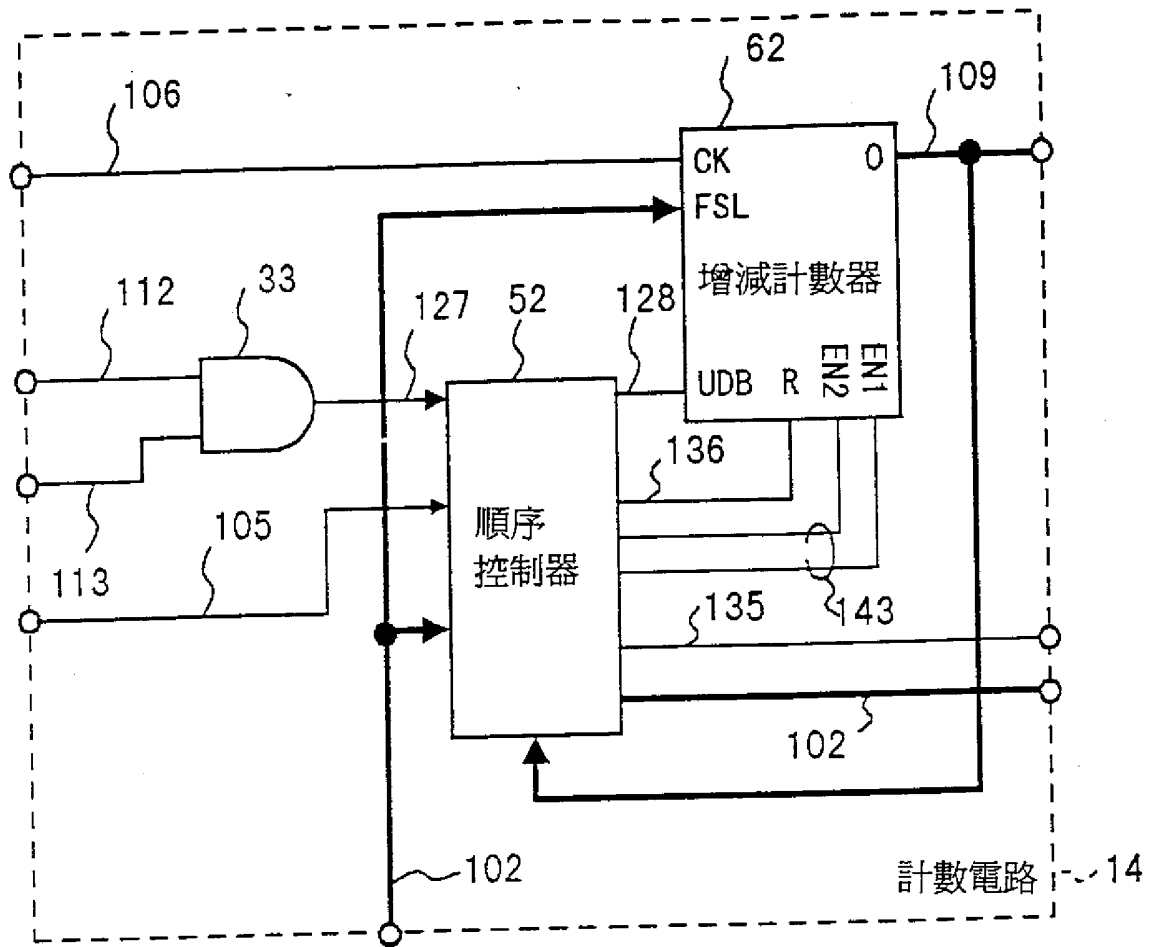


圖 17

圖式

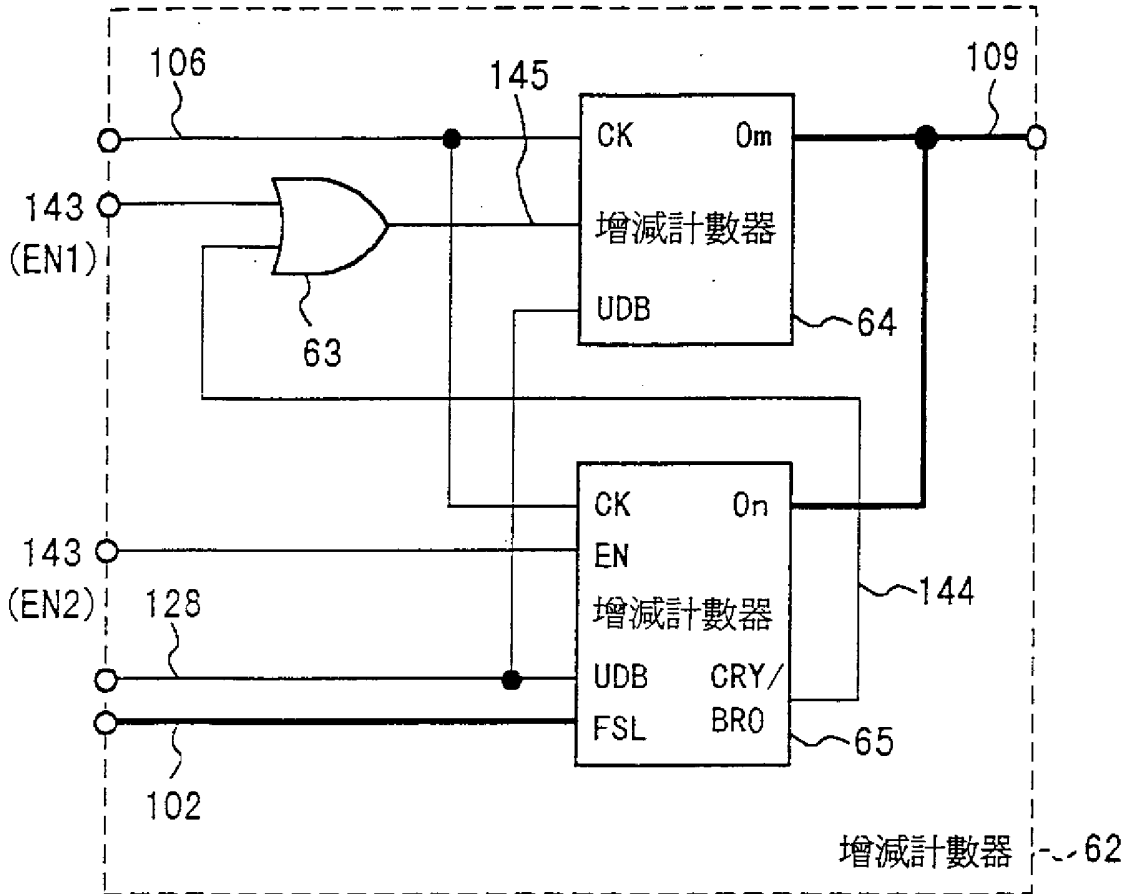


圖 18

圖式

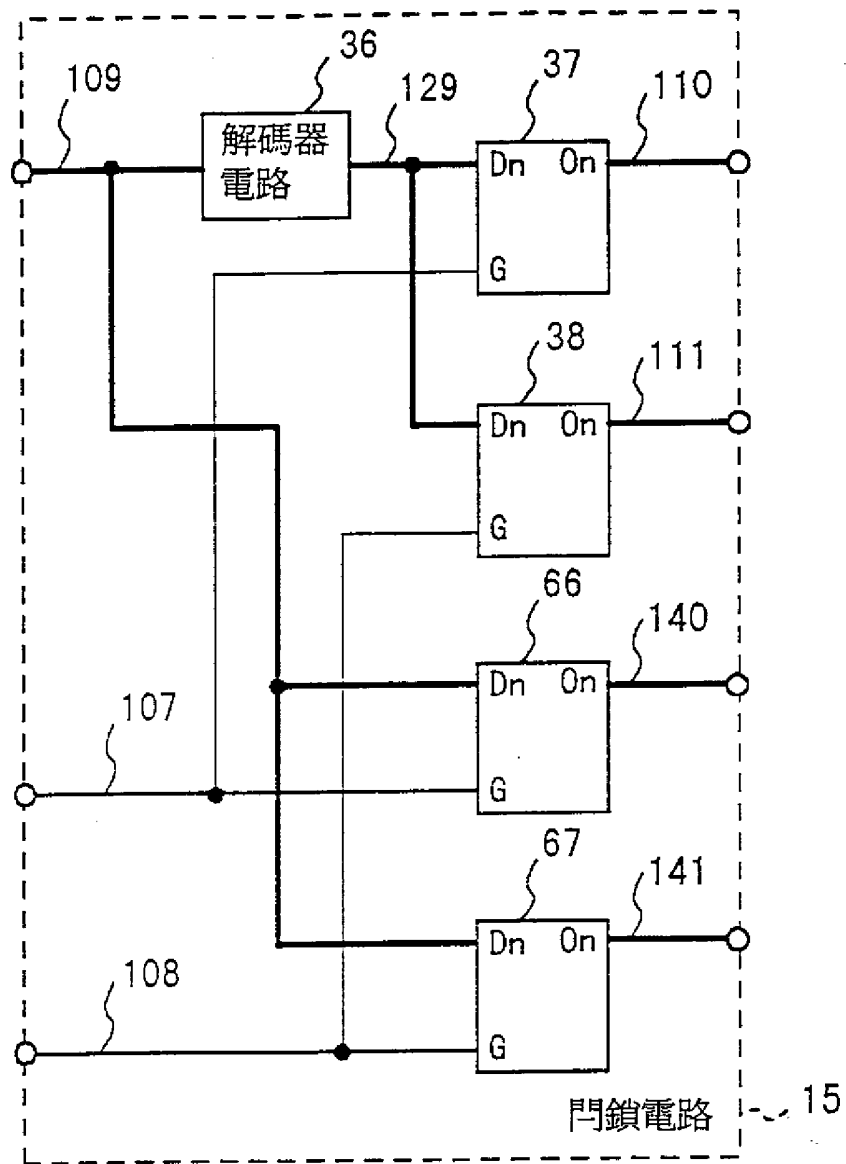


圖 19

圖式

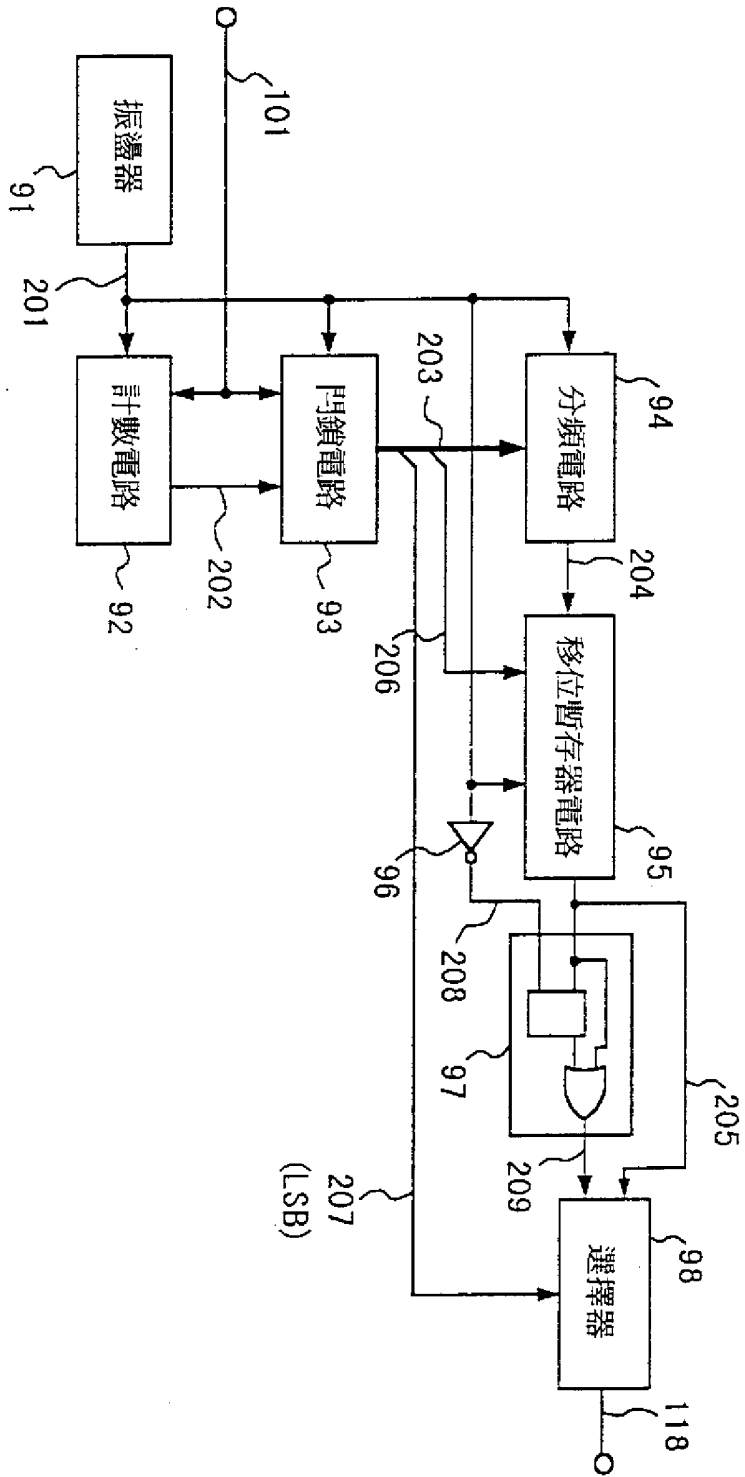


圖 20