(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年10 月23 日 (23.10.2008)

PCT

(10) 国際公開番号
WO 2008/126729 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)

(21) 国際出願番号: PCT/JP2008/056501

(22) 国際出願日: 2008 年4 月1 日 (01.04.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2007-101133 2007 年4 月6 日 (06.04.2007) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP). 国立大学法人東北大学 (TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目１番１号 Miyagi (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 浦山 雅夫 (URAYAMA, Masao). 川崎 雅司 (KAWASAKI, Masashi). 大野 英男 (OHNO, Hideo).

(74) 代理人: 特許業務法人原謙三国際特許事務所 (HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋２丁目北２番６号 大和南森町ビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

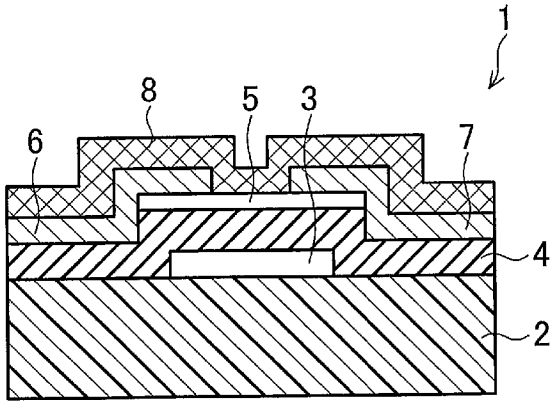
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(54) **Title:** SEMICONDUCTOR ELEMENT, METHOD FOR MANUFACTURING THE SEMICONDUCTOR ELEMENT, AND ELECTRONIC DEVICE PROVIDED WITH THE SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子およびその製造方法、並びに該半導体素子を備える電子デバイス

[図1]



(57) **Abstract:** A thin film transistor (1) is provided by forming a gate electrode (3) in a prescribed shape on an insulating substrate (2), then, laminating a gate insulating film (4) on the insulating substrate, and laminating a semiconductor layer (5) made of polycrystalline ZnO on the gate insulating film (14). By immersing a semiconductor layer (5) in a solution wherein an impurity material is dissolved, a grain boundary portion of the polycrystalline ZnO film is selectively doped with the impurity material. Then, a source electrode (6) and a drain electrode (7) are formed in prescribed shapes, and a protection film (8) is laminated. Thus, the thin film transistor, which has excellent subthreshold characteristics and a zinc oxide film as a base for an active layer, is provided.

(57) 要約: 本発明の薄膜トランジスタ（１）は、絶縁性基板（２）上にゲート電極（３）を所定の形状に形成された後に、ゲート絶縁膜（４）と該ゲート絶縁膜（４）上に多結晶ＺｎＯである半導体層（５）を順次積層する。半導体層（５）を、不純物を溶解させた溶液中に浸漬することにより、多結晶ＺｎＯ膜の粒界部分に選択的に不純物をドープする。この後、ソース電極（６）およびドレイン電極（７）を所定の形状に形成し、さらに保護膜（８）を積層する。これにより、サブスレッシュホールド特性に優れ、活性層のベースとして酸化亜鉛膜を有する薄膜トランジスタを実現できる。

WO 2008/126729 A1

明 細 書

半導体素子およびその製造方法、並びに該半導体素子を備える電子デバイス

技術分野

[0001] 本発明は、半導体素子およびその製造方法、並びに該半導体素子を備える電子デバイスに関するものであって、特に、活性層のベースとして酸化亜鉛膜を有する半導体素子およびその製造方法、並びに該半導体素子を備える電子デバイスに関するものである。

背景技術

[0002] 近年、液晶表示装置や有機EL(エレクトロルミネッセンス)表示装置など薄型表示装置(フラットパネルディスプレイ;FPD)の利用が急速に発展している。これらの薄型表示装置の中でも特に、高品位の表示が可能な表示装置として、アクティブマトリクス型表示装置が挙げられる。

[0003] 上記アクティブマトリクス型表示装置には、アモルファスシリコンTFT(薄膜トランジスタ)やポリシリコンTFTなどが用いられている。このようなアモルファスシリコンTFT(薄膜トランジスタ)やポリシリコンTFTは、可視光領域に光感度を有している。そのため、光が照射されるとキャリアが生成されて抵抗が低下する。このことは、アクティブマトリクス型表示装置の表示品位の低下を招く。この表示品位の低下を回避するため、金属被膜などの遮光層によって光を遮断することで光による抵抗変化を防止している。しかし、上記構成では、有効表示面積が低下するため、バックライトを明るくする必要がある。その結果、エネルギーの利用効率が低下するという新たな問題が生じる。このため、上記アクティブマトリクス型表示装置のような用途に用いるトランジスタとして、可視光領域に光感度を有さず、透明なトランジスタの開発が進められている。

[0004] このようなトランジスタにおいて用いられる透明な活性層の材料としては、例えば、酸化亜鉛(ZnO)、酸化マグネシウム亜鉛($Mg_XZn_{1-X}O$)、酸化カドミウム亜鉛($Cd_XZn_{1-X}O$)、酸化カドミウム(CdO)等が挙げられる。これらの中でも、低温での作製において比較的良い物性を示す半導体であることから、活性層の材料として酸化亜鉛を

用いたトランジスタが注目されている。しかし、活性層において、酸化亜鉛を単独で用いると、トランジスタ特性が実用化に耐えうるほど良好ではない。そのため、酸化亜鉛膜に不純物をドープすることによりトランジスタ特性を改善する技術の開発が行われている。そのような技術としては、例えば、特許文献1～3の技術を挙げることができる。

[0005] 特許文献1には、トランジスタのチャネル層にZnO等の透明半導体を使用し、ゲート絶縁層にも1価の価数を取りうる元素又はV族元素をドープした絶縁性ZnO等の透明絶縁性材料を使用して、トランジスタを透明にすることが記載されている。

[0006] また、特許文献2には、ZnO等の透明なチャネル材料にNi等の3d遷移金属元素を添加することにより高低抗化でき、比較的低温（例えば、室温等）における薄膜形成によっても、優れたon－off比及び移動度を有する高性能な薄膜トランジスタを実現できることが記載されている。

[0007] さらに、特許文献3には、ドーパントを予め添加したZnO前駆体溶液を用いて、化学浴析出法、光化学堆積法、或いはゾルゲル法により活性層を形成すると同時に、上記ドーパントで活性層をドープする薄膜トランジスタ素子活性層の製造方法が開示されている。この製造方法によれば、高圧操作に耐え、良好な素子特性を有する薄膜トランジスタが実現できることが記載されている。また、上記ドーパントとして、SのようなVIA族元素が記載されている。

[0008] また、上記とは別に、トランジスタの活性層として、多結晶膜を用いる場合、粒界の作用により、トランジスタ特性の劣化が起こるという問題がある。そのため、粒界が、トランジスタ特性に及ぼす影響を抑制することが必要である。それを実現する技術として、例えば、活性層に多結晶膜を用いるトランジスタとして実用化されている多結晶シリコントランジスタでは、活性層部分の多結晶または非晶質シリコンに、レーザー光などを照射することにより単結晶化するSOI技術が用いられている。

特許文献1：日本国公開特許公報「特開2000－150900号公報（公開日：2000年5月30日）」

特許文献2：日本国公開特許公報「特開2002－076356号公報（公開日：2002年3月15日）」

特許文献3:日本国公開特許公報「特開2005－093974号公報(公開日:2005年4月7日)」

発明の開示

[0009] 上述したように、透明な活性層としてZnO膜を用いるトランジスタでは、ZnO膜に不純物をドープすることによって、トランジスタ特性の改善を図ることが試みられている。しかしながら、上記特許文献1～3では、粒界が、トランジスタ特性に及ぼす影響を抑制することに関しては、全く考慮されていない。つまり、多結晶ZnO膜を活性層として用いる場合、上記特許文献1～3の技術では、粒界の作用によるトランジスタ特性の劣化を抑制することができない。

[0010] また、酸化亜鉛は融点が2000℃と高いため、シリコンのように薄膜の結晶化は困難である。つまり、多結晶ZnO膜を活性層として用いる場合、SOI技術により、粒界の作用によるトランジスタ特性の劣化を抑制することができない。

[0011] このように、従来技術では、多結晶ZnO膜を活性層として用いる場合、粒界の作用によるトランジスタ特性の劣化を抑制することができない。そのため、多結晶ZnO膜を活性層として用いるトランジスタにおいて、粒界の作用によるトランジスタ特性の劣化を抑制する技術の開発が求められている。

[0012] 本発明は、上記問題点に鑑みなされたものであって、その目的は、サブスレッシュホールド特性に優れ、活性層のベースとして酸化亜鉛膜を有し、薄膜トランジスタとして利用可能な半導体素子およびその製造方法、並びに該半導体素子を備える電子デバイスを提供することにある。

[0013] 本発明にかかる半導体素子は、上記課題を解決するために、活性層は、不純物がドープされた多結晶ZnO膜からなり、上記活性層の粒界部分は、上記活性層の結晶部分よりも、上記不純物を高濃度に含むことを特徴としている。さらに、上記多結晶ZnO膜は、不純物がドープされ、膜厚方向に該不純物の濃度勾配が形成された多結晶ZnO膜であることが好ましい。

[0014] 上記構成によれば、多結晶ZnO膜のZnダングリングボンドに上記不純物が挿入され、Znと上記不純物との間で結合が形成される。そして、上記捕獲準位のエネルギー準位が高エネルギー側にシフトする。これにより、キャリアには捕獲準位が見えず、

その影響を受けなくなる。換言すれば、粒界に形成される捕獲準位のエネルギー準位を制御して、捕獲準位をキャリアのエネルギー準位に作用しない準位に動かすことができる。それゆえ、粒界が半導体素子の動作に影響することを低減し、半導体素子の電界効果移動度およびサブスレッショルド係数 S値といったTFT特性を改善することができる。

[0015] 上記半導体素子において、上記不純物は硫黄であることが好ましい。

[0016] 上記構成によれば、上記活性層の結晶部分よりも、粒界部分において、より高濃度にZnSが形成される。ZnOは、エネルギーバンドギャップが3．2eVであるのに対して、ZnSは、エネルギーバンドギャップが3．6eVである。つまり、ZnOよりもZnSのほうが、エネルギーバンドギャップがより大きい。そのため、上記構成によれば、粒界に形成される捕獲準位をコンダクションバンド内に押し上げることができる。これにより、捕獲準位がキャリアへ影響を及ぼすことがなくなる。それゆえ、半導体素子のサブスレッシュホールド特性を改善することができる。

[0017] 上記半導体素子において、上記多結晶ZnO膜の膜厚が25nmより薄いことが好ましい。

[0018] 上記構成によれば、上記不純物が、上記多結晶ZnO膜中に、より効果的に取り込まれる。それゆえ、上記活性層の粒界部分に対して、より高濃度に不純物をドープさせることができる。

[0019] 上記半導体素子は、薄膜トランジスタであることが好ましい。

[0020] 上記構成によれば、上記薄膜トランジスタは、電界効果移動度やサブスレッショルド係数 S値が改善される。それゆえ、高速駆動の液晶表示素子や有機EL表示素子などのアクティブマトリクス素子として適用することにより、その表示性能を向上させることができる。

[0021] 本発明にかかる半導体素子の製造方法は、上記課題を解決するために、多結晶ZnO膜を形成し、該多結晶ZnO膜に不純物をドープすることにより、結晶部分よりも粒界部分に対して、該不純物がより高濃度にドープされた活性層を形成することを特徴としている。

[0022] 上記構成によれば、多結晶ZnO膜を形成した後、該多結晶ZnO膜に不純物をド

ープすることによって、活性層が形成される。そのため、多結晶ZnO膜の粒界部分では、十分に格子が組めていないため、構造的に弱い。したがって、上記不純物をドープしたときに、該不純物が、結晶部分よりも上記粒界部分に入りやすい。また、上記粒界部分には、Znのダングリングボンドが存在している。一方、上記多結晶ZnO膜の結晶部分では、ZnはOと結合している。それゆえ、上記不純物がZnと結合するためにはZn－Oの結合を切るためのエネルギーが必要である。それゆえ、上記構成によれば、活性層は、該不純物が結晶部分よりも粒界部分に対して、より高濃度にドープされたものとなる。これにより、活性層の粒界に形成される捕獲準位のエネルギー準位を制御することができる。換言すれば、捕獲準位をキャリアのエネルギー準位に作用しない準位に動かすことができる。それゆえ、得られる半導体素子において、活性層の粒界が半導体素子の動作に影響することを低減し、半導体素子のTFT特性を改善することができる。

[0023] 上記半導体素子の製造方法において、上記多結晶ZnO膜を、イオン化された上記不純物を含む溶液中に浸漬することにより、結晶部分よりも粒界部分に対して、該不純物がより高濃度にドープされた活性層を形成することが好ましい。

[0024] 上記構成によれば、イオン化された上記不純物が、上記多結晶ZnO膜の結晶性の弱い粒界に、より多く入り込む。そのため、活性層の粒界部分に、上記不純物が重点的にドープされることになる。つまり、活性層の粒界部分に、上記不純物が高濃度にドープされることになる。それゆえ、得られる半導体素子において、活性層の粒界が半導体素子の動作に影響することをより一層低減し、半導体素子のTFT特性をより改善することができる。

[0025] 上記半導体素子の製造方法は、化学浴析出法により、結晶部分よりも粒界部分に対して、上記不純物がより高濃度にドープされた活性層を形成することが好ましい。

[0026] 上記構成によれば、上記不純物が、上記溶液中にイオンとして導出させることができる。それゆえ、活性層の粒界部分に、上記不純物を重点的に、かつ効率よくドープすることができる。それゆえ、得られる半導体素子において、活性層の粒界が半導体素子の動作に影響することをより一層低減し、半導体素子のTFT特性をより改善することができる。

[0027] 上記半導体素子の製造方法において、上記不純物は、硫黄であることが好ましい。

[0028] 上記構成によれば、イオン化された硫黄が、上記多結晶ZnO膜の結晶性の弱い粒界に、より多く入り込む。そのため、活性層の粒界部分に、硫黄が重点的にドープされることになる。つまり、活性層の粒界部分に、硫黄が高濃度にドープされることになる。したがって、上記構成によれば、上記活性層の結晶部分よりも、粒界部分において、より高濃度にZnSが形成される。ZnSは、ZnOよりもエネルギーバンドギャップが大きい。そのため、活性層の粒界に形成される捕獲準位をコンダクションバンド内に押し上げることができる。これにより、上記粒界の捕獲準位がキャリアへ影響を及ぼすことがなくなる。それゆえ、半導体素子のサブスレッシュホールド特性を改善することができる。

[0029] 上記半導体素子の製造方法において、上記溶液のpHが9～12であることが好ましい。

[0030] 上記構成によれば、上記多結晶ZnO膜を硫黄でドープするために用いる溶液のpHが9～12となる。このようなpH条件では、上記多結晶ZnO膜を硫黄でドープしている間に、被ドープ体である上記多結晶ZnO膜が溶解されることを防ぐことができる。それゆえ、効率よく、上記多結晶ZnO膜を硫黄でドープすることができる。

[0031] 上記半導体素子の製造方法において、上記溶液は、アンモニア、$ZnSO_4$、およびチオ尿素を含む水溶液であることが好ましい。

[0032] 上記構成によれば、$ZnSO_4$は、多結晶ZnO膜からZnが溶出することを抑制するためのZn前駆体として機能する。この点について、より詳細に説明すると、pH7以上のアルカリ溶液中では、Znは、$Zn(OH)_2$またはZn^{2+}として存在する。そのため、上記溶液中に、Znが存在しない場合、図9に示すように、上記多結晶ZnO膜からZnが溶出する。しかし、上記構成によれば、$ZnSO_4$が上記溶液に含有されているため、$ZnSO_4$が上記多結晶ZnO膜以外のZnソースとなる。それゆえ、上記多結晶ZnO膜からZnが溶出することを抑制することができる。

[0033] また、チオ尿素は、硫黄の前駆体として機能する。さらに、アンモニアは、Znと錯体を形成して、上記硫黄のドーピング中に、$Zn(OH)_2$が生成することを抑制するための錯化剤として機能する。そして、上記溶液では、以下の反応が起こる。

$$[Zn(NH_3)_4]^{2+} + SC(NH_2)_2 + 2OH^- \rightarrow ZnS + 4NH_3 + CH_2N_2 + H_2O$$

つまり、上記溶液を用いることにより、上記多結晶ZnO膜に硫黄をドープすることができる。上述したように、活性層の粒界部分にZnSを形成させることにより、該活性層の粒界の捕獲準位がキャリアへ影響を及ぼすことがなくなる。それゆえ、半導体素子のサブスレッシュホールド特性を改善することができる。

[0034] 上記半導体素子の製造方法において、上記多結晶ZnO膜は、無電解めっき法により形成されることが好ましい。さらに、無電解めっき法を用いて、上記多結晶ZnO膜の形成と、上記不純物の上記多結晶ZnO膜へのドーピングとを、交互に複数回繰り返して行うことがより好ましい。

[0035] 上記構成によれば、無電解めっき法によって、多結晶ZnO膜の形成と、該多結晶ZnO膜への上記不純物のドーピングとを複数回繰り返し行われる。それゆえ、多結晶ZnO膜中の粒界に均一に上記不純物をドープすることができる。また、上記構成よれば、真空装置を用いず、多結晶ZnO膜を形成することができる。それゆえ、上記半導体素子の製造コストを低減することができる。

[0036] また、上記半導体素子の製造方法において、無電解めっき法を用いて、上記多結晶ZnO膜の形成と、上記不純物の上記多結晶ZnO膜へのドーピングとを、交互に複数回繰り返して行うことが好ましい。

[0037] 上記構成によれば、得られる半導体素子において、上記活性層中の不純物の膜厚方向の分布を均一にすることができる。

[0038] 本発明にかかる電子デバイスは、上記課題を解決するために、本発明にかかる上記半導体素子をスイッチング素子として備えることを特徴としている。

[0039] 上記構成によれば、上記電子デバイスが備えるスイッチング素子は、透明なZnOを活性層に用いた性能のよい本発明にかかる半導体素子で構成される。それゆえ、電子デバイスの性能を容易に向上させることができる。

[0040] 上記電子デバイスにおいて、上記スイッチング素子は、画素電極への画像信号の書き込みまたは読み出しのために、画素電極に接続されていることが好ましい。

[0041] 上記構成によれば、本発明にかかる半導体素子を、画像表示や画像読み取りのためのスイッチング素子として用いる。液晶表示装置や有機EL表示装置のようなアクテ

ィブマトリクス型の表示装置では、駆動回路から画素電極に画像信号を書き込む際にスイッチング素子をONさせる。また、イメージセンサのような画像読取装置では、画素電極に取り込まれた画素信号を読み出す際にスイッチング素子をONさせる。つまり、上記構成によれば、本発明にかかる半導体素子をスイッチング素子として備える、アクティブマトリクス型の表示装置や画像読取装置を実現できる。それゆえ、アクティブマトリクス型の表示装置や画像読取装置のような電子デバイスの高性能化を容易に図ることができる。

[0042] 本発明にかかる半導体素子は、以上のように、結晶部分よりも粒界部分に対して、より高濃度に不純物を含む多結晶ZnO膜を活性層として備えている。そのため、活性層の粒界に形成される捕獲準位のエネルギー準位をキャリアのエネルギー準位に作用しない準位に動かすことができる。そのため、活性層の粒界が半導体素子の動作に影響を低減することができる。それゆえ、半導体素子の電界効果移動度およびサブスレッショルド係数 S値といったTFT特性を改善できるという効果を奏する。

図面の簡単な説明

[0043] [図1]図1は、本発明の第1の実施形態にかかる薄膜トランジスタの構成を示す断面図である。

[図2]図2は、本発明の第1の実施形態にかかる薄膜トランジスタの他の構成を示す断面図である。

[図3](a)～(e)は、図1の薄膜トランジスタの製造工程を示す断面図である。

[図4]図4は、本発明の第2の実施形態にかかるアクティブマトリクス型の液晶表示装置の概略構成を示すブロック図である。

[図5]図5は、図4の液晶表示装置における画素の構成を示す回路図である。

[図6]図6は、本発明の実施例1において、硫黄ドープ処理溶液のpHのZn濃度依存性、及び処理工程でのアンモニア濃度とpHを示す状態図である。

[図7(a)]本発明の実施例2および3、並びに比較例1にかかる薄膜トランジスタのId－Vg特性を示す図である。

[図7(b)]本発明の実施例2および3、並びに比較例1にかかる薄膜トランジスタの電圧－抵抗率の特性を示す図である。

[図8(a)]本発明の実施例4および5、並びに比較例2にかかる薄膜トランジスタのId－Vg特性を示す図である。

[図8(b)]本発明の実施例4および5、並びに比較例2にかかる薄膜トランジスタの電圧－抵抗率の特性を示す図である。

[図9]図9は、溶液中のZn^{2+}濃度とpHとの関係を示す図である。

発明を実施するための最良の形態

[0044] 本発明者らは、多結晶ZnOをベースとしたトランジスタの更なる高性能化を図るため、多結晶ZnOの粒界により形成される二重ショットキー障壁に着目して研究を進めてきた。その中で、多結晶ZnOをベースとしたトランジスタの動作について、デバイスシミュレータにより、詳細に解析した。その結果、サブスレッシュ領域での特性を決定する要因として、多結晶活性層の粒界に形成された二重ショットキー障壁におけるキャリア散乱が支配的であることが分かった。また、この二重ショットキー障壁におけるキャリア散乱は、ゲート電圧による障壁高さの変調として理解できることが分かった。さらに、このシミュレーション結果と、実験で得られたデバイス特性とを対比した結果、トランジスタ動作の阻害要因となる捕獲準位が、コンダクションバンドより0．2eV低い位置に形成されることが分かった。

[0045] 本発明者らは、上記の独自に見出した知見に基づき、鋭意検討した結果、活性層の結晶部分よりも粒界部分に、特定の不純物を高濃度にドープすることにより、サブスレッシュホールド特性の優れた、多結晶ZnOをベースとした半導体素子を実現できることを独自に見出し、本発明を完成させるに至った。

[0046] 以下、本発明の実施形態について図1～図5に基づいて説明すると以下の通りであるが、本発明はこれに限定されるものではない。

[0047] 〔実施の形態1〕

本実施形態にかかる薄膜トランジスタ1は、図1に示すように、絶縁性基板2と、ゲート電極3と、ゲート絶縁層4と、半導体層5と、ソース電極6と、ドレイン電極7と、保護層8とを備えている。ゲート電極3は、絶縁性基板2上に形成されている。半導体層5は、ゲート絶縁層4を介して、ゲート電極3上に積層されている。また、ソース電極6およびドレイン電極7は、それぞれ半導体層5上に電極部として形成されている。そして、

ソース電極6とドレイン電極7とは、半導体層5を介して接続されている。さらに、保護層8は半導体層5、ソース電極6、およびドレイン電極7を覆うように、形成されている。このように、薄膜トランジスタ1は、逆スタガ型の構造を成している。

[0048] また、この薄膜トランジスタ1を表示装置（例えば、後述する実施の形態2のアクティブマトリクス型液晶表示装置）に用いる場合、ドレイン電極7は画素電極に接続されたり、透明導電膜により画素電極と一体的に形成されたりする。このため、ドレイン電極7の一部は、保護層8から引き出されている。

[0049] ここで、薄膜トランジスタ1を構成する各構成部材について説明する。

[0050] 絶縁性基板2は、絶縁性を有する基板であればよく、特に限定されるものではない。例えば、ガラス基板、石英、およびプラスチック等を用いることができる。

[0051] ゲート電極3は、絶縁性基板2上に形成される。ゲート電極3のゲート電極材は、特に限定されるものでなく、例えば、タンタル（Ta）、アルミニウム（Al）、およびクロム（Cr）等を用いることができる。また、ゲート電極3の厚みは特に限定されるものではない。

[0052] また、ゲート電極3には、必要に応じて、パターンが形成されていてもよいし、また、ゲート電極3に接続されるゲート配線が形成されていてもよい。

[0053] ゲート絶縁層4は、ゲート電極3上に形成される。ゲート絶縁層4の材料は、絶縁物であればよく、特に限定されるものではない。例えば、SiO_2、Al_2O_3、AlN、MgO、Ta_2O_5、TiO_2、ZrO_2、stab－ZrO_2、CeO_2、K_2O、Li_2O、Na_2O、Rb_2O、In_2O_3、La_2O_3、Sc_2O_3、Y_2O_3、$KNbO_3$、$KTaO_3$、$BaTiO_3$、$CaSnO_3$、$CaZrO_3$、$CdSnO_3$、$SrHfO_3$、$SrSnO_3$、$SrTiO_3$、$YScO_3$、$CaHfO_3$、$MgCeO_3$、$SrCeO_3$、$BaCeO_3$、$SrZrO_3$、$BaZrO_3$、$LiGaO_2$、および$LiGaO_2$の混晶系$(Li_{1-(x+y)}Na_xK_y)(Ga_{1-z}Al_z)O_2$、を挙げることができる。また、これらは、単独で用いてもよいし、これらのうち少なくとも2つを含む固溶体として用いてもよい。

[0054] また、ゲート絶縁層4は、上記例示したような絶縁物の単層構造でもよいし、複数種または同一種が積層された多層構造でもよい。具体的には、例えば、ゲート絶縁層4は、第1絶縁層4aおよび第2絶縁層4bの2層の積層により構成してもよい。このような多層構造では、第1絶縁層4aを半導体層5との界面特性が良好な絶縁物（Al_2O_3、AlN、MgO）で形成し、第2絶縁層4bを絶縁性の良好な絶縁物（SiO_2）で形成すること

により、絶縁性基板2上で信頼性の高いゲート絶縁層4を得ることができる。また、ゲート絶縁層4の厚みは特に限定されるものではない。

[0055] 活性層としての半導体層5は、不純物がドープされた多結晶ZnO膜(多結晶酸化亜鉛膜)からなり、ゲート絶縁層4上に形成される。なお、本実施形態では、半導体層5のベース材料として、多結晶ZnO膜を用いる構成について説明するが、多結晶ZnO膜以外のものをベース材料として用いることもできる。具体的には、例えば、多結晶$Mg_xZn_{1-x}O$(式中、0＜x＜1)膜、アモルファスZnO膜、アモルファス$Mg_xZn_{1-x}O$(式中、0＜x＜1)膜、多結晶状態とアモルファス状態とが混在する状態のZnO膜、または多結晶状態とアモルファス状態とが混在する状態の$Mg_xZn_{1-x}O$(式中、0＜x＜1)膜を用いることができる。また、上記$Mg_xZn_{1-x}O$(式中、0＜x＜1)膜には、I族、III族、IV族、V族またはVII族の元素が添加されていてもよい。

[0056] 上記不純物は、ZnM(Mは、不純物である元素を表す)がZnOに比べてバンドギャップが大きくなるものであればよく、特に限定されるものではない。具体的には、I族、III族、IV族、V族またはVII族の元素を挙げることができる。本実施形態では、特に、上記不純物として、硫黄を用いることが好ましい。ZnSは、ZnOに比べて大きなバンドギャップを有するため、本発明に好適に用いることができる。

[0057] 半導体層5は、多結晶ZnO膜の結晶部分よりも粒界部分に、より高濃度の不純物を含む。これにより、TFT特性を改善することができる。このTFT特性の改善について、より詳しく説明する。多結晶ZnO膜の粒界には捕獲準位が形成されている。この捕獲準位はZnダングリングボンドによるものである。多結晶ZnO膜に上記不純物、例えば硫黄をドープすると、Znダングリングボンドに硫黄が挿入され、Zn－S結合が形成される。そして、上記捕獲準位のエネルギー準位が高エネルギー側にシフトする。これにより、キャリアには捕獲準位が見えず、その影響を受けなくなる。その結果、TFT特性が改善される。

[0058] また、図1では、半導体層5は、保護層8によって完全に覆われているが、薄膜トランジスタ1の半導体層5におけるチャネル部分(キャリア(可動電荷)が移動する領域)に雰囲気による影響が及ばない範囲であれば、半導体層5の一部が保護層8に覆われていなくてもよい。

[0059] ソース電極6およびドレイン電極7は、半導体層5上に形成される。ソース電極6およびドレイン電極7には、必要に応じて、パターンが形成されていてもよい。また、ソース電極6およびドレイン電極7の電極材は、特に限定されるものではなく、例えば、タンタル(Ta)、アルミニウム(Al)、およびクロム(Cr)等を用いることができる。ソース電極6およびドレイン電極7の厚みは特に限定されるものではない。

[0060] 保護層8は、半導体層5における、ソース電極6およびドレイン電極7が形成される部分(ソース電極6およびドレイン電極7により覆われる部分)以外の部分で、かつゲート絶縁層4と界面を形成していない部分(ソース電極6およびドレイン電極7の間の部分、並びに半導体層5の周辺の側端面)を覆っている。

[0061] 保護層8は、絶縁物で形成されていればよく、特に限定されるものではない。例えば、SiO_2、Al_2O_3、AlN、MgO、Ta_2O_5、TiO_2、ZrO_2、stab−ZrO_2、CeO_2、K_2O、Li_2O、Na_2O、Rb_2O、In_2O_3、La_2O_3、Sc_2O_3、Y_2O_3、$KNbO_3$、$KTaO_3$、$BaTiO_3$、$CaSnO_3$、$CaZrO_3$、$CdSnO_3$、$SrHfO_3$、$SrSnO_3$、$SrTiO_3$、$YScO_3$、$CaHfO_3$、$MgCeO_3$、$SrCeO_3$、$BaCeO_3$、$SrZrO_3$、$BaZrO_3$、$LiGaO_2$、および$LiGaO_2$の混晶系$(Li_{1-(x+y)}Na_xK_y)(Ga_{1-z}Al_z)O_2$から選択される絶縁物で形成することができる。また、保護層8は、これら絶縁物の1種類で形成されていてもよいし、これら絶縁物のうち少なくとも2つを含む固溶体で形成されていてもよい。

[0062] また、保護層8は、アクリル等の樹脂により形成することもできる。保護層8を、このような樹脂で形成する場合、既存の樹脂形成装置を用いて形成することができる。つまり、保護層8を形成するために複雑な成膜プロセスを用いる必要がない。それゆえ、薄膜トランジスタ1の製造をより容易にすることができると同時に、薄膜トランジスタ1の製造コストを低減することができる。また、保護層8に樹脂を用いることにより、薄膜トランジスタ1の柔軟性を高めることができる。したがって、絶縁性基板2としてフレキシブル基板を用いる場合には特に好適である。

[0063] また、保護層8は、単層構造であってもよいし、上記例示した絶縁物が積層された多層構造であってもよい。例えば、図2に示すように、保護層8は、第1保護層8aおよび第2保護層8bの2層の積層により構成されてもよい。このような構造では、第1保護層8aを半導体層5との界面特性が良好な絶縁物(Al_2O_3、AlN、MgO)で形成し、第

2保護層8bを雰囲気との隔絶性の良好な絶縁物(SiO_2)で形成することが好ましい。保護層8をこのような多層構造にすることにより、信頼性の高い保護層8を得ることができる。

[0064] ここで、本実施形態にかかる薄膜トランジスタ1の製造方法について、図3の(a)～(e)に基づいて説明する。

[0065] まず、スパッタリング等の従来公知の薄膜形成方法を用いて、絶縁性基板2上に、タンタル(Ta)、アルミニウム(Al)、およびクロム(Cr)等を300nm程度の厚さに積層し、ゲート電極3を形成する(図3の(a)を参照)。

[0066] 上記ゲート電極3上に、必要に応じて、従来公知の方法を用い、パターン形成を行う。例えば、フォトリソグラフィ工程にて所定の形状のレジストパターンを作製する。次に、このレジストパターンを用いて、CF_4＋O_2ガスによってドライエッチングを施す。これにより、上記形状にパターニングされたゲート電極3およびこれに接続されるゲート配線(図示せず)を形成することができる。

[0067] 次に、上記ゲート電極3上に、絶縁物を、従来公知の方法で、500nm程度の厚さに積層する。これにより、上記ゲート電極3上に、ゲート絶縁層4を形成することができる(図3の(b)を参照)。上記絶縁物としては、ゲート絶縁層4の材料として例示したすでに例示した絶縁物を用いることができる。上記絶縁物をゲート電極3上に積層する方法は、特に限定されるものではなく、PVDやCVDなど従来公知のあらゆる薄膜形成方法を用いることができる。より具体的には、例えば、パルスレーザー堆積法、無電解めっき法、反応性スパッタ法、反応性プラズマ蒸着法、反応性イオンプレーティング、およびプラズマCVD法等を挙げることができる。

[0068] ゲート絶縁層4を形成後、連続して、多結晶状態のZnOを、従来公知の方法で、10～50nm程度の厚さに積層することにより、多結晶ZnO膜からなる半導体層5を形成する(図3の(c)を参照)。半導体層5の厚さが、上記範囲を下回ると、得られる薄膜トランジスタ1のトランジスタ特性に劣化が現れる可能性がある。多結晶状態のZnOをゲート絶縁層4上に積層する方法は、特に限定されるものではなく、PVDやCVDなど従来公知のあらゆる薄膜形成方法を用いることができる。より具体的には、例えば、パルスレーザー堆積法、無電解めっき法、反応性スパッタ法、反応性プラズマ蒸着

法、反応性イオンプレーティング、およびプラズマCVD法等を挙げることができる。中でも、パルスレーザー堆積法または無電解めっき法を用いることが好ましく、無電解めっき法を用いることがより好ましい。無電解めっき法によれば、多結晶ZnO膜の形成と、後述する不純物のドーピングとを複数回繰り返し行うことができる。それゆえ、多結晶ZnO膜の粒界に均一に不純物をドープすることができる。また、無電解めっき法によれば、真空装置を用いず、多結晶ZnO膜を形成することができる。それゆえ、製造コストを低減することができる。

[0069] 上記半導体層5を形成後、多結晶ZnO膜に対して、不純物をドープする。この際、多結晶ZnO膜の結晶部分よりも粒界部分に多くの不純物がドープされるようにする。このように上記不純物がドープされた半導体層5は、本実施形態にかかる薄膜トランジスタ1において、活性層として機能するものである。つまり、薄膜トランジスタ1の活性層は、不純物がドープされた多結晶ZnO膜からなり、上記活性層の粒界部分は、上記活性層の結晶部分よりも、上記不純物が高濃度にドープされている。

[0070] 上記不純物を半導体層5にドープする方法は、特に限定されるものではないが、上記多結晶ZnO膜を、上記不純物を含む溶液中に浸漬し、該不純物を半導体層5にドープする方法を用いることが好ましい。このような方法によれば、結晶性の弱い粒界により多くの不純物が入り込む。それゆえ、多結晶ZnO膜の粒界に重点的に、上記不純物をドープすることができる。つまり、多結晶ZnO膜の粒界に、上記不純物が高濃度にドープされる。

[0071] 上記不純物を半導体層5にドープする方法としては、具体的には、例えば、化学浴析出法(Chemical Bath Deposition法;以下、「CBD法」ともいう)、二硫化炭素雰囲気中での熱処理、二硫化炭素と不活性ガス(例えば、窒素、アルゴンなど)との混合ガス雰囲気中での熱処理等を挙げることができる。中でも、効果的に上記不純物をドープするために、上記不純物を溶液中にイオンとして導出することができるCBD法を用いることが好ましい。CBD法で半導体層5に不純物をドープする場合、用いる溶液系は、不純物の種類に応じて、適否変更されるものである。例えば、上記不純物として硫黄を用いる場合、一般的に用いられるZnS(硫化亜鉛)膜形成用溶液系をベースとして用いればよい。具体的には、例えば、上記溶液系として、多結晶ZnO膜からZ

nが溶出することを抑制するためのZn前駆体、硫黄の前駆体、および錯化剤を含有する溶液を用いることにより、多結晶ZnO膜を硫黄でドープすることができる。上記Zn前駆体としては、$ZnSO_4$およびその水和物等を挙げることができる。上記硫黄の前駆体としては、$SC(NH_2)_2$（チオ尿素）等を挙げることができる。また、上記錯化剤としては、NH_3（アンモニア水溶液）等を挙げることができる。なお、上記錯化剤は、Znと錯体を形成することにより、硫黄ドーピング時に、$Zn(OH)_2$が生成することを抑制するものである。

[0072] また、上記溶液系におけるZn前駆体、硫黄の前駆体、および錯化剤の濃度は、用いるZn前駆体、硫黄の前駆体、および錯化剤の種類に応じて適宜変更するものである。

[0073] また、上記溶液系のpHは、硫黄のドーピング中に、多結晶ZnO膜の溶解が起こらないpHとすることが好ましく、具体的には、pH9～12とすることが好ましい。

[0074] さらに、CBD法において、上記溶液系に浸漬する時間は、できるだけ長いことが好ましい。これにより、結晶よりも粒界に対して、より高濃度に硫黄をドーピングすることができる。

[0075] ここで、$ZnSO_4 \cdot 7H_2O$（硫酸亜鉛7水和物）、$SC(NH_2)_2$、およびアンモニア水溶液を含有する水溶液を用いて、CBD法により多結晶ZnO膜に硫黄をドープする際の反応について説明する。

[0076] 上記溶液を用いて、CBD法により多結晶ZnO膜に硫黄をドープすると、ZnSが形成される。このZnSの形成の反応経路は、以下の通りである。

（A）Zn^{2+}がNH_3と錯体を形成する。

$$Zn^{2+} + 4NH_3 \Leftrightarrow [Zn(NH_3)_4]^{2+} \cdots (1)$$

（B）NH_3は加水分解を起こしOH^-を生成する。

$$NH_3 + H_2O \Leftrightarrow NH_4^+ + OH^- \cdots (2)$$

（C）OH^-は、単体あるいは$Zn(OH)_2$を形成する一方で、$SC(NH_2)_2$の加水分解反応を起こし、硫黄イオンを生成する。

$$Zn^{2+} + 2OH^- \Leftrightarrow Zn(OH)_2 \cdots (3)$$

$$SC(NH_2)_2 + 2OH^- \Leftrightarrow S^{2-} + CH_2N_2 + 2H_2O \cdots (4)$$

(D)溶液中の硫黄イオンと水酸化亜鉛とが反応し、ZnSを形成する。

[0077] $S^{2-}+Zn(OH)_2 \rightarrow ZnS+2OH^{-}$・・・(5)

つまり、ZnSの形成は次の反応式により表される。

$[Zn(NH_3)_4]^{2+}+SC(NH_2)_2+2OH^{-} \rightarrow ZnS+4NH_3+CH_2N_2+H_2O$・・・(6)

本発明では、多結晶ZnO膜に硫黄をドープする際、被ドープ体であるZnOの溶解が起こらないような条件で処理する必要がある。したがって、例えば、上記反応系は、後述の実施例1の図6に示す領域Cに含まれるように、溶液系の組成、濃度を調整することが好ましい。このような条件にすれば、溶液中に$Zn(OH)_2$及び$[Zn(NH_3)_4]^{2+}$が存在するために、多結晶ZnO膜からのZnの溶出を抑えることができる。

[0078] 次に、上記不純物がドープされた多結晶ZnO膜からなる半導体層5に対して、フォトリソグラフィ工程にて所定の形状にレジストパターンを形成する。このレジストパターンを用いて、硝酸、酢酸等によるウェットエッチングを行うことにより、所望の形状の半導体層5を形成する。

[0079] 続いて、上記半導体層5上に、スパッタリング法により、タンタル(Ta)、アルミニウム(Al)、およびクロム(Cr)等の金属を300nm程度の厚みに積層し、成膜する。そして、該金属の層をフォトリソグラフィおよびCl_2ガスを用いてドライエッチングにより、パターンを形成する。これにより、ソース電極6およびドレイン電極7を形成することができる(図3の(d)を参照)。

[0080] さらに、従来公知の方法を用いて、上記ソース電極6およびドレイン電極7上に、絶縁物を、200nm程度の厚みに積層し、成膜する。上記絶縁物としては、保護層8を形成する絶縁物として例示した上記絶縁物を用いればよい。また、上記絶縁物をソース電極6およびドレイン電極7上に積層する方法は、特に限定されるものではなく、例えば、パルスレーザー堆積法等を用いればよい。こうして形成された上記絶縁物の層に対して、フォトリソグラフィ等により、所定のレジストパターンを作製する。そして、このレジストパターンを用いて、イオンミリング等により不要部の絶縁物を除去する。これにより、保護層8を形成することができる(図3の(e)を参照)。

[0081] 以上、詳述した製造方法により、本実施形態にかかる薄膜トランジスタ1を製造することができる。なお、上記製造方法は、本実施形態にかかる薄膜トランジスタ1を製造

する方法の一例として記載したものであり、本発明はこれに限定されるものではない。

[0082] また、本実施の形態1では、半導体素子として、薄膜トランジスタ1について説明したが、本発明はこれに限定されるものではなく、活性層である多結晶ZnO層の粒界に不純物がドープされているものであれば、pn接合ダイオード、ショットキーダイオード、バイポーラトランジスタ、ショットキー障壁電界効果トランジスタ、接合型電界効果トランジスタ等にも本発明が適用可能である。

[0083] 〔実施の形態2〕

本発明の別の実施形態について、図4および図5に基づいて説明すれば、以下の通りである。なお、説明の便宜上、実施の形態1で用いた部材と同一の機能を有する部材には同一の部材番号を付記し、その説明を省略する。

[0084] 本実施形態にかかる表示装置10は、アクティブマトリクス型の液晶表示装置である。その構成としては、図4に示すように、画素アレイ31と、ソースドライバ32と、ゲートドライバ33と、制御回路34と、電源回路35とを備えている。

[0085] 画素アレイ31、ソースドライバ32およびゲートドライバ33は、基板36上に形成されている。基板36は、ガラスのような絶縁性かつ透光性を有する材料により形成されている。画素アレイ31は、ソースラインSL…と、ゲートラインGL…と、画素37…とを有している。

[0086] 画素アレイ31においては、多数のゲートラインGL_j, GL_{j+1}…と多数のソースラインSL_i, SL_{i+1}…とが交差する状態で配されており、隣接する2本のゲートラインGL, GLと隣接する2本のソースラインSL, SLとで包囲された部分に画素（図4中、PIXにて示す）37が設けられている。このように、画素37…は、画素アレイ31内でマトリクス状に配列されており、1列当たりに1本のソースラインSLが割り当てられ、1行当たりに1本のゲートラインGLが割り当てられている。

[0087] 液晶ディスプレイの場合、各画素37は、図5に示すように、スイッチング素子であるトランジスタTと、液晶容量C_Lを有する画素容量C_Pとによって構成されている。一般に、アクティブマトリクス型液晶ディスプレイにおける画素容量C_Pは、表示を安定させるために、液晶容量C_Lと並行に付加された補助容量C_Sを有している。補助容量C_Sは、液晶容量C_LやトランジスタTのリーク電流、トランジスタTのゲート・ソース間容量、画

素電極・信号線間容量等の寄生容量による画素電位の変動、液晶容量C_Lの表示データ依存性等の影響を最小限に抑えるために必要となる。

[0088] トランジスタTのゲートは、ゲートラインGL_jに接続されている。また、液晶容量C_Lおよび補助容量C_Sの一方の電極は、トランジスタTのドレインおよびソースを介してソースラインSL_jに接続されている。ドレインに接続される液晶容量C_Lの電極は、画素電極37aを形成している。液晶容量C_Lの他方の電極は、液晶セルを挟んで対向電極に接続され、補助容量C_Sの他方の電極は、全画素に共通の図示しない共通電極線（Cs on Common構造の場合）、または隣接するゲートラインGL（Cs on Gate構造の場合）に接続されている。

[0089] 多数のゲートラインGL_j, GL_{j+1}…は、ゲートドライバ33に接続され、多数のデータ信号線SL_i, SL_{i+1}…は、ソースドライバ32に接続されている。また、ゲートドライバ33およびソースドライバ32は、それぞれ異なる電源電圧V_{GH}, V_{GL}と電源電圧V_{SH}, V_{SL}とにより駆動されている。

[0090] ソースドライバ32は、制御回路34により与えられた画像信号DATを制御回路34からの同期信号CKSおよびスタートパルスSPSに基づいてサンプリングして各列の画素に接続されたソースラインSL_i, SL_{i+1}…に出力するようになっている。ゲートドライバ33は、制御回路34からの同期信号CKG・GPSおよびスタートパルスSPGに基づいて各行の画素37…に接続されたゲートラインGL_j, GL_{j+1}…に与えるゲート信号を発生するようになっている。

[0091] 電源回路35は、電源電圧V_{SH}, V_{SL}, V_{GH}, V_{GL}、接地電位COMおよび電圧V_{BB}を発生する回路である。電源電圧V_{SH}, V_{SL}は、それぞれレベルの異なる電圧であり、ソースドライバ32に与えられる。電源電圧V_{GH}, V_{GL}は、それぞれレベルの異なる電圧であり、ゲートドライバ33に与えられる。接地電位COMは、基板36に設けられる図示しない共通電極線に与えられる。

[0092] トランジスタTは、ゲートドライバ33からゲートラインGL_jを介して与えられるゲート信号によってONすると、ソースドライバ32からソースラインSL_{i+1}を介して与えられる画像信号を画素37（画素電極37a）に書き込む。また、トランジスタTは、実施の形態1で説明した薄膜トランジスタ1（図1を参照）である。薄膜トランジスタ1は、電界効果移

動度やサブスレッショルド係数 S値が改善されていることから、上記のような液晶表示装置に適用する場合、その表示性能を向上させることが可能である。したがって、薄膜トランジスタ1は、画素37を駆動するトランジスタTとして好適に用いることができる。

[0093] また、ソースドライバ32およびゲートドライバ33を構成する回路素子のうち、トランジスタで構成される回路において、各トランジスタとして薄膜トランジスタ1を用いることができる。

[0094] さらに、画素37のトランジスタTと駆動回路のトランジスタとを同じ薄膜トランジスタ1で構成することによって、これらのトランジスタを同一の基板36上に同じプロセスを用いて同時に作製することが可能になる。それゆえ、マトリクス表示装置の製造工程が削減されるので、マトリクス表示装置の低コスト化を図ることができる。

[0095] このように、上記薄膜トランジスタ1は電界効果移動度やサブスレッショルド係数 S値が改善されているため、高速駆動の液晶表示素子や有機EL表示素子などのアクティブマトリクス素子として適用することで、その表示性能を向上させることが可能である。

[0096] また、本実施形態2では、電子デバイスとしてアクティブマトリクス型の液晶表示装置について例示したが、他の表示装置、例えば有機EL表示装置やフレキシブル表示装置についても、同様に薄膜トランジスタ1をスイッチング素子として用いていれば、本発明にかかる電子デバイスに含まれる。

[0097] さらに、本発明にかかる半導体素子が適用可能な表示装置以外の電子デバイスとしては、薄膜トランジスタ1をイメージ読み出し用のスイッチング素子として用いた、ライン型イメージスキャナ、マトリクス型イメージスキャナ、X線イメージセンサ等が挙げられる。このようなスキャナやセンサでは、電荷蓄積容量に蓄積された電荷を読み出すために画素電極とソースラインとの間に接続されたスイッチング素子をゲートラインに付与されたゲート電圧(走査信号)でONする。図4に示す液晶表示装置の画素37における液晶容量C_Lおよび補助容量C_Sを電荷蓄積容量に置き換えることにより、トランジスタTをスイッチング素子として備えるスキャナやセンサにおける画像信号を読み出す部分を構成することができる。この構成では、ソースドライバ32が、画素から読み出

された画像信号の入力回路に置き換えられる。また、ライン型のスキャナでは画素を1ライン分用いればよい。

[0098] なお本発明は、以上説示した各構成に限定されるものではなく、特許請求の範囲に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

実施例

[0099] 本発明について、実施例および比較例、並びに図6～図8に基づいてより具体的に説明するが、本発明はこれに限定されるものではない。当業者は本発明の範囲を逸脱することなく、種々の変更、修正、および改変を行うことができる。なお、以下の実施例および比較例におけるId－Vg特性およびそのときの電界効果移動度のVg依存性、並びにTFT特性(電界効果移動度、サブスレッショルド係数 S値)は、次のようにして評価した。

[0100] 〔Id－Vg特性およびそのときの電界効果移動度のVg依存性、並びにTFT特性(電界効果移動度、サブスレッショルド係数 S値)〕

トランジスタのドレイン電流特性は、以下の数式(1)で表される。

[0101] [数1]

$$I_d = \frac{1}{2} \cdot \frac{\mu C_i W}{L} (V_g - V_{th})^2$$

I_d: ドレイン電流
C_i: ゲート絶縁膜容量
W : チャネル幅
L : チャネル長さ
V_g: ゲート電圧

[0102] 上記数式(1)を電界効果移動度で表現する数式に変形すると、以下の数式(2)となる。

[0103] [数2]

$$I_d = \frac{1}{2} \cdot \frac{\mu C_i W}{L} (V_g - V_{th})^2$$

$$\mu = \frac{2L}{C_i W (V_g - V_{th})^2} I_d$$

$$= \frac{2L}{C_i W} \cdot \frac{\left(I_d^{\frac{1}{2}} \right)^2}{(V_g - V_{th})^2}$$

$$= \frac{2L}{C_i W} \cdot \left(\frac{I_d^{\frac{1}{2}}}{V_g - V_{th}} \right)^2$$

$$\mu = \frac{2L}{C_i W} \cdot \left(\frac{\Delta I_d^{\frac{1}{2}}}{\Delta V_g} \right)^2$$

I_d: ドレイン電流
C_i: ゲート絶縁膜容量
W：チャネル幅
L：チャネル長さ
V_g: ゲート電圧
μ：電界効果移動度

[0104] すなわち、電界効果移動度は、ドレイン電流の差分の1／2乗とゲート電圧の差分の比により表現することができる。

[0105] 本実施例および比較例において、トランジスタの伝達特性（Id－Vg特性）は、ソース電圧を接地電位、ドレイン電圧を10Vに固定し、ゲート電圧を－40Vから＋40Vま

で掃引したときのドレイン電流を測定することによって評価した。

[0106] また、このときの測定データ(Id－Vg特性)における各測定点のIdの差分、およびVgの差分を求めることによって、電界効果移動度のVg特性を評価した。

[0107] また、サブスレッショルド係数 S値は、以下の数式(3)で表される。

[0108] [数3]

$$S = \frac{dV_G}{d\log I_D}$$

I_d: ドレイン電流
V_g: ゲート電圧
S:サブスレッショルド係数 S値

[0109] すなわち、サブスレッショルド係数 S値は、1桁のドレイン電流の変化に必要なゲート電圧と定義される。図7(a)および図8(a)に示すように、Idを片対数、Vgを線形で表した片対数プロットにおいて、傾きがサブスレッショルド係数S値を表す。本明細書では、Idの立ち上がり領域の傾きをサブスレッショルド係数S値とした。

[0110] 〔実施例1:活性層への不純物ドーピング条件の検討〕

本発明にかかる半導体素子は、多結晶ZnO膜に不純物をドープした活性層を備える。したがって、その製造にあたっては、多結晶ZnO膜に上記不純物をドープすることになる。その際、被ドープ体である多結晶ZnO膜のZnOが溶解しない条件で、上記不純物の多結晶ZnO膜へのドーピングを行う必要がある。そこで、本実施例では、多結晶ZnO膜に硫黄をCBD法によりドーピングし、粒界にZnSを形成させる場合のドーピング条件について検討した。CBD法の溶液系には、$ZnSO_4 \cdot 7H_2O$(Zn前駆体)、$SC(NH_2)_2$(硫黄の前駆体)、およびアンモニア水溶液(錯化剤)を含有するZnS(硫化亜鉛)膜形成用溶液系を用いた。

[0111] 図6に、Zn^{2+}濃度p([Zn^{2+}])と溶液のpHとの関係を示す。図6では、$ZnSO_4 \cdot 7H_2O$のモル濃度を0.025mol／l、$SC(NH_2)_2$のモル濃度を0.035mol／lとした。また

、図6において、直線Aは$Zn^{2+}+2OH^{-}\Leftrightarrow Zn(OH)_2$を示し、直線Bは$Zn^{2+}+4NH_3\Leftrightarrow[Zn(NH_3)_4]^{2+}$を示している。この両直線（直線Aおよび直線B）で囲まれた領域Cでは溶液中に$Zn(OH)_2$、および$[Zn(NH_3)_4]^{2+}$が存在する。したがって、溶液組成が図6の領域Cの状態であれば、多結晶ZnO膜に硫黄をドープしている間に、ZnOが溶解することを防ぐことできる。

[0112] そこで、上記溶液系において、$ZnSO_4\cdot 7H_2O$および$SC(NH_2)_2$のモル濃度を、それぞれ、0．025mol／l、および0．035mol／lに固定した場合、錯化剤として添加するアンモニアの濃度について検討した。

[0113] 上記溶液系におけるアンモニア濃度を、0．1、0．3、および1．5mol／lとしたところ、それぞれの溶液系のpHは、6．5、8．4、11．2であった。図6に示すように、NH_3のモル濃度が1．5mol／lであった溶液のpHは11．2であり、図6中の領域Cから外れていた。また、この条件で、実際に多結晶ZnO膜の硫黄ドーピングを行ったところ、ZnOの溶解が起こり、上記多結晶ZnO膜に対して硫黄ドーピングを行うことができなかった。一方、NH_3のモル濃度が0．1および0．3mol／lの溶液系では、pHはそれぞれ6．5、および8．4であり、いずれも図6中の領域Cに含まれていた。また、これらの条件で実際に多結晶ZnO膜の硫黄ドーピングを行ったところ、ZnOの溶解は見られず、溶液中に30分間浸漬することにより、多結晶ZnO膜に対して硫黄ドーピングを行うことができた。以上の結果から、図6に基づいて、活性層に不純物をドープする溶液系の組成を決定できることが分かった。

[0114] 〔実施例2～5：薄膜トランジスタの製造〕

無アルカリガラス基板（絶縁性基板）に、Taを300nm程度の厚さでスパッタリングによって積層し、ゲート電極を形成した。上記ゲート電極上に、フォトリソグラフィ工程にて所定の形状のレジストパターンを作製した。次に、このレジストパターンを用いて、CF_4+O_2ガスによってドライエッチングを施し、その形状にパターニングされたゲート電極3およびこれに接続されるゲート配線（図示せず）を形成した。

[0115] 次に、Al_2O_3をパルスレーザー堆積法によって500nm程度積層し、ゲート絶縁層を形成した。Al_2O_3薄膜の成膜時の基板温度は300℃、成膜雰囲気は減圧の酸素雰囲気、レーザーパワーは3．0J／cm^2、繰り返し周波数は10Hzとした。

[0116] Al_2O_3を堆積後、連続して、多結晶状態のZnOをパルスレーザー堆積法により積層した。多結晶状態のZnOの堆積条件は、基板温度を300℃、成膜雰囲気を減圧の酸素と一酸化窒素との混合雰囲気、レーザーパワーを1．1J／cm^2、繰り返し周波数を10Hzとした。また、各実施例において、上記多結晶ZnO膜の膜厚は、表1に示すとおりとした。

[0117] [表1]

	ZnO膜の形成		硫黄ドープ条件		ＴＦＴ特性	
	膜厚 (nm)	形成方法	NH_3濃度 (M)	浸漬時間 (分)	電界効果移動度 (cm^2/Vs)	S値 (V/decade)
実施例２	50	パルスレーザー堆積法	0.3	30	2.29	1.83
実施例３	50	パルスレーザー堆積法	0.1	30	1.84	1.16
実施例４	25	パルスレーザー堆積法	0.3	60	5.11	0.97
実施例５	25	パルスレーザー堆積法	0.3	30	3.39	1.06
実施例６	50	無電解めっき法	0.3	30		
比較例１	50	パルスレーザー堆積法	硫黄ドープ処理なし		1.58	2.28
比較例２	25	パルスレーザー堆積法	硫黄ドープ処理なし		2.64	1.52

[0118] この後、溶液中にて多結晶ZnO膜中に、硫黄をドープした。効果的に硫黄をドープするために、硫黄を溶液中にイオンとして導出することができるCBD法を用いた。溶液系は一般的なZnS（硫化亜鉛）膜形成用溶液系をベースとした。具体的には、多結晶ZnO膜からZnが溶出することを抑制するために、Zn前駆体として0．025mol／lの$ZnSO_4 \cdot 7H_2O$を、硫黄の前駆体として0．035mol／lの$SC(NH_2)_2$を、錯体形成により$Zn(OH)_2$生成を抑制するために錯化剤としてNH_3を含有する溶液系を用いた。なお、各実施例におけるNH_3濃度および浸漬時間は、表1に示すとおりとした。

[0119] この後、硫黄がドープされた多結晶ZnO膜に対して、フォトリソグラフィ工程にて所定の形状にレジストパターンを形成した。このレジストパターンを用いて、硝酸、酢酸等によるウェットエッチングを行うことにより、所望の形状の半導体層を形成した。

[0120] 続いて、スパッタリング法によりAlを200nm程度成膜した。そして、そのAlの層をフォトリソグラフィおよびCl_2ガスを用いてドライエッチングによりパターニングし、ソース電極およびドレイン電極を形成した。

[0121] さらに、パルスレーザー堆積法によりAl_2O_3を200nm程度成膜した。そのAl_2O_3層を、フォトリソグラフィにより作製した所定のレジストパターンを用いて、イオンミリング

等により不要部のAl_2O_3を除去し、保護層を形成した。これにより、薄膜トランジスタを得た。こうして製造された薄膜トランジスタについて、Id－Vg特性およびそのときの電界効果移動度のVg依存性、並びにTFT特性（電界効果移動度、サブスレッショルド係数 S値）を、上記の方法に従い、評価した。その結果を、図7（a）および図7（b）、図8（a）および図8（b）、並びに表1に示す。なお、図7（a）および図8（a）は、薄膜トランジスタのId－Vg特性を示す。図7（b）および図8（b）は、そのときの電界効果移動度のVg依存性を示す。また、図7（a）および図7（b）のグラフにおいて、0．1は実施例2の薄膜トランジスタの結果を、0．3は実施例3の薄膜トランジスタの結果を示す。図8（a）および図8（b）において、60は実施例4の薄膜トランジスタの結果、30は実施例5の薄膜トランジスタの結果を示す。

[0122] 〔実施例6〕

多結晶ZnO膜の形成を無電解めっき法により行ったことを除いて、実施例2と同一の方法で、薄膜トランジスタを製造した。

[0123] 無電解めっき法による多結晶ZnO膜の形成は、以下の手順で行った。Znの前駆物質となるモル濃度0．5mol／lの硝酸亜鉛水溶液に、モル濃度0．01mol／lの還元剤となるジメチルアミンボラン（DMAB）を加え、溶液の温度を50℃、8分間で、50nm形成した。この後、実施例2と同一の方法で、硫黄ドープ処理を行い、薄膜トランジスタを製造した。こうして製造された薄膜トランジスタについて、Id－Vg特性およびそのときの電界効果移動度のVg依存性を評価した。その結果、実施例2と同様、TFT特性の改善が見られた。

[0124] 〔比較例1〕

硫黄ドープ処理を行わないことを除いて、実施例2と同一の方法で、薄膜トランジスタを製造した。こうして製造された薄膜トランジスタについて、Id－Vg特性およびそのときの電界効果移動度のVg依存性を評価した。その結果を図7（a）および図7（b）に示す。なお、図7（a）および図7（b）のグラフでは、無処理と記載している。

[0125] 〔比較例2〕

硫黄ドープ処理を行わないことを除いて、実施例4と同一の方法で、薄膜トランジスタを製造した。こうして製造された薄膜トランジスタについて、Id－Vg特性およびその

ときの電界効果移動度のVg依存性を評価した。その結果を図8(a)および図8(b)に示す。なお、図8(a)および図8(b)のグラフでは、無処理と記載している。

[0126] 実施例2および3と比較例1との比較(図7(a)および図7(b)、並びに表1を参照)から明らかなように、硫黄ドープ処理を行うことにより、電界効果移動度、およびサブスレッショルド係数 S値がともに改善された。つまり、溶液法による硫黄ドープがTFT特性の改善に有効であることが分かった。

[0127] また、実施例2と実施例5との比較から明らかなように、多結晶ZnO膜の膜厚を薄くすることにより、電界効果移動度、およびサブスレッショルド係数 S値がより改善された。つまり、多結晶ZnO膜を薄膜化することにより、TFT特性をより改善できることが分かった。これは、多結晶ZnO膜の膜厚を薄くしたことで、硫黄が多結晶ZnO膜に、より効果的に取り込まれたためと考えられる。

[0128] なお本発明は、以上説示した各構成に限定されるものではなく、特許請求の範囲に示した範囲で種々の変更が可能であり、異なる実施形態や実施例にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態や実施例についても本発明の技術的範囲に含まれる。

産業上の利用の可能性

[0129] 以上のように、本発明では、活性層の粒界部分は、結晶部分よりも、特定の不純物を多く含んでいるため、活性層の粒界が半導体素子の動作に及ぼす影響を低減し、TFT特性を改善することができる。そのため、本発明は、薄膜トランジスタや、pn接合ダイオード、ショットキーダイオード、バイポーラトランジスタ、ショットキー障壁電界効果トランジスタ、接合型電界効果トランジスタ等の半導体素子および各種半導体装置に利用することができるだけではなく、アクティブマトリクス型の液晶表示装置や、有機EL表示装置やフレキシブル表示装置等の各種表示装置、および半導体素子や半導体装置を備える各種電子デバイスに広く応用することができる。

請求の範囲

[1] 活性層は、不純物がドープされた多結晶ZnO膜からなり、

上記活性層の粒界部分は、上記活性層の結晶部分よりも、上記不純物を高濃度に含むことを特徴とする半導体素子。

[2] 上記多結晶ZnO膜は、不純物がドープされ、膜厚方向に該不純物の濃度勾配が形成された多結晶ZnO膜であることを特徴とする請求項1に記載の半導体素子。

[3] 上記不純物は、硫黄であることを特徴とする請求項1に記載の半導体素子。

[4] 上記多結晶ZnO膜の膜厚が50nmより薄いことを特徴とする請求項1に記載の半導体素子。

[5] 薄膜トランジスタであることを特徴とする請求項1に記載の半導体素子。

[6] 多結晶ZnO膜を形成し、

該多結晶ZnO膜に不純物をドープすることにより、該不純物が結晶部分よりも粒界部分に対して、より高濃度にドープされた活性層を形成することを特徴とする半導体素子の製造方法。

[7] 上記多結晶ZnO膜を、イオン化された上記不純物を含む溶液中に浸漬することにより、結晶部分よりも粒界部分に対して、該不純物がより高濃度にドープされた活性層を形成することを特徴とする請求項6に記載の半導体素子の製造方法。

[8] 化学浴析出法により、結晶部分よりも粒界部分に対して、上記不純物がより高濃度にドープされた活性層を形成することを特徴とする請求項6に記載の半導体素子の製造方法。

[9] 上記不純物が硫黄であることを特徴とする請求項7に記載の半導体素子の製造方法。

[10] 上記溶液のpHが9～12であることを特徴とする請求項9に記載の半導体素子の製造方法。

[11] 上記溶液が、アンモニア、$ZnSO_4$、およびチオ尿素を含有する水溶液であることを特徴とする請求項9に記載の半導体素子の製造方法。

[12] 上記多結晶ZnO膜を、無電解めっき法により形成することを特徴とする請求項6に記載の半導体素子の製造方法。

[13] 無電解めっき法を用いて、上記多結晶ZnO膜の形成と、上記不純物の上記多結晶ZnO膜へのドーピングとを、交互に複数回繰り返して行うことを特徴とする請求項6に記載の半導体素子の製造方法。

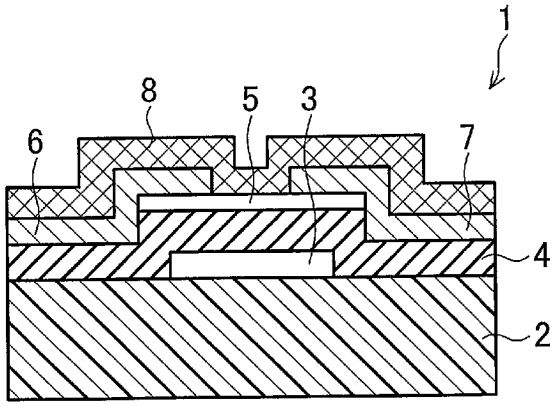
[14] 請求項1～5のいずれか1項に記載の半導体素子をスイッチング素子として備える電子デバイス。

[15] 上記スイッチング素子が、画素電極への画像信号の書き込みまたは読み出しのために、画素電極に接続されていることを特徴とする請求項14に記載の電子デバイス。

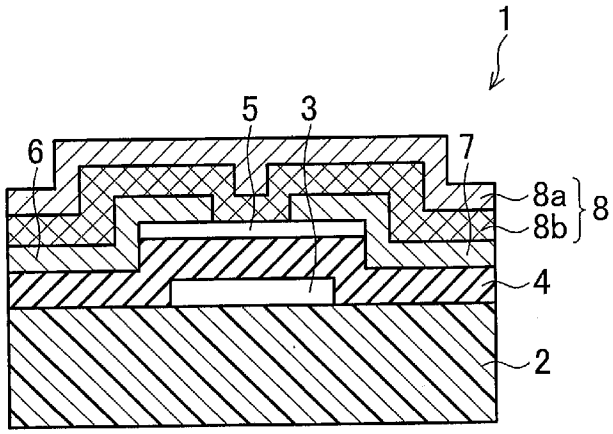
[16] 活性層は、ZnOを主成分として、不純物がドープされた多結晶及び／又はアモルファス状態の半導体膜からなり、

上記活性層の粒界部分は、上記活性層の結晶部分よりも、上記不純物を高濃度に含むことを特徴とする半導体素子。

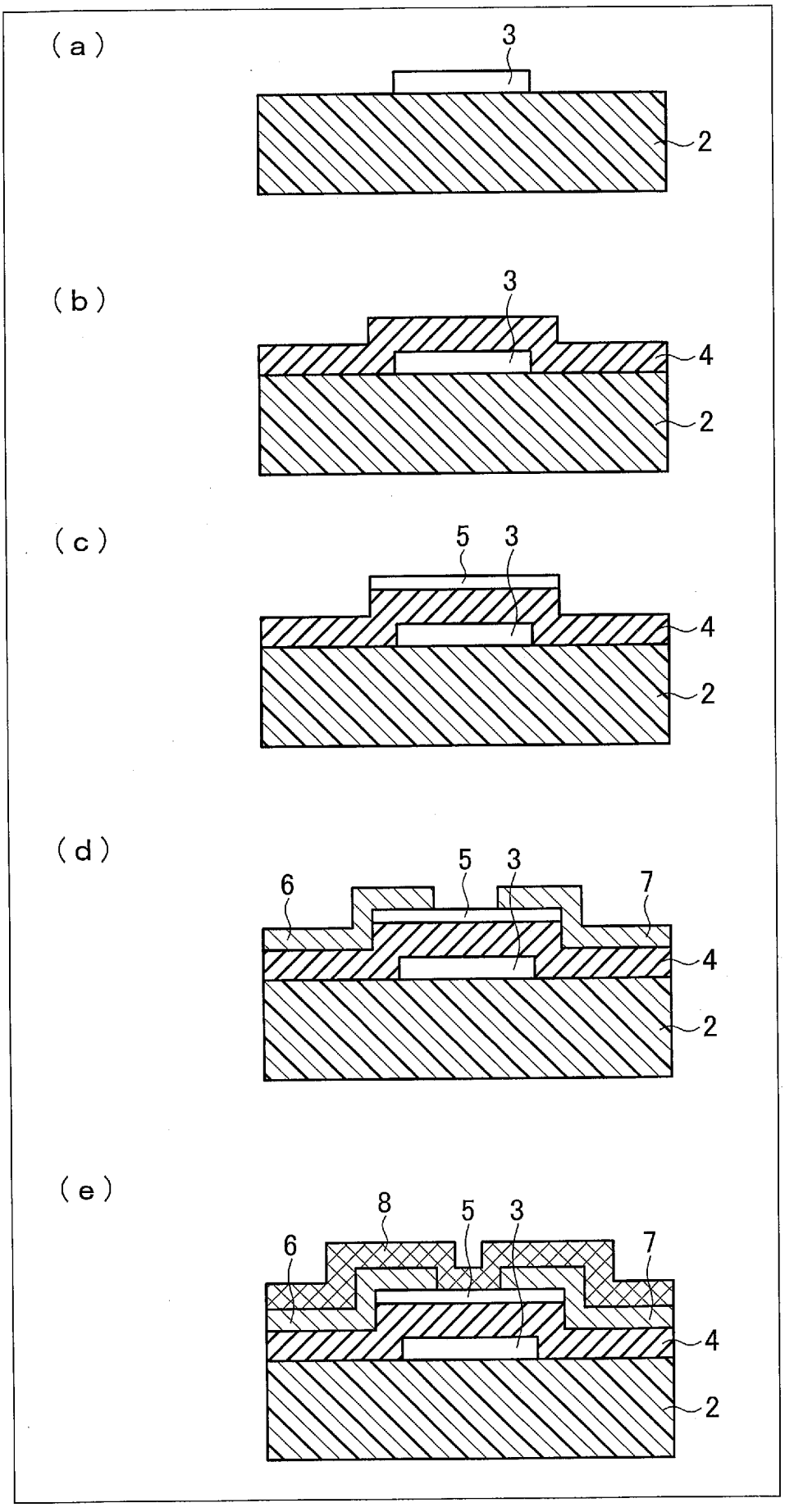
[図1]



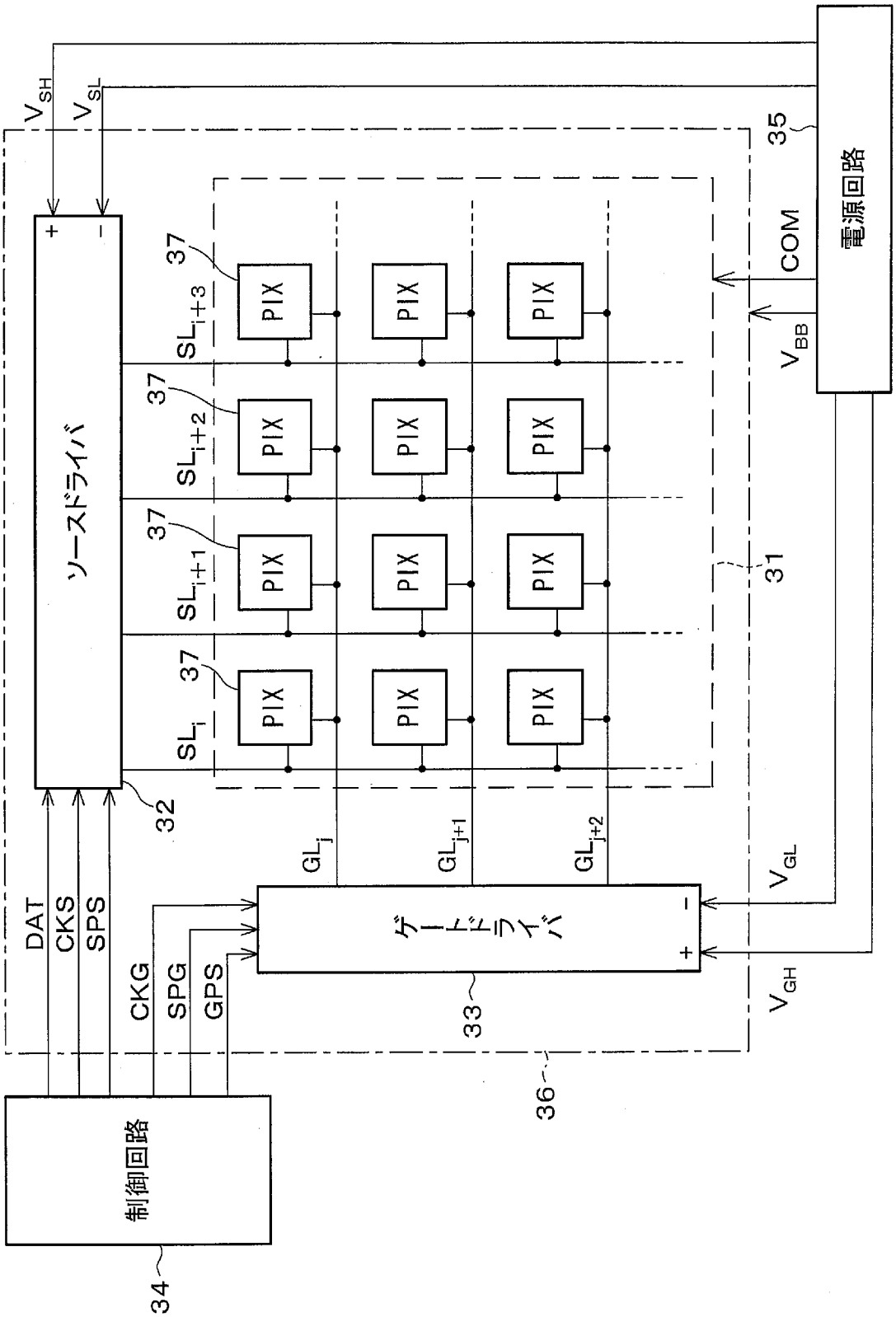
[図2]



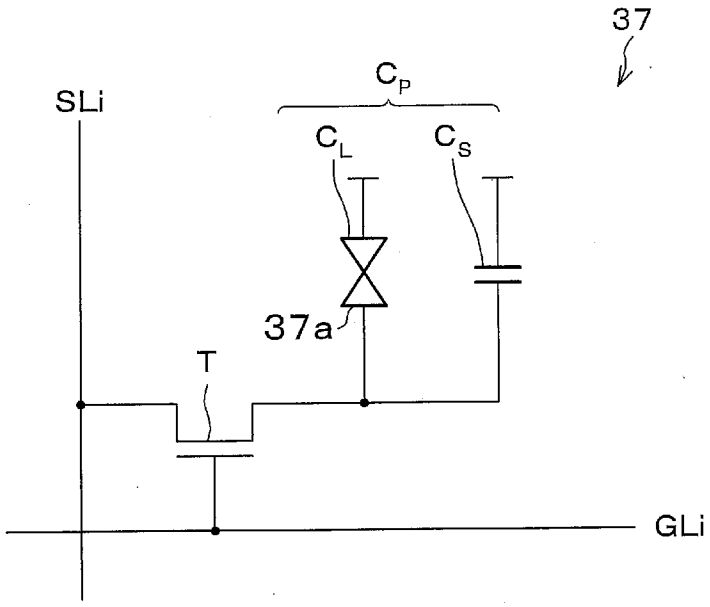
[図3]



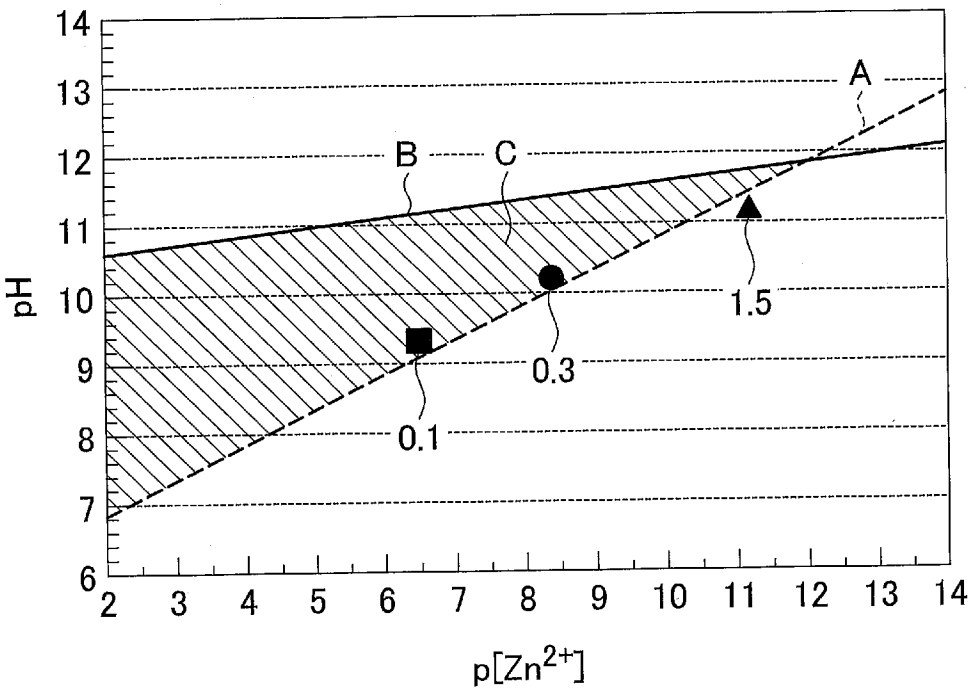
[図4]


V_{SH}
V_{SL}
35
電源回路
COM
V_{BB}
+
−
ソースドライバ
37
SL_{i+3}
SL_{i+2}
SL_{i+1}
SL_i
PIX
31
32
GL_j
GL_{j+1}
GL_{j+2}
V_{GL}
ゲートドライバ
V_{GH}
33
36
DAT
CKS
SPS
CKG
SPG
GPS
制御回路
34

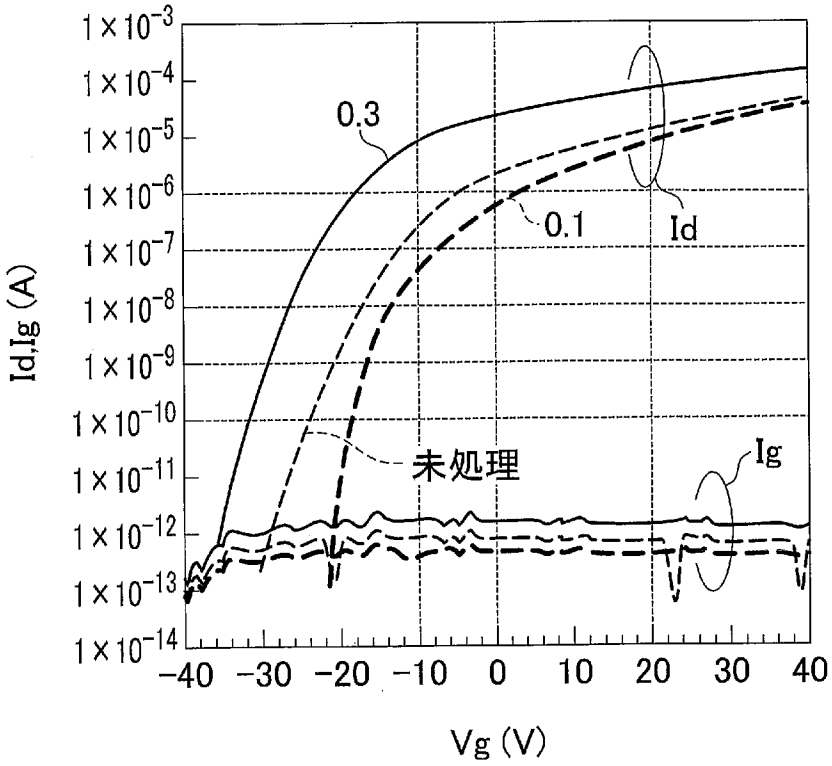
[図5]


37
C_P
SLi
C_L
C_S
37a
T
GLi

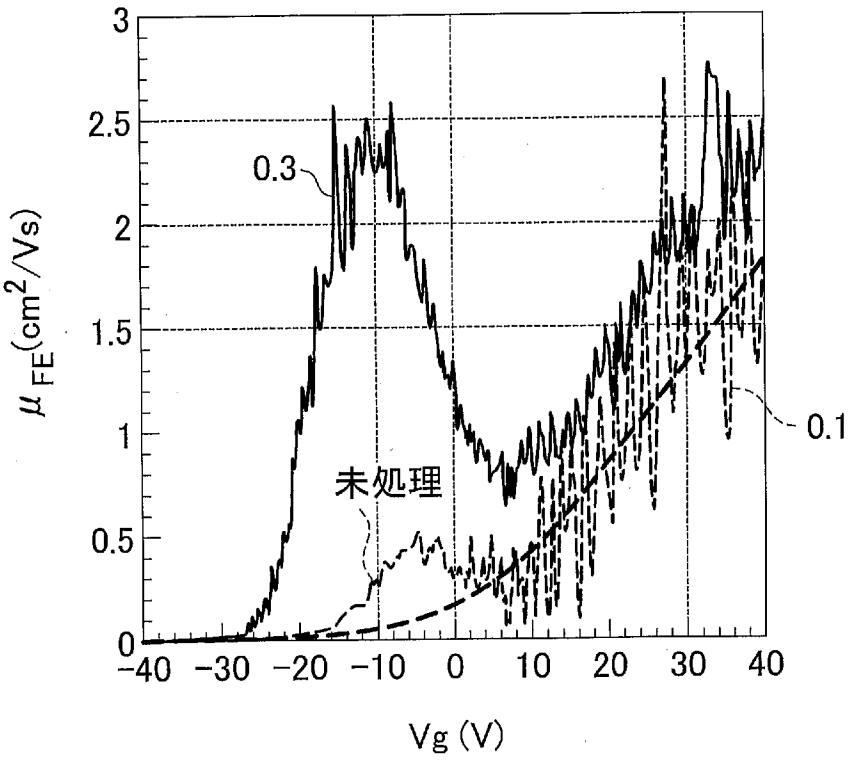
[図6]


14
13
12
11
10
9
8
7
6
pH
A
B
C
1.5
0.3
0.1
2
3
4
5
6
7
8
9
10
11
12
13
14
p[Zn2+]

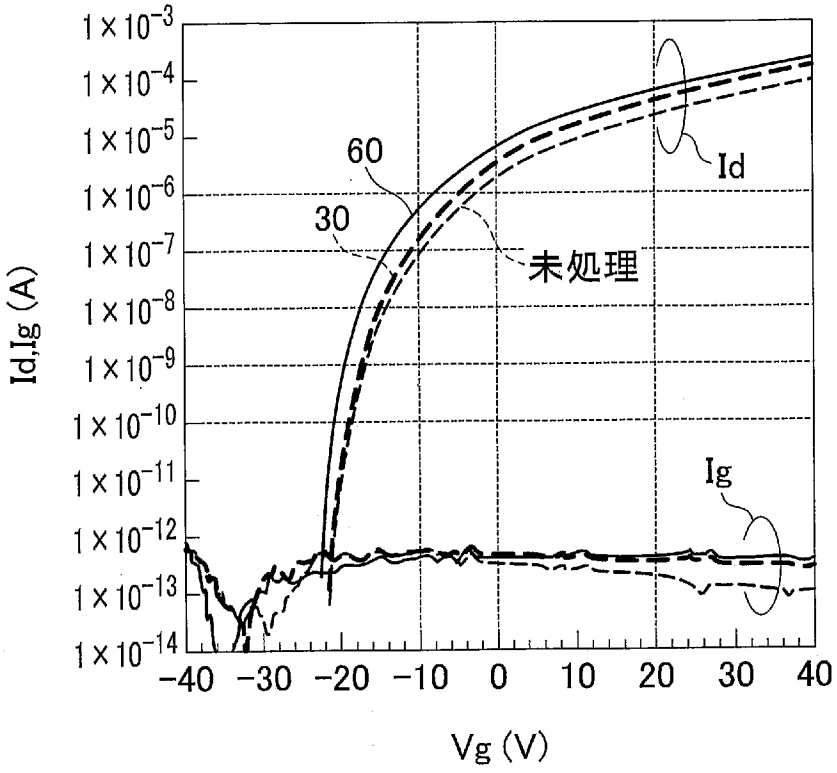
[図7(a)]


1×10-3
1×10-4
1×10-5
1×10-6
1×10-7
1×10-8
1×10-9
1×10-10
1×10-11
1×10-12
1×10-13
1×10-14
Id,Ig (A)
0.3
0.1
Id
未処理
Ig
−40 −30 −20 −10 0 10 20 30 40
Vg (V)

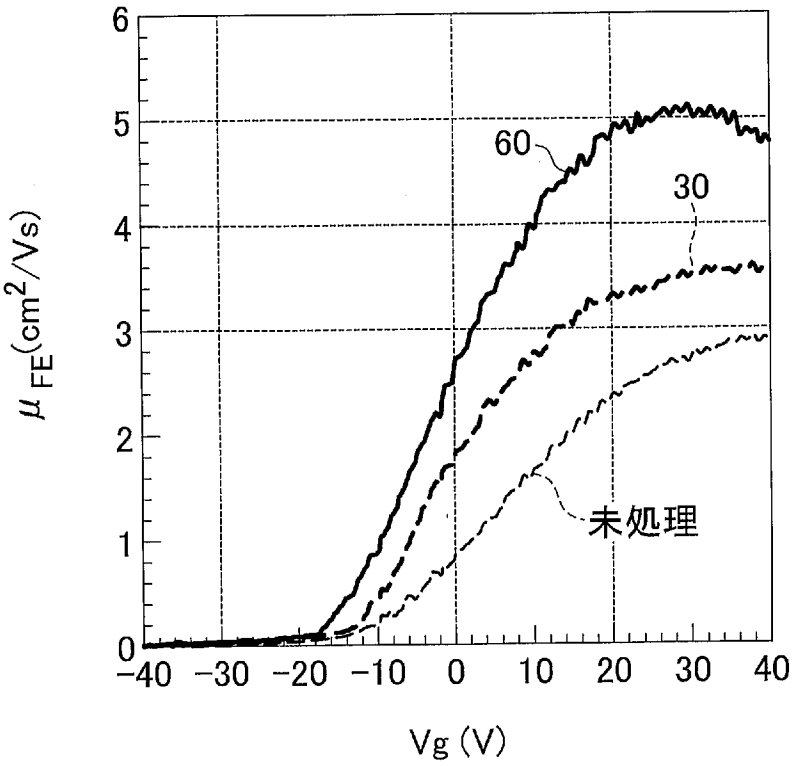
[図7(b)]


3
2.5
2
1.5
1
0.5
0
μFE(cm2/Vs)
0.3
0.1
未処理
−40 −30 −20 −10 0 10 20 30 40
Vg (V)

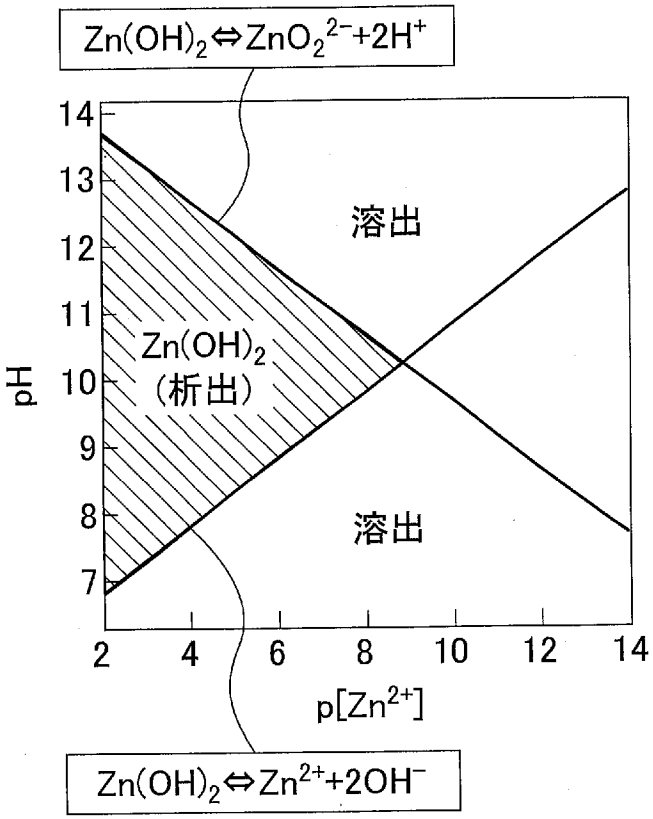
[図8(a)]


1×10⁻³
1×10⁻⁴
1×10⁻⁵
1×10⁻⁶
1×10⁻⁷
1×10⁻⁸
1×10⁻⁹
1×10⁻¹⁰
1×10⁻¹¹
1×10⁻¹²
1×10⁻¹³
1×10⁻¹⁴
Id,Ig (A)
60
30
未処理
Id
Ig
−40 −30 −20 −10 0 10 20 30 40
Vg (V)

[図8(b)]


6
5
4
3
2
1
0
μFE(cm²/Vs)
60
30
未処理
−40 −30 −20 −10 0 10 20 30 40
Vg (V)

[図9]


Zn(OH)2⇔ZnO2 2−+2H+
14
13
12
11
10
9
8
7
pH
溶出
Zn(OH)2
(析出)
溶出
2
4
6
8
10
12
14
p[Zn2+]
Zn(OH)2⇔Zn2++2OH−

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/056501

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01)i, *H01L21/336*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008
Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-86808 A (Sharp Corp.), 20 March, 2003 (20.03.03), Par. Nos. [0030] to [0105] & US 2003/0047785 A1 & KR 10-2003-0022692 A & CN 1405898 A & TW 552718 B	1-16
Y	JP 2005-171359 A (Nikko Materials Co., Ltd.), 30 June, 2005 (30.06.05), Par. No. [0004] (Family: none)	1-16
Y	JP 2006-165529 A (Canon Inc.), 22 June, 2006 (22.06.06), Par. No. [0111] & WO 2006/051993 A2 & CA 2585190 A & US 2006/0108636 A1 & EP 1812969 A & KR 10-2007-0090182 A	1-16

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 June, 2008 (18.06.08)	01 July, 2008 (01.07.08)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/056501

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-93974 A (Zaidan Hojin Industrial Technology Research Institute), 07 April, 2005 (07.04.05), Par. No. [0009] & US 2005/0062134 A1 & TW 221341 B	3,9
Y	JP 5-251357 A (Toshiba Corp.), 28 September, 1993 (28.09.93), Par. Nos. [0010], [0039] (Family: none)	13

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０５６５０１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786(2006.01)i, H01L21/336(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 2003-86808 A (シャープ株式会社) 2003.03.20, 段落 0030-0105 & US 2003/0047785 A1 & KR 10-2003-0022692 A & CN 1405898 A & TW 552718 B	1-16
Y	JP 2005-171359 A (株式会社日鉱マテリアルズ) 2005.06.30, 段落 0004 (ファミリーなし)	1-16

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １８．０６．２００８	国際調査報告の発送日 ０１．０７．２００８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　２９３４ 綿引　隆 電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 2006-165529 A (キヤノン株式会社) 2006.06.22, 段落 0111 & WO 2006/051993 A2 & CA 2585190 A & US 2006/0108636 A1 & EP 1812969 A & KR 10-2007-0090182 A	1-16
Y	JP 2005-93974 A (財団法人工業技術研究院) 2005.04.07, 段落 0009 & US 2005/0062134 A1 & TW 221341 B	3,9
Y	JP 5-251357 A (株式会社東芝) 1993.09.28, 段落 0010,0039 (ファミリーなし)	13