

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2024-44051
(P2024-44051A)

(43)公開日 令和6年4月2日(2024.4.2)

(51)国際特許分類

F I

テーマコード (参考)

G 0 6 F 12/06 (2006.01) G 0 6 F 12/06 5 5 0 A 5 B 1 6 0

G 0 6 F 12/00 (2006.01) G 0 6 F 12/00 5 9 7 U

審査請求 未請求 請求項の数 20 O L (全21頁)

(21)出願番号 特願2022-149365(P2022-149365)

(22)出願日 令和4年9月20日(2022.9.20)

(71)出願人 318010018
キオクシア株式会社
東京都港区芝浦三丁目 1 番 2 1 号

(74)代理人 110003708
弁理士法人鈴榮特許総合事務所

(72)発明者 庄野 温夫
東京都港区芝浦三丁目 1 番 2 1 号 キオ
クシア株式会社内

(72)発明者 岩崎 清隆
東京都港区芝浦三丁目 1 番 2 1 号 キオ
クシア株式会社内

F ターム (参考) 5B160 CA15 CD04 CD12

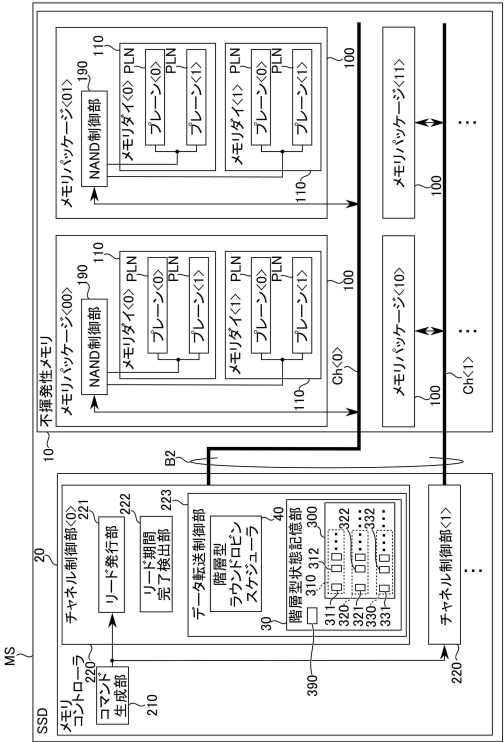
(54)【発明の名称】 メモリシステム

(57)【要約】

【課題】データ転送の期間を短縮する。

【解決手段】実施形態のメモリシステムは、複数のメモリパッケージと、前記複数のメモリパッケージのそれぞれに設けられた複数のメモリダイと、前記複数のメモリダイのそれぞれに設けられ、データをそれぞれ記憶する複数のプレーンと、を含む不揮発性メモリと、ラウンドロビン処理に基づいて、前記不揮発性メモリからデータをリードするメモリコントローラと、を含み、前記メモリコントローラは、前記複数のプレーンの中から次のサイクルにおいてデータ転送を実行するプレーンを選択する時、データ転送中のプレーンが属するメモリパッケージと異なるメモリパッケージに属するプレーンを、前記ラウンドロビン処理によって、選択する。

【選択図】 図 4



【特許請求の範囲】**【請求項 1】**

複数のメモリパッケージと、前記複数のメモリパッケージのそれぞれに設けられた複数のメモリダイと、前記複数のメモリダイのそれぞれに設けられ、データをそれぞれ記憶する複数のプレーンと、を含む不揮発性メモリと、

ラウンドロビン処理に基づいて、前記不揮発性メモリからデータをリードするメモリコントローラと、

を具備し、

前記メモリコントローラは、前記複数のプレーンの中から次のサイクルにおいてデータ転送を実行するプレーンを選択する時、データ転送中のプレーンが属するメモリパッケージと異なるメモリパッケージに属するプレーンを、前記ラウンドロビン処理によって、選択する、

メモリシステム。

【請求項 2】

前記メモリコントローラは、前記ラウンドロビン処理において、

前記複数のメモリパッケージのうち 1 つのメモリパッケージを、データ転送の可否を判断する対象に設定し、

前記対象に設定されたメモリパッケージがデータ転送を可能であるか否かを判断し、

前記対象に設定されたメモリパッケージがデータ転送を可能でない場合、前記対象に設定されたメモリパッケージを、変え、

前記対象に設定されたメモリパッケージがデータ転送を可能である場合、前記対象に設定されたメモリパッケージの前記複数のメモリダイのうち 1 つのメモリダイを、データ転送の可否を判断する対象に設定し、

前記対象に設定されたメモリダイがデータ転送を可能であるか否かを判断し、

前記対象に設定されたメモリダイがデータ転送を可能でない場合、前記対象に設定されたメモリダイを、変え、

前記対象に設定されたメモリダイがデータ転送を可能である場合、前記対象に設定されたメモリダイの前記複数のプレーンのうち 1 つのプレーンを、データ転送の可否を判断する対象に設定し、

前記対象に設定されたプレーンがデータ転送を可能でない場合、前記対象に設定されたプレーンを、変え、

前記対象に設定されたプレーンがデータ転送を可能である場合、前記対象に設定されたプレーンから前記データをリードする、

請求項 1 に記載のメモリシステム。

【請求項 3】

前記複数のメモリパッケージのそれぞれのデータ転送の可否を示す第 1 の情報をそれぞれ記憶する複数の第 1 のレジスタと、前記複数のメモリダイのそれぞれのデータ転送の可否を示す第 2 の情報をそれぞれ記憶する複数の第 2 のレジスタと、前記複数のプレーンのそれぞれのデータ転送の可否を示す第 3 の情報をそれぞれ記憶する複数の第 3 のレジスタと、を含む記憶部を、

さらに具備する請求項 2 に記載のメモリシステム。

【請求項 4】

前記複数の第 1 のレジスタのそれぞれの値は、前記複数の第 2 のレジスタの論理和演算の値に基づいて設定され、

前記複数の第 2 のレジスタのそれぞれの値は、前記複数の第 3 のレジスタの論理和演算の値に基づいて設定される、

請求項 3 に記載のメモリシステム。

【請求項 5】

前記メモリコントローラは、

複数の識別番号のそれぞれを、前記複数のプレーンのそれぞれに割り当て、

10

20

30

40

50

前記メモリコントローラは、前記ラウンドロビン処理において、

前記複数の識別番号のうち1つを、データ転送の可否を判断する対象に設定し、

前記設定された識別番号が割り当てられたプレーンがデータ転送可能であるか判断し

、

前記設定された識別番号が割り当てられたプレーンがデータ転送を可能でない場合、

前記設定された識別番号を変え、

前記設定された識別番号が割り当てられたプレーンがデータ転送を可能である場合、

前記設定された識別番号が割り当てられたプレーンからデータをリードする、

請求項1に記載のメモリシステム。

【請求項6】

10

前記複数の識別番号のうち、データ転送の可否の判断の対象の識別番号を記憶する第1のレジスタと、前記複数のプレーンのそれぞれのデータ転送の可否を示す第1の情報を記憶する第2のレジスタと、を含む記憶部を、

さらに具備する請求項5に記載のメモリシステム。

【請求項7】

前記複数のプレーンのそれぞれのリード期間の終了を検出する第1の検出部を、

さらに具備する

請求項1に記載のメモリシステム。

【請求項8】

前記ラウンドロビン処理による前記複数のプレーンのそれぞれからのデータ転送のタイミングを制御するスケジューラを、

20

さらに具備する

請求項1に記載のメモリシステム。

【請求項9】

前記不揮発性メモリは、NANDフラッシュメモリである、

請求項1に記載のメモリシステム。

【請求項10】

複数のメモリパッケージと、前記複数のメモリパッケージのそれぞれに設けられた複数のメモリダイと、前記複数のメモリダイのそれぞれに設けられ、データをそれぞれ記憶する複数のプレーンと、を含む不揮発性メモリと、

30

ラウンドロビン処理に基づいて、前記不揮発性メモリからデータをリードするメモリコントローラと、

を具備し、

前記メモリコントローラは、

前記複数のメモリパッケージのうち1つのメモリパッケージを、データ転送の可否を判断する対象に設定し、

前記対象に設定されたメモリパッケージがデータ転送を可能であるか否か判断し、

前記対象に設定されたメモリパッケージがデータ転送を可能でない場合、前記対象に設定されたメモリパッケージを、変え、

前記対象に設定されたメモリパッケージがデータ転送を可能である場合、前記対象に設定されたメモリパッケージの前記複数のメモリダイのうち1つのメモリダイを、データ転送の可否を判断する対象に設定し、

40

前記対象に設定されたメモリダイがデータ転送を可能であるか否か判断し、

前記対象に設定されたメモリダイがデータ転送を可能でない場合、前記対象に設定されたメモリダイを、変え、

前記対象に設定されたメモリダイがデータ転送を可能である場合、前記対象に設定されたメモリダイの前記複数のプレーンのうち1つのプレーンを、データ転送の可否を判断する対象に設定し、

前記対象に設定されたプレーンがデータ転送を可能でない場合、前記対象に設定されたプレーンを、変え、

50

前記対象に設定されたプレーンがデータ転送を可能である場合、前記対象に設定されたプレーンから前記データをリードする、
メモリシステム。

【請求項 1 1】

前記複数のメモリパッケージのそれぞれのデータ転送の可否を示す第 1 の情報をそれぞれ記憶する複数の第 1 のレジスタと、前記複数のメモリダイのそれぞれのデータ転送の可否を示す第 2 の情報をそれぞれ記憶する複数の第 2 のレジスタと、前記複数のプレーンのそれぞれのデータ転送の可否を示す第 3 の情報をそれぞれ記憶する複数の第 3 のレジスタと、を含む記憶部を、

さらに具備する請求項 1 0 に記載のメモリシステム。

10

【請求項 1 2】

前記複数の第 1 のレジスタのそれぞれの値は、前記複数の第 2 のレジスタの論理和演算の値に基づいて設定され、

前記複数の第 2 のレジスタのそれぞれの値は、前記複数の第 3 のレジスタの論理和演算の値に基づいて設定される、

請求項 1 1 に記載のメモリシステム。

【請求項 1 3】

前記複数のプレーンのそれぞれのリード期間の終了を検出する第 1 の検出部を、

さらに具備する

請求項 1 0 に記載のメモリシステム。

20

【請求項 1 4】

前記ラウンドロビン処理による前記複数のプレーンのそれぞれからのデータ転送のタイミングを制御するスケジューラを、

さらに具備する

請求項 1 0 に記載のメモリシステム。

【請求項 1 5】

前記不揮発性メモリは、NANDフラッシュメモリである、

請求項 1 0 に記載のメモリシステム。

【請求項 1 6】

複数のメモリパッケージと、前記複数のメモリパッケージのそれぞれの複数のメモリダイと、前記複数のメモリダイのそれぞれに設けられ、データをそれぞれ記憶する複数のプレーンと、を含む不揮発性メモリと、

30

ラウンドロビン処理に基づいて、前記不揮発性メモリからデータをリードするメモリコントローラと、

を具備し、

前記メモリコントローラは、

複数の識別番号のそれぞれを、前記複数のプレーンのそれぞれに割り当て、

前記メモリコントローラは、前記ラウンドロビン処理において、

前記複数の識別番号のうち 1 つを、データ転送の可否を判断する対象に設定し、

前記設定された識別番号が割り当てられたプレーンがデータ転送可能であるか判断し

40

、
前記設定された識別番号が割り当てられたプレーンがデータ転送を可能でない場合、前記設定された識別番号を変え、

前記設定された識別番号が割り当てられたプレーンがデータ転送を可能である場合、前記設定された識別番号が割り当てられたプレーンからデータをリードする、

メモリシステム。

【請求項 1 7】

前記複数の識別番号のうち、データ転送の可否の判断の対象の識別番号を記憶する第 1 のレジスタと、前記複数のプレーンのそれぞれのデータ転送の可否を示す第 1 の情報を記憶する第 2 のレジスタと、を含む記憶部を、

50

さらに具備する請求項 16 に記載のメモリシステム。

【請求項 18】

前記複数のプレーンのそれぞれのリード期間の終了を検出する第 1 の検出部を、
さらに具備する
請求項 16 に記載のメモリシステム。

【請求項 19】

前記ラウンドロビン処理による前記複数のプレーンのそれぞれからのデータ転送のタイミングを制御するスケジューラを、
さらに具備する
請求項 16 に記載のメモリシステム。

10

【請求項 20】

前記不揮発性メモリは、NANDフラッシュメモリである、
請求項 16 に記載のメモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、メモリシステムに関する。

【背景技術】

【0002】

データを不揮発に記憶することが可能な NAND 型フラッシュメモリが知られている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】米国特許出願公開第 2015 / 0212732 号明細書

【特許文献 2】米国特許出願公開第 2019 / 0214087 号明細書

【特許文献 3】米国特許出願公開第 2022 / 0084568 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

データ転送の期間を短縮する。

30

【課題を解決するための手段】

【0005】

実施形態のメモリシステムは、複数のメモリパッケージと、複数のメモリパッケージのそれぞれに設けられた複数のメモリダイと、複数のメモリダイのそれぞれに設けられ、データをそれぞれ記憶する複数のプレーンと、を含む不揮発性メモリと、ラウンドロビン処理に基づいて、不揮発性メモリからデータをリードするメモリコントローラと、を含み、メモリコントローラは、複数のプレーンの中から次のサイクルにおいてデータ転送を実行するプレーンを選択する時、データ転送中のプレーンが属するメモリパッケージと異なるメモリパッケージに属するプレーンを、ラウンドロビン処理によって、選択する。

【図面の簡単な説明】

40

【0006】

【図 1】実施形態の情報処理システムの構成を示す図。

【図 2】第 1 の実施形態のメモリシステムの不揮発性メモリの構成を示す図。

【図 3】第 1 の実施形態のメモリシステムのメモリコントローラの構成を示す図。

【図 4】第 1 の実施形態のメモリシステムの機能構成を示す図。

【図 5】第 1 の実施形態のメモリシステムの動作を示すフローチャート。

【図 6】第 1 の実施形態のメモリシステムの効果を説明するための図。

【図 7】第 2 の実施形態のメモリシステムの機能構成を示す図。

【図 8】第 2 の実施形態のメモリシステムの動作を示すフローチャート。

【発明を実施するための形態】

50

【 0 0 0 7 】

図 1 乃至図 8 を参照して、実施形態のメモリシステムについて、説明する。

【 0 0 0 8 】

以下、図面を参照しながら、本実施形態について詳細に説明する。以下の説明において、同一の機能及び構成を有する要素については、同一符号を付す。また、以下の各実施形態において、末尾に区別化のための数字 / 英字を伴った参照符号を付された構成要素（例えば、回路、配線、各種の電圧及び信号など）が、相互に区別されなくとも良い場合、末尾の数字 / 英字が省略された記載（参照符号）が用いられる。

【 0 0 0 9 】

（実施形態）

10

（ 1 ）第 1 の実施形態

（ a ）構成

（ a - 1 ）情報処理システム 1 の構成

図 1 は、本実施形態の情報処理システム 1 の構成の一例を示すブロック図である。

【 0 0 1 0 】

情報処理システム 1 は、ホストデバイス H D 及びメモリシステム M S を含む。

【 0 0 1 1 】

ホストデバイス H D は、パーソナルコンピュータ、携帯情報端末、サーバなどの電子機器である。

【 0 0 1 2 】

20

メモリシステム M S は、メモリカード、S S D (solid state drive) などの半導体ストレージデバイスである。メモリシステム M S は、不揮発性メモリ 1 0、及びメモリコントローラ 2 0 を含む。

【 0 0 1 3 】

不揮発性メモリ 1 0 は、データを不揮発に記憶するメモリデバイスである。本実施形態において、不揮発性メモリ 1 0 は、例えば、N A N D 型フラッシュメモリである。但し、不揮発性メモリ 1 0 は、N O R 型フラッシュメモリ、M R A M (Magneto-resistive Random Access Memory)、P R A M (Phase change Random Access Memory)、R e R A M (Resistive Random Access Memory)、F e R A M (Ferroelectric Random Access Memory) でもよい。不揮発性メモリ 1 0 は、複数のメモリパッケージ 1 0 0 を含む。複数のメモリパッケージ 1 0 0 のそれぞれは、複数のメモリダイ（メモリチップ）1 1 0 を含む。複数のメモリダイ 1 1 0 のそれぞれは、複数のプレーン P L N を含む。本実施形態において、データを不揮発性メモリ 1 0 に記憶させる（書き込む）ことを、“不揮発化”ともよぶ。

30

【 0 0 1 4 】

メモリコントローラ 2 0 は、不揮発性メモリ 1 0 を制御する制御装置である。メモリコントローラ 2 0 は、例えば、S o C (System On a Chip) として構成される半導体集積回路である。メモリコントローラ 2 0 は、ホストデバイス H D から受けた命令（要求）に基づいて不揮発性メモリ 1 0 を制御して、データのリード動作、ライト動作、及びイレース動作などを実行する。メモリコントローラ 2 0 は、複数の不揮発性メモリ 1 0 を一括で管理してもよい。メモリコントローラ 2 0 は、バス B 1 を介してホストデバイス H D に接続される。不揮発性メモリ 1 0 は、バス B 2 を介して、メモリコントローラ 2 0 に接続される。なお、ホストデバイス H D とメモリコントローラ 2 0 とは、ネットワークを介して接続されてもよい。

40

【 0 0 1 5 】

（ a - 2 ）メモリシステム M S のハードウェア構成

（ a - 2 - 1 ）不揮発性メモリ 1 0 のハードウェア構成

図 2 は、本実施形態の不揮発性メモリ 1 0 のハードウェア構成の一例を示すブロック図である。

【 0 0 1 6 】

50

不揮発性メモリ 10 の或るメモリパッケージ 100 において、各メモリダイ 110 は、例えば、複数のプレーン P L N、及び制御回路 130 を含む。

【0017】

複数のプレーン P L N のそれぞれは、互いに独立に且つ並列（同時）に動作し得る回路である。複数のプレーン P L N の集合は、メモリコア回路 120 ともよばれる。

【0018】

制御回路 130 は、複数のプレーン P L N の動作を制御する複数の回路の集合である。

【0019】

各プレーン P L N は、メモリセルアレイ 121、ロウデコーダモジュール 122、及びセンスアンプモジュール 123 を含む。

【0020】

メモリセルアレイ 121 は、複数のメモリセル M C の集合を含む記憶回路である。複数のメモリセル M C は、二次元に配置されてもよいし、三次元に配置されてもよい。

【0021】

ロウデコーダモジュール 122 は、ロウアドレスをデコードするデコーダである。ロウデコーダモジュール 122 は、デコード結果に基づいてメモリセルアレイ 121 のロウ（1つのブロック B L K）を選択する。ロウデコーダモジュール 122 は、選択したブロック B L K に設けられた複数の配線（ワード線 W L 及びビット線 B L）に、電圧をそれぞれ転送する。

【0022】

センスアンプモジュール 123 は、リード動作時、ビット線 B L の電圧に基づいて、選択されたブロック B L K から読み出されたデータをセンスするセンス回路である。センスアンプモジュール 123 は、リード動作時、読み出されたデータを、制御回路 130 を介してメモリコントローラ 20 に送信する。センスアンプモジュール 123 は、ライト動作時、メモリセル M C に書き込むデータに応じた電圧を各ビット線 B L に印加し得る。

【0023】

メモリセルアレイ 121 は、複数のブロック B L K（B L K 0 ~ B L K n - 1）を含む。n は、自然数である。ブロック B L K は、例えば、データのイレース単位として使用される。ブロック B L K は、複数のページを含む。ページは、データのリードの単位である。また、ページは、データのライトの単位である。ページは、例えば、1つのワード線 W L に接続された複数のメモリセル M C によって記憶されるデータに対応する。なお、1つのワード線 W L に接続された複数のメモリセル M C は、各メモリセル M C が記憶するデータのビット数に応じて、複数のページのデータを記憶し得る。

【0024】

ブロック B L K は、複数のメモリセル M C と、複数のビット線 B L と、複数のワード線 W L とを含む。各メモリセル M C は、少なくとも 1 ビットデータを不揮発に記憶する。各メモリセル M C は、1つのビット線 B L と 1つのワード線 W L とに関連付けられる。各メモリセル M C は、ワード線 W L を識別するアドレスと、ビット線 B L を識別するアドレスと、に基づいて識別される。

【0025】

制御回路 130 は、メモリインターフェース（メモリ I / F）131、シーケンサ 132、及びドライバモジュール 133 を含む。

【0026】

メモリ I / F 131 は、バス B 2 を介してメモリコントローラ 20 に接続されるハードウェアインターフェースである。メモリ I / F 131 は、不揮発性メモリ 10 とメモリコントローラ 20 との間のインターフェース規格に従った通信を行う。メモリ I / F 131 がサポートするインターフェース規格は、例えば、N A N D インターフェース規格である。例えば、メモリ I / F 131 は、ロウアドレスを各ロウデコーダモジュール 122 に送る。メモリ I / F 131 は、リード動作時、読み出されたデータをセンスアンプモジュール 123 のそれぞれから受ける。メモリ I / F 131 は、ライト動作時、データを或るセ

10

20

30

40

50

ンスアンブモジュール 1 2 3 に送る。

【 0 0 2 7 】

シーケンサ 1 3 2 は、メモリダイ 1 1 0 の全体の動作を制御する制御回路である。シーケンサ 1 3 2 は、メモリ I / F 1 3 1 を介して受け取ったコマンドに基づいてドライバモジュール 1 3 3、複数のロウデコーダモジュール 1 2 2、及び複数のセンスアンブモジュール 1 2 3 などを制御して、リード動作、ライト動作、及びイレース動作などを実行する。

【 0 0 2 8 】

ドライバモジュール 1 3 3 は、リード動作、ライト動作、及びイレース動作などに用いられる電圧を生成する回路である。ドライバモジュール 1 3 3 は、複数の信号線を介してロウデコーダモジュール 1 2 2 のそれぞれに接続される。ドライバモジュール 1 3 3 は、メモリ I / F 1 3 1 を介して受け取ったアドレスに基づいて、複数のワード線 W L 及び複数のビット線 B L に対応する複数の信号線の各々に印加する電圧を変更し得る。

【 0 0 2 9 】

不揮発性メモリ 1 0 のメモリ空間において、メモリパッケージ 1 0 0 の識別番号（アドレス値）は、メモリ空間における上層のアドレスの階層に相当する。プレーン P L N の識別番号（アドレス）は、メモリ空間における下層のアドレスの階層に相当する。メモリダイ 1 1 0 の識別番号（アドレス）は、メモリ空間におけるメモリパッケージ 1 0 0 の階層とプレーン P L N の階層との間の中層のアドレスの階層に相当する。

【 0 0 3 0 】

（ a - 2 - 2 ）メモリコントローラ 2 0 のハードウェア構成

図 3 は、本実施形態のメモリコントローラ 2 0 のハードウェア構成の一例を示すブロック図である。

【 0 0 3 1 】

本実施形態のメモリコントローラ 2 0 は、ホストインターフェース（ホスト I / F ） 2 1、メモリインターフェース（メモリ I / F ） 2 2、C P U （Central Processing Unit） 2 3、E C C （Error Correction Code）回路 2 4、R O M （Read Only Memory） 2 5、R A M （Random Access Memory） 2 6、及びバッファメモリ 2 7 を含む。

【 0 0 3 2 】

ホスト I / F 2 1 は、バス B 1 を介してホストデバイス H D に接続されるハードウェアインターフェースである。ホスト I / F 2 1 は、ホストデバイス H D とメモリコントローラ 2 0 との間のインターフェース規格に従った通信を行う。ホスト I / F 2 1 がサポートするインターフェース規格は、S A T A （Serial Advanced Technology Attachment）、P C I e ^{T M} （PCI Express）などである。

【 0 0 3 3 】

メモリ I / F 2 2 は、バス B 2 を介して不揮発性メモリ 1 0 に接続されるハードウェアインターフェースである。メモリ I / F 2 2 は、不揮発性メモリ 1 0 とメモリコントローラ 2 0 との間のインターフェース規格に従った通信を行う。メモリ I / F 2 2 がサポートするインターフェース規格は、例えば、N A N D インターフェース規格である。

【 0 0 3 4 】

C P U 2 3 は、プロセッサである。C P U 2 3 は、メモリコントローラ 2 0 の全体の動作を制御する。C P U 2 3 は、ホスト I / F 2 1 を介して受けたライト要求に従って、データの書き込みをメモリ I / F 2 2 を介して不揮発性メモリ 1 0 に指示する。C P U 2 3 は、ホスト I / F 2 1 を介して受けたリード要求に従って、データの読み出しをメモリ I / F 2 2 を介して不揮発性メモリ 1 0 に指示する。

【 0 0 3 5 】

E C C 回路 2 4 は、E C C 処理を実行する回路である。E C C 処理は、データの符号化及び復号化を含む。E C C 回路 2 4 は、不揮発性メモリ 1 0 に書き込むデータを符号化する。E C C 回路 2 4 は、不揮発性メモリ 1 0 から読み出されたデータを復号する。

10

20

30

40

50

【 0 0 3 6 】

R O M 2 5 は、不揮発性メモリである。R O M 2 5 は、例えば、E E P R O M ^{T M} (Electrically Erasable Programmable Read-Only Memory) である。R O M 2 5 は、ファームウェアなどのプログラムを記憶する。例えば、後述されるメモリコントローラ 2 0 の動作は、C P U 2 3 が R O M 2 5 のファームウェアを実行することにより実現される。

【 0 0 3 7 】

R A M 2 6 は、揮発性メモリである。R A M 2 6 は、例えば、D R A M (Dynamic Random Access Memory) や S R A M (Static Random Access Memory) である。R A M 2 6 は、C P U 2 3 の作業領域として使用される。R A M 2 6 は、論理アドレスと物理アドレスとを関連付けるルックアップテーブル (L U T) などの管理テーブルを記憶する。管理テーブルは、メモリシステム M S のシステムデータの種類である。L U T は、“アドレス変換テーブル”や、“論理アドレス / 物理アドレス変換テーブル”とよばれるもよい。

【 0 0 3 8 】

バッファメモリ 2 7 は、揮発性メモリである。バッファメモリ 2 7 は、D R A M (Dynamic Random Access Memory) や S R A M (Static Random Access Memory) などである。バッファメモリ 2 7 は、ホスト I / F 2 1 を介して受けたデータや、メモリ I / F 2 2 を介して受けたデータを一時的に記憶する。バッファメモリ 2 7 は、メモリコントローラ 2 0 に外部接続されてもよい。

【 0 0 3 9 】

(a - 2 - 3) 不揮発性メモリ 1 0 及びメモリコントローラ 2 0 の機能構成

図 4 は、本実施形態のメモリシステム M S における、不揮発性メモリ 1 0 及びメモリコントローラ 2 0 の機能構成の一例を示すブロック図である。

【 0 0 4 0 】

上述のように、不揮発性メモリ 1 0 は、複数のメモリパッケージ 1 0 0 を含む。複数のメモリパッケージ 1 0 0 のそれぞれは、チャンネル C h (C h 0 , C h 1 , . . .) を介して、メモリコントローラ 2 0 に接続される。或る個数 (例えば、2 つ) のメモリパッケージ 1 0 0 が、1 つのチャンネル C h に接続される。複数のチャンネル C h の集合が、バス B 2 である。

【 0 0 4 1 】

各メモリパッケージ 1 0 0 は、複数のメモリダイ 1 1 0 および N A N D 制御部 1 9 0 を含む。1 つのメモリパッケージは、例えば、2 つのメモリダイ 1 1 0 を含む。但し、メモリパッケージ 1 0 0 が含むメモリダイ 1 1 0 の数は、3 以上でもよい。

【 0 0 4 2 】

各メモリダイ 1 1 0 は、複数のプレーン P L N を含む。1 つのメモリダイ 1 1 0 は、例えば、2 つのプレーン P L N を含む。但し、メモリダイ 1 1 0 のプレーン P L N の数は、3 以上でもよい。プレーン P L N のそれぞれは、互いに独立に、コマンドに応じた動作シーケンスを実行する。

【 0 0 4 3 】

N A N D 制御部 1 9 0 は、複数のメモリダイ 1 1 0 の制御回路 1 3 0 の集合を示す機能ブロックである。N A N D 制御部 1 9 0 は、メモリパッケージ 1 0 0 の複数のプレーン P L N の各種の動作を制御する。N A N D 制御部 1 9 0 は、リード動作において、プレーン P L N から読み出されたデータを、メモリコントローラ 2 0 に送る。N A N D 制御部 1 9 0 は、ライト動作において、不揮発性メモリ 1 0 に書き込まれるデータを、プレーン P L N に送る。

【 0 0 4 4 】

メモリコントローラ 2 0 は、コマンド生成部 2 1 0、及び複数のチャンネル制御部 2 2 0 を含む。

【 0 0 4 5 】

10

20

30

40

50

コマンド生成部 210 は、コマンドを生成する機能ブロックである。

【0046】

チャネル制御部 220 のそれぞれは、複数のチャネル C h のうち対応する 1 つを制御する機能ブロックである。

【0047】

チャネル制御部 220 は、リード発行部 221、リード期間終了検出部 222、及びデータ転送制御部 223 を含む。

【0048】

リード発行部 221 は、コマンドに基づいて、チャネル C h に属する複数のメモリパッケージ 100 のそれぞれに、リードコマンドを発行する。

10

【0049】

リード期間終了検出部 222 は、複数のプレーン P L N の中からリード期間が終了したプレーン P L N を検出する。リード期間は、プレーン P L N のリード動作が開始されてから完了するまでの期間である。リード期間が終了したプレーン P L N は、リード動作におけるデータ転送が可能なプレーン P L N、或いは、データ転送の指示を待っているプレーン P L N である。例えば、リード期間終了検出部 222 は、各種の機能に基づいて、N A N D 制御部 190 を介して、メモリパッケージ 100 の動作状態、メモリダイ 110 の動作状態、及びプレーン P L N の動作状態を、モニタできる。リード期間終了検出部 222 は、モニタ結果に基づいて、リード期間が終了したプレーン（データ転送が可能なプレーン）P L N を検出する。例えば、リード期間終了検出部 222 は、リード期間が終了した

20

【0050】

データ転送制御部（データアウト制御部ともよばれる）223 は、ラウンドロビン処理によって、各メモリパッケージ 100 のプレーン P L N から読み出されたデータの転送（データの出力）の順序を制御する。データ転送制御部 223 は、データ転送の可能な複数のプレーン P L N の中から次のサイクルにおいてデータ転送を実行するプレーン P L N を選択する時、現在データ転送中のプレーン P L N が属するメモリパッケージ 100（又はメモリダイ 110）と異なるメモリパッケージ 100（又はメモリダイ 110）に属するプレーン P L N を、ラウンドロビン処理によって、優先的に選択する。データ転送制御部 223 は、例えば、ソフトウェア、ハードウェア、又は、ソフトウェアとハードウェアと

30

【0051】

データ転送制御部 223 は、階層型状態記憶部 30、及び階層型ラウンドロビンスケジューラ 40 を含む。

【0052】

階層型状態記憶部 30 は、複数のメモリパッケージ 100 を含む階層、複数のメモリダイ 110 を含む階層、及び複数のプレーン P L N を含む階層のそれぞれにおける、各階層のデータ転送に関する各種の情報を記憶する。例えば、階層型状態記憶部 30 は、リード期間終了検出部 222 からの通知に基づいて、各メモリパッケージ 100 のリード期間の終了の状態（データ転送の可否、データ転送待ち）、各メモリダイ 110 のリード期間の終了の状態、及びプレーン P L N のリード期間の終了の状態を、記憶する。ここで、リード動作の終了の状態は、リード期間が終了したか否かに応じて、プレーンから読み出されたデータを、メモリコントローラ 20 に転送可能な状態を示す。また、階層型状態記憶部 30 は、記憶している情報を、チャネル制御部 220 及び / 又は階層型ラウンドロビンスケジューラ 40 に送ることができる。

40

【0053】

階層型ラウンドロビンスケジューラ（ラウンドロビン制御部ともよばれる）40 は、ラウンドロビン処理のための各種の処理の実行タイミング、各種の動作の実行期間、及び各種の設定を、制御する。例えば、階層型ラウンドロビンスケジューラ 40 は、階層型状態記憶部 30 の情報に基づいて、データ転送の可能なメモリパッケージ 100、データ転送

50

の可能なメモリダイ 1 1 0、及びデータ転送の可能なプレーン P L N を階層的に探索する。階層型ラウンドロビンスケジューラ 4 0 は、ラウンドロビン処理による探索結果に基づいて、データ転送を可能なプレーン P L N を、検知する。階層型ラウンドロビンスケジューラ 4 0 は、検知結果に基づいて、データ転送を実行するプレーン P L N を選択する。階層型ラウンドロビンスケジューラ 4 0 は、選択されたプレーン P L N からのデータ転送を、制御する。

【 0 0 5 4 】

階層型状態記憶部 3 0 は、レジスタ領域 3 0 0 及び論理演算部 3 9 0 を含む。

【 0 0 5 5 】

レジスタ領域 3 0 0 は、情報を記憶する。

10

【 0 0 5 6 】

論理演算部 3 9 0 は、レジスタ 3 2 2 , 3 3 2 の値の論理演算（例えば、O R 演算）を実行する。論理演算部 3 9 0 は、データ転送制御部 2 2 3 の構成要素として、階層型状態記憶部 3 0 の外部に設けられてもよい。

【 0 0 5 7 】

レジスタ領域 3 0 0 は、チャネル対応部 3 1 0 を含む。

【 0 0 5 8 】

チャネル対応部 3 1 0 は、不揮発性メモリ 1 0 とメモリコントローラ 2 0 との間の対応するチャネル C h に対して設けられている。チャネル対応部 3 1 0 は、ラウンドロビン処理における、対応するチャネル C h の複数のメモリパッケージ 1 0 0 のデータ転送可能状態に関する情報を記憶する。

20

【 0 0 5 9 】

チャネル対応部 3 1 0 は、レジスタ 3 1 1、複数のレジスタ 3 1 2 及び複数のメモリパッケージ対応部 3 2 0 を含む。

【 0 0 6 0 】

レジスタ 3 1 1 は、対応するチャネル C h のメモリパッケージ 1 0 0 の階層において、複数のメモリパッケージ 1 0 0 のうちどのメモリパッケージ 1 0 0 が、ラウンドロビン処理におけるモニタ対象のメモリパッケージ 1 0 0 であるかを示す情報（例えば、メモリパッケージ 1 0 0 の識別番号又はアドレス値）を、記憶する。

【 0 0 6 1 】

30

複数のレジスタ 3 1 2 のそれぞれは、メモリパッケージ 1 0 0 の階層において、対応するメモリパッケージ 1 0 0 がリード期間を終了しているか否か（データ転送を可能であるか否か）を示す情報を、記憶する。

【 0 0 6 2 】

例えば、或るメモリパッケージ 1 0 0 が、データ転送を不可能な状態である場合（メモリパッケージ 1 0 0 の複数のメモリダイ 1 1 0 が、リード期間が終了したプレーン P L N を含まない状態である場合）、そのメモリパッケージ 1 0 0 に対応するレジスタ 3 1 2 は、第 1 の値（N）を記憶する。第 1 の値は、例えば、1 ビットのデータである。1 ビットのデータは、“ 0 ” データ又は“ 1 ” データを意味する。

【 0 0 6 3 】

40

また、例えば、或るメモリパッケージ 1 0 0 が、データ転送を可能な状態である場合（メモリパッケージ 1 0 0 の少なくとも 1 つのメモリダイ 1 1 0 が、リード期間が終了したプレーン P L N を含む状態である場合）、そのメモリパッケージ 1 0 0 に対応するレジスタ 3 1 2 は、第 1 の値と異なる第 2 の値（Y）を記憶する。第 2 の値は、例えば、1 ビットのデータである。1 ビットのデータは、“ 0 ” データ又は“ 1 ” データを意味する。

【 0 0 6 4 】

さらに、例えば、或るメモリパッケージ 1 0 0 に関するレジスタ 3 1 2 の値は、そのメモリパッケージ 1 0 0 に属するメモリダイ 1 1 0 に関する複数のレジスタ 3 2 2 の値の論理演算の結果に基づいて、決定される。複数のレジスタ 3 2 2 の値に対して実行される論理演算は、例えば、論理和演算（O R 演算）である。

50

【 0 0 6 5 】

複数のメモリパッケージ対応部 3 2 0 は、チャンネル C h に属する複数のメモリパッケージ 1 0 0 にそれぞれ対応する。複数のメモリパッケージ対応部 3 2 0 のそれぞれは、ラウンドロビン処理における、対応するメモリパッケージ 1 0 0 の複数のメモリダイ 1 1 0 のデータ転送可能状態に関する情報を記憶する。

【 0 0 6 6 】

各メモリパッケージ対応部 3 2 0 は、レジスタ 3 2 1 及び複数のレジスタ 3 2 2 を含む。

【 0 0 6 7 】

レジスタ 3 2 1 は、対応するメモリパッケージ 1 0 0 のメモリダイ 1 1 0 の階層において、複数のメモリダイ 1 1 0 のうちのメモリダイ 1 1 0 が、ラウンドロビン処理におけるモニタ対象のメモリダイ 1 1 0 であるかを示す情報（例えば、メモリダイ 1 1 0 の識別番号又はアドレス値）を、記憶する。 10

【 0 0 6 8 】

複数のレジスタ 3 2 2 のそれぞれは、メモリダイ 1 1 0 の階層において、対応するメモリダイ 1 1 0 がリード期間を終了しているか否かを示す情報を、記憶する。

【 0 0 6 9 】

例えば、或るメモリダイ 1 1 0 が、データ転送を不可能な状態である場合（リード期間が終了したプレーン P L N を含まない状態である場合）、そのメモリダイ 1 1 0 に対応するレジスタ 3 2 2 は、第 3 の値（N）を記憶する。第 3 の値は、例えば、1 ビットのデータである。 20

【 0 0 7 0 】

また、例えば、或るメモリダイ 1 1 0 が、データ転送を可能な状態である場合（リード期間が終了したプレーン P L N を含む状態である場合）、そのメモリダイ 1 1 0 に対応するレジスタ 3 2 2 は、第 3 の値と異なる第 4 の値（Y）を記憶する。第 4 の値は、例えば、1 ビットのデータである。

【 0 0 7 1 】

さらに、例えば、或るメモリダイ 1 1 0 に関するレジスタ 3 2 2 の値は、そのメモリダイ 1 1 0 に属するプレーン P L N に関する複数のレジスタ 3 3 2 の値の論理演算の結果に基づいて、決定される。複数のレジスタ 3 3 2 の値に対して実行される論理演算は、例えば、論理和演算（O R 演算）である。 30

【 0 0 7 2 】

各メモリパッケージ対応部 3 2 0 は、複数のメモリダイ対応部 3 3 0 を含む。

【 0 0 7 3 】

複数のメモリダイ対応部 3 3 0 は、メモリパッケージ 1 0 0 に属する複数のメモリダイ 1 1 0 にそれぞれ対応する。複数のメモリダイ対応部 3 3 0 のそれぞれは、ラウンドロビン処理における、対応するメモリダイ 1 1 0 の複数のプレーン P L N のデータ転送可能状態に関する情報を記憶する。

【 0 0 7 4 】

各メモリダイ対応部 3 3 0 は、レジスタ 3 3 1 及び複数のレジスタ 3 3 2 を含む。 40

【 0 0 7 5 】

レジスタ 3 3 1 は、対応するメモリダイ 1 1 0 のプレーン P L N の階層において、複数のプレーン P L N のうちのプレーン P L N が、ラウンドロビン処理におけるモニタ対象のプレーン P L N であるかを示す情報（例えば、プレーン P L N の識別番号又はアドレス値）を、記憶する。

【 0 0 7 6 】

複数のレジスタ 3 3 2 のそれぞれは、プレーン P L N の階層において、対応するプレーン P L N がリード期間を終了しているか否かを示す情報を、記憶する。

【 0 0 7 7 】

例えば、或るプレーン P L N が、データ転送を不可能な状態である場合（リード期間が 50

終了していない状態である場合)そのプレーン P L N に対応するレジスタ 3 3 2 は、第 5 の値 (N) を記憶する。第 5 の値は、例えば、1 ビットのデータである。

【 0 0 7 8 】

また、例えば、或るプレーン P L N が、データ転送を可能な状態である場合 (リード期間が終了している状態である場合)、そのプレーン P L N に対応するレジスタ 3 3 2 は、第 5 の値と異なる第 6 の値 (Y) を記憶する。第 6 の値は、例えば、1 ビットのデータである。

【 0 0 7 9 】

さらに、例えば、或るプレーン P L N のリード期間 (t R) が終了した場合、そのプレーン P L N に対応するレジスタ 3 3 2 の値は、第 5 の値から第 6 の値へ変わる。レジスタ 3 3 2 が第 6 の値を有している場合、そのレジスタ 3 3 2 に対応するプレーン P L N は、データ転送を待っている状態 (データ転送を可能である状態) を示す。データ転送可能なプレーン P L N のデータ転送が完了した場合、そのプレーン P L N に対応するレジスタ 3 3 2 の値は、第 6 の値から第 5 の値へ変わる。

【 0 0 8 0 】

(b) 動作

図 5 は、第 1 の実施形態のメモリシステム M S の動作を示すフローチャートである。

【 0 0 8 1 】

メモリコントローラ 2 0 は、不揮発性メモリ 1 0 からの複数のデータ転送のために、ラウンドロビン処理を実行する。

【 0 0 8 2 】

メモリコントローラ 2 0 のデータ転送制御部 2 2 3 は、複数のメモリパッケージ 1 0 0 のリード期間の終了の状態 (データ転送の可否)、複数のメモリダイ 1 1 0 のリード期間の終了の状態、及び複数のプレーン P L N のリード期間の終了の状態を、階層型状態記憶部 3 0 の情報 (データ) に基づいて、階層型ラウンドロビンスケジューラ 4 0 によって、対応するメモリパッケージ 1 0 0 のメモリ空間を階層的にモニタする。

【 0 0 8 3 】

ここでは、1 つのチャネル C h (例えば、チャネル C h < 0 >) に関するチャネル制御部 2 2 0 及びメモリパッケージ 1 0 0 のラウンドロビン処理及びデータ転送について、説明する。

【 0 0 8 4 】

データ転送の開始のタイミング又は或るプレーン P L N からのデータ転送中において、階層型ラウンドロビンスケジューラ 4 0 は、レジスタ 3 1 1 に記憶された識別番号に対応するメモリパッケージ 1 0 0 を対象に決定する (S 1)。レジスタ 3 1 1 に識別番号が記憶されていない場合、階層型ラウンドロビンスケジューラ 4 0 は、チャネル C h < 0 > に属する或る識別番号 (i 番) のメモリパッケージ 1 0 0 を対象に決定する。i は、0 以上の整数である。例えば、或るメモリパッケージ 1 0 0 のデータ転送が実行中である場合、データ転送を実行中のメモリパッケージ 1 0 0 と異なるメモリパッケージ 1 0 0 が、対象となる。レジスタ 3 1 1 に識別番号が記憶されていない場合、階層型ラウンドロビンスケジューラ 4 0 は、対象のメモリパッケージ 1 0 0 の識別番号を、レジスタ 3 1 1 に記憶させる。

【 0 0 8 5 】

階層型ラウンドロビンスケジューラ 4 0 は、対象のメモリパッケージ 1 0 0 が、データ転送を可能な状態であるか否か、判断する (S 2)。対象のメモリパッケージ 1 0 0 がデータ転送を可能な状態であるか否かの情報は、対応するレジスタ 3 1 2 に記憶される。

【 0 0 8 6 】

対象のメモリパッケージ 1 0 0 が、データ転送を可能な状態でない場合 (S 2 N O)、階層型ラウンドロビンスケジューラ 4 0 は、レジスタ 3 1 1 の値を、インクリメント (1 の加算) 又はデクリメント (1 の減算) する (S 3)。これによって、階層型ラウンドロビンスケジューラ 4 0 は、レジスタ 3 1 1 の値を変える。その後、階層型ラウンドロビ

10

20

30

40

50

ンスケジューラ 40 は、S 1 の処理を行う。

【0087】

対象のメモリパッケージ 100 が、データ転送を可能な状態である場合 (S 2 YES)、階層型ラウンドロビンスケジューラ 40 は、対象のメモリパッケージ 100 に属する複数のメモリダイ 110 のうち、レジスタ 321 に記憶された識別番号に対応するメモリダイ 110 を対象に決定する (S 4)。レジスタ 321 に識別番号が記憶されていない場合、階層型ラウンドロビンスケジューラ 40 は、或る識別番号 (j 番目) のメモリダイ 110 を対象に決定する。j は、0 以上の整数である。レジスタ 321 に識別番号が記憶されていない場合、階層型ラウンドロビンスケジューラ 40 は、対象のメモリダイ 110 の識別番号を、レジスタ 321 に記憶させる。

10

【0088】

階層型ラウンドロビンスケジューラ 40 は、対象のメモリダイ 110 が、データ転送を可能な状態であるか否か、判断する (S 5)。対象のメモリダイ 110 がデータ転送を可能な状態であるか否かの情報は、対応するレジスタ 322 に記憶される。

【0089】

対象のメモリダイ 110 が、データ転送を可能な状態でない場合 (S 5 NO)、階層型ラウンドロビンスケジューラ 40 は、レジスタ 321 の値を、インクリメント又はデクリメントする (S 6)。これによって、階層型ラウンドロビンスケジューラ 40 は、レジスタ 321 の値を変える。その後、階層型ラウンドロビンスケジューラ 40 は、S 4 の処理を行う。

20

【0090】

対象のメモリダイ 110 が、データ転送を可能な状態である場合 (S 5 YES)、階層型ラウンドロビンスケジューラ 40 は、対象のメモリダイ 110 を選択した後に、レジスタ 321 の値を、インクリメント又はデクリメントする (S 7)。このように、階層型ラウンドロビンスケジューラ 40 は、レジスタ 321 の値を変える。これによって、複数のリード動作が連続して実行される状況下にあっても、同じ識別番号を有するメモリダイ 110 が連続して選択されるのを、抑制できる。

【0091】

階層型ラウンドロビンスケジューラ 40 は、選択したメモリダイ 110 に属する複数のプレーン P L N のうち、レジスタ 331 に記憶された識別情報に対応するプレーン P L N を対象に決定する (S 8)。レジスタ 331 に識別情報が記憶されていない場合、階層型ラウンドロビンスケジューラ 40 は、或る識別番号 (k 番目) のプレーン P L N を対象に決定する。k は、0 以上の整数である。レジスタ 331 に識別情報が記憶されていない場合、階層型ラウンドロビンスケジューラ 40 は、対象のプレーン P L N の識別番号を、レジスタ 331 に記憶させる。

30

【0092】

階層型ラウンドロビンスケジューラ 40 は、対象のプレーン P L N が、データ転送を可能な状態であるか否か、判断する (S 9)。対象のプレーン P L N がデータ転送を可能な状態であるか否かの情報は、対応するレジスタ 332 に記憶される。

【0093】

対象のプレーン P L N が、データ転送を可能な状態でない場合 (S 9 NO)、階層型ラウンドロビンスケジューラ 40 は、レジスタ 331 の値を、インクリメント又はデクリメントする (S 10)。これによって、階層型ラウンドロビンスケジューラ 40 は、レジスタ 331 の値を変える。その後、階層型ラウンドロビンスケジューラ 40 は、S 8 の処理を行う。

40

【0094】

対象のプレーン P L N が、データ転送を可能な状態である場合 (S 9 YES)、階層型ラウンドロビンスケジューラ 40 は、対象のプレーン P L N を、データ転送の対象のプレーン P L N に決定する (S 11)。階層型ラウンドロビンスケジューラ 40 は、データ転送の対象のプレーン P L N を決定した後に、レジスタ 331 の値を変更してもよい。こ

50

れによって、複数のリード動作が連続して実行される状況下にあっても、同じ識別番号を有するプレーン P L N が連続して選択されるのを、抑制できる。

【 0 0 9 5 】

階層型ラウンドロビンスケジューラ 4 0 は、決定したデータ転送の対象のプレーン P L N に対するデータ転送を、データ転送制御部 2 2 3 に指示する (S 1 2) 。

【 0 0 9 6 】

データ転送を指示されると、データ転送制御部 2 2 3 は、不揮発性メモリ 1 0 に、データ転送の対象のプレーン P L N のデータを、メモリコントローラ 2 0 へ出力させる (S 1 3) 。データは、N A N D 制御部 1 9 0 及びチャネル C h を介して、メモリコントローラ 2 0 に出力される。データ転送の対象のプレーン P L N のデータ転送が完了した後、データ転送の対象のプレーン P L N に対応するレジスタ 3 3 2 には、データ転送を不可能な状態を示す情報が記憶される。

10

【 0 0 9 7 】

データ転送の対象のプレーン P L N のデータ転送が完了した後、階層型ラウンドロビンスケジューラ 4 0 は、全てのリードコマンドに対応するデータの転送が完了した否か、確認する (S 1 4) 。

【 0 0 9 8 】

全てのリードコマンドに対するデータの転送が完了していない場合 (S 1 3 N O) 、階層型ラウンドロビンスケジューラ 4 0 は、レジスタ 3 1 1 の値を、インクリメント又はデクリメントする (S 1 5) 。その後、階層型ラウンドロビンスケジューラ 4 0 は、S 1

20

【 0 0 9 9 】

全てのリードコマンドに対するデータの転送が完了している場合 (S 1 3 Y E S) 、メモリコントローラ 2 0 は、図 5 に示す一連の処理を、終了する (終了) 。

【 0 1 0 0 】

図 6 は、本実施形態のメモリシステム M S における、データ転送の順序の制御にラウンドロビン処理を用いたデータ転送処理を、模式的に示す図である。図 6 において、2つのメモリパッケージ 1 0 0 が並列にデータ転送を実行する例が示されている。図 6 において、“ (1) , (2) , (3) , . . . , (1 5) , (1 6) ” は、リード期間の終了の順序を示している。

30

【 0 1 0 1 】

ラウンドロビン処理によるデータ転送の順序の制御によって、複数のメモリパッケージ 1 0 0 のそれぞれから、データ (複数のデータアイテム) が、チャネル C h (バス B 2) に出力される。

【 0 1 0 2 】

本実施形態において、或るメモリパッケージ 1 0 0 のプレーン P L N の先行するデータ転送が完了する時点において、データ転送が可能な 1 以上のプレーン P L N の中から、先行するデータ転送を実行するメモリパッケージ 1 0 0 と異なるメモリパッケージ 1 0 0 のプレーン P L N が、選択される。

【 0 1 0 3 】

それゆえ、本実施形態において、各メモリパッケージ 1 0 0 内のデータのリード期間 t_R の終了の順に依存せずに、リード期間 t_R が終了したプレーン P L N のデータ転送が、2つのメモリパッケージ 1 0 0 から交互に実行される。連続する2つのデータ転送が、互いに異なるメモリパッケージ 1 0 0 において実行される場合、データ出力待ち時間 t_{WHR2} は、発生しない。

40

【 0 1 0 4 】

この結果として、本実施形態のメモリシステム M S は、データ転送間の待ち時間 t_{WHR2} の発生を抑制できる。

【 0 1 0 5 】

それゆえ、本実施形態のメモリシステム M S は、複数のデータ転送の完了までの期間を

50

短縮できる。

【 0 1 0 6 】

1つのメモリパッケージ100の複数のメモリダイ110が、ラウンドロビン処理によって設定された順序に基づくデータ転送によって、並列にデータを転送する場合、先行するデータ転送を実行するメモリダイ110と異なるメモリダイ110のプレーンPLNが、次のデータ転送の対象として選択される。或るメモリダイ110の先行のデータ転送の完了の後、異なるメモリダイ110のデータ転送が、選択されたプレーンPLNによって実行される。

【 0 1 0 7 】

(c) 効果

10

第1の実施形態のメモリシステムMSは、メモリパッケージ100毎及びメモリダイ110毎に、前回のサイクルのデータ転送に続くデータ転送の対象となるメモリパッケージ100、メモリダイ110及びプレーンPLNを、ラウンドロビン処理によって、巡回して探索する。これによって、第1の実施形態のメモリシステムMSは、データ転送を実行可能なプレーンPLNが、一定の巡回の回数の中にデータ転送の対象として選択することを、保証できる。したがって、第1の実施形態のメモリシステムMSは、データ転送のレイテンシの上限を保証できる。

【 0 1 0 8 】

(d) まとめ

20

ラウンドロビン処理によって、データの転送可能な単位が、メモリパッケージ100、メモリダイ110及びプレーンPLNの順に階層的に探索される場合、異なる識別番号を有する複数のメモリパッケージ100及び/又は異なる識別番号を有するメモリダイ110が、データ転送の対象として、順次(交互に)選択される傾向を有する。それゆえ、同じ識別番号を有するメモリパッケージ100及び/又は同じ識別番号を有するメモリダイ110からの連続したデータ転送は、比較的回避され得る。この結果として、第1の実施形態のメモリシステムMSにおいて、複数のデータ転送間の待ち時間の発生が、抑制される。したがって、第1の実施形態のメモリシステムMSは、データ転送のための時間を、短縮できる。第1の実施形態のメモリシステムMSは、データ転送を効率化できる。第1の実施形態のメモリシステムMSは、メモリシステムの性能を向上できる。

【 0 1 0 9 】

30

(2) 第2の実施形態

(a) 構成

図7は、第2の実施形態に係るメモリシステムMSの構成を模式的に示す図である。

【 0 1 1 0 】

第2の実施形態において、インデックス(識別番号)Idxが、データ出力の対象の最小単位のそれぞれに割り当てられる。例えば、不揮発性メモリ10に含まれる複数のプレーンPLNのそれぞれが、データ出力の対象の最小単位である。

【 0 1 1 1 】

図7の例において、不揮発性メモリ10において、1つのチャンネルChに、2つのメモリパッケージ100が属する。1つのメモリパッケージ100は、2つのメモリダイ110を含む。1つのメモリダイ110は、2つのプレーンPLNを含む。

40

【 0 1 1 2 】

この場合において、以下のように、インデックスIdxは、データ転送単位である複数のプレーンPLNのそれぞれに対して、割り当てられる。

【 0 1 1 3 】

“0”のインデックスIdxが、“0”の識別番号のメモリパッケージ100及び“0”の識別番号のメモリダイ110に属する“0”のプレーンPLNに、割り当てられる。

【 0 1 1 4 】

“1”のインデックスIdxが、“1”の識別番号のメモリパッケージ100及び“0”の識別番号のメモリダイ110に属する“0”のプレーンPLNに、割り当てられる。

50

【 0 1 1 5 】

“ 2 ” のインデックス $I d x$ が、“ 0 ” の識別番号のメモリパッケージ 1 0 0 及び “ 1 ” の識別番号のメモリダイ 1 1 0 に属する “ 0 ” のプレーン $P L N$ に、割り当てられる。

【 0 1 1 6 】

“ 3 ” のインデックス $I d x$ が、“ 1 ” の識別番号のメモリパッケージ 1 0 0 及び “ 1 ” の識別番号のメモリダイ 1 1 0 に属する “ 0 ” のプレーン $P L N$ に、割り当てられる。

【 0 1 1 7 】

“ 4 ” のインデックス $I d x$ が、“ 0 ” の識別番号のメモリパッケージ 1 0 0 及び “ 0 ” の識別番号のメモリダイ 1 1 0 に属する “ 1 ” のプレーン $P L N$ に、割り当てられる。

【 0 1 1 8 】

“ 5 ” のインデックス $I d x$ が、“ 1 ” の識別番号のメモリパッケージ 1 0 0 及び “ 0 ” の識別番号のメモリダイ 1 1 0 に属する “ 1 ” のプレーン $P L N$ に、割り当てられる。

【 0 1 1 9 】

“ 6 ” のインデックス $I d x$ が、“ 0 ” の識別番号のメモリパッケージ 1 0 0 及び “ 1 ” の識別番号のメモリダイ 1 1 0 に属する “ 1 ” のプレーン $P L N$ に、割り当てられる。

【 0 1 2 0 】

“ 7 ” のインデックス $I d x$ が、“ 1 ” の識別番号のメモリパッケージ 1 0 0 及び “ 1 ” の識別番号のメモリダイ 1 1 0 に属する “ 1 ” のプレーン $P L N$ に、割り当てられる。

【 0 1 2 1 】

隣り合う 2 つのインデックス $I d x$ のそれぞれは、互いに異なる識別番号のメモリパッケージ 1 0 0 に関連付けられている。 20

【 0 1 2 2 】

例えば、複数のインデックス $I d x$ の配列は、プレーン $P L N$ の番号が最上位の桁、メモリパッケージ 1 0 0 の番号が最下位の桁、メモリダイ 1 1 0 の番号がプレーン $P L N$ の番号の桁とメモリパッケージ 1 0 0 の番号の桁との間の桁とした数値に基づいて、設定される。

【 0 1 2 3 】

このように、1 つのメモリパッケージ 1 0 0 内のプレーン $P L N$ の数に応じて、8 つのインデックス $I d x$ が、データ転送に関するラウンドロビン処理のために、設定される。

【 0 1 2 4 】

本実施形態において、データ転送制御部 2 2 3 は、一次元型状態記憶部 5 0 及び一次元型ラウンドロビンスケジューラ 6 0 を含む。 30

【 0 1 2 5 】

一次元型状態記憶部 5 0 は、レジスタ領域 5 0 0 を含む。レジスタ領域 5 0 0 は、複数のレジスタ 5 0 1 , 5 0 2 を含む。レジスタ 5 0 1 は、モニタ対象のインデックス $I d x$ の値 (m) を、記憶する。 m は、0 以上の整数である。

【 0 1 2 6 】

複数のレジスタ 5 0 2 のそれぞれは、対応するインデックス $I d x$ に対応するプレーン $P L N$ がデータの転送を可能であるか否かの状態を示す値を、記憶する。レジスタ 5 0 2 の値は、例えば、リード期間終了検出部 2 2 2 によって、制御される。 40

【 0 1 2 7 】

レジスタ 5 0 2 は、対応するインデックス $I d x$ のプレーン $P L N$ のリード期間が終了していない状態（データ転送が可能でない状態）である場合、第 7 の値 (N) を記憶する。第 7 の値は、1 ビットのデータ（“ 0 ” データ又は “ 1 ” データ）である。

【 0 1 2 8 】

レジスタ 5 0 2 は、対応するインデックス $I d x$ のプレーン $P L N$ のリード期間が終了している状態（データ転送が可能な状態、データ転送が待機の状態）である場合、第 7 の値と異なる第 8 の値 (Y) を記憶する。第 8 の値は、1 ビットのデータ（“ 0 ” データ又は “ 1 ” データ）である。

【 0 1 2 9 】

一次元型ラウンドロビンスケジューラ（ラウンドロビン制御部）60は、モニタ対象のインデックス I d x の値を、レジスタ 501 に設定する。

【0130】

一次元型ラウンドロビンスケジューラ60は、複数のレジスタ502の値に基づいて、モニタ対象のインデックス I d x に対応するプレーン P L N がデータ転送を可能であるか否か、モニタする。

【0131】

例えば、一次元型ラウンドロビンスケジューラ60は、不揮発性メモリ10の各プレーンからのデータ転送を制御できる。

【0132】

（b）動作

図8は、第2の実施形態に係るメモリシステムMSの動作を示すフローチャートである。

【0133】

データ転送の開始のタイミング又は或るプレーン P L N からのデータ転送中、一次元型ラウンドロビンスケジューラ60は、レジスタ501に記憶された識別番号に対応するインデックス I d x のプレーン P L N を対象に決定する（S21）。

【0134】

一次元型ラウンドロビンスケジューラ60は、対象のプレーン P L N が、データ転送可能であるか否か、判断する（S22）。

【0135】

対象のプレーン P L N が、データ転送可能でない場合（S22 NO）、一次元型ラウンドロビンスケジューラ60は、レジスタ501の値を、インクリメント又はデクリメントによって、変える（S23）。その後、一次元型ラウンドロビンスケジューラ60は、S21の処理を行う。

【0136】

対象のプレーン P L N が、データ転送可能である場合（S22 YES）、一次元型ラウンドロビンスケジューラ60は、対象のプレーン P L N を、データ転送の対象のプレーン P L N に決定する（S24）。

【0137】

一次元型ラウンドロビンスケジューラ60は、決定したデータ転送の対象のプレーン P L N のデータ転送を、データ転送制御部223に指示する（S25）。

【0138】

データ転送が指示されると、データ転送制御部223は、不揮発性メモリ10に、データ転送の対象のプレーン P L N のデータを、メモリコントローラ20へ出力させる（S26）。

【0139】

データ転送の対象のプレーン P L N のデータ転送が完了した後、一次元型ラウンドロビンスケジューラ60は、全てのリードコマンドに対するデータの転送が完了しているか否か、確認する（S27）。

【0140】

全てのリードコマンドに対するデータの転送が完了していない場合（S27 NO）、一次元型ラウンドロビンスケジューラ60は、レジスタ501の値を、変える（S28）。その後、一次元型ラウンドロビンスケジューラ60は、S21の処理を行う。

【0141】

全てのリードコマンドに対するデータの転送が完了している場合（S27 YES）、メモリコントローラ20は、図8に示される一連の処理を、終了する（終了）。

【0142】

（c）まとめ

第2の実施形態のメモリシステムMSにおいて、不揮発性メモリ10のデータ転送は、

10

20

30

40

50

それぞれ異なるインデックス I d x が割り当てられたプレーン P L N の単位で、管理される。これによって、第 2 の実施形態のメモリシステム M S は、不揮発性メモリ 1 0 からの複数のデータ転送の順序を、比較的容易に制御できる。

【 0 1 4 3 】

第 2 の実施形態のメモリシステム M S において、複数のプレーン P L N は、インデックス I d x の数に応じた或るサイクルで、探索される。したがって、第 2 の実施形態において、複数のプレーン P L N のそれぞれは、データの転送対象として、確実に選択され得る。したがって、第 2 の実施形態のメモリシステム M S は、データ転送のレイテンシの上限を保証できる。

【 0 1 4 4 】

第 2 の実施形態のメモリシステム M S は、ラウンドロビン処理による探索の階層の一次元化によって、モニタ対象の識別番号を記憶するレジスタ 5 0 1 の数を、削減できる。この結果として、第 2 の実施形態において、状態記憶部 5 0 のレジスタ領域 5 0 0 のサイズが、縮小され得る。

【 0 1 4 5 】

第 2 の実施形態のメモリシステム M S は、第 1 の実施形態と実質的に同じ効果を得ることができる。第 2 の実施形態のメモリシステム M S は、データ転送のための時間を、短縮できる。第 2 の実施形態のメモリシステム M S は、メモリシステムの性能を向上できる。

【 0 1 4 6 】

(3) その他

実施形態は例示であり、発明の範囲はそれらに限定されない。

【 符号の説明 】

【 0 1 4 7 】

1 ... 情報処理システム
H D ... ホストデバイス
M S ... メモリシステム
1 0 0 ... メモリパッケージ
1 1 0 ... メモリダイ
P L N ... プレーン
2 2 2 ... リード期間終了検出部
2 2 3 ... データ転送制御部
3 0 ... 階層型状態記憶部
3 1 1 , 3 1 2 , 3 2 1 , 3 2 2 , 3 3 1 , 3 3 2 ... レジスタ
4 0 ... 階層型ラウンドロビンスケジューラ
5 0 ... 一次元型状態記憶部
5 0 1 , 5 0 2 ... レジスタ
6 0 ... 一次元型ラウンドロビンスケジューラ

10

20

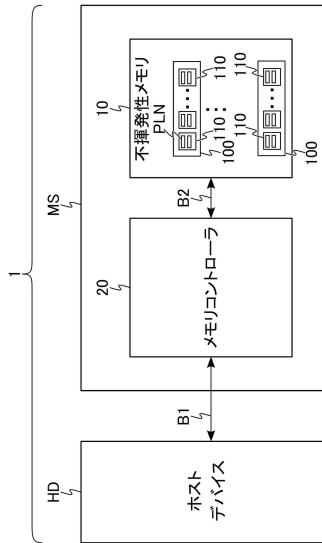
30

40

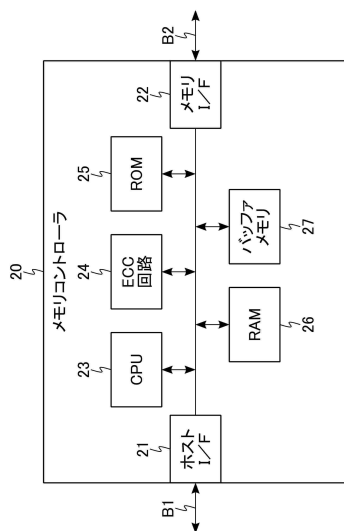
50

【 図 面 】

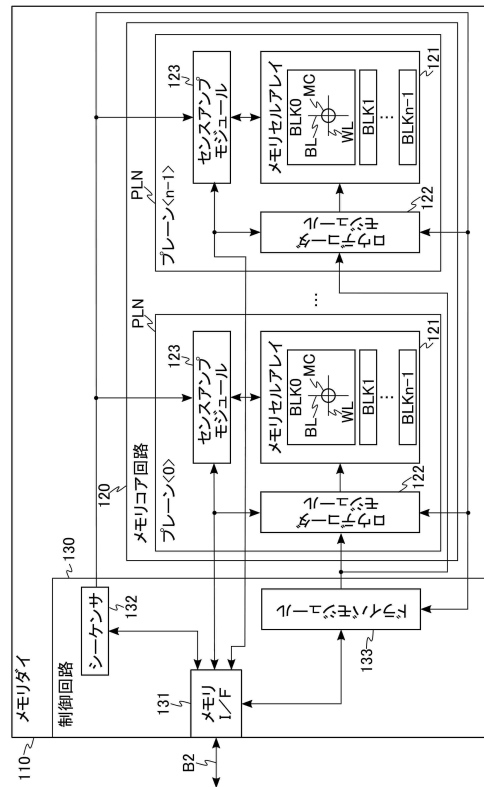
【 図 1 】



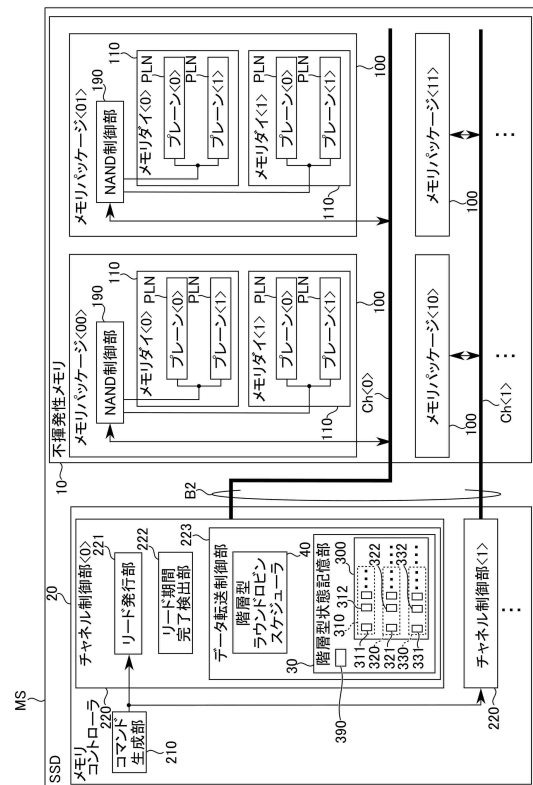
【 図 3 】



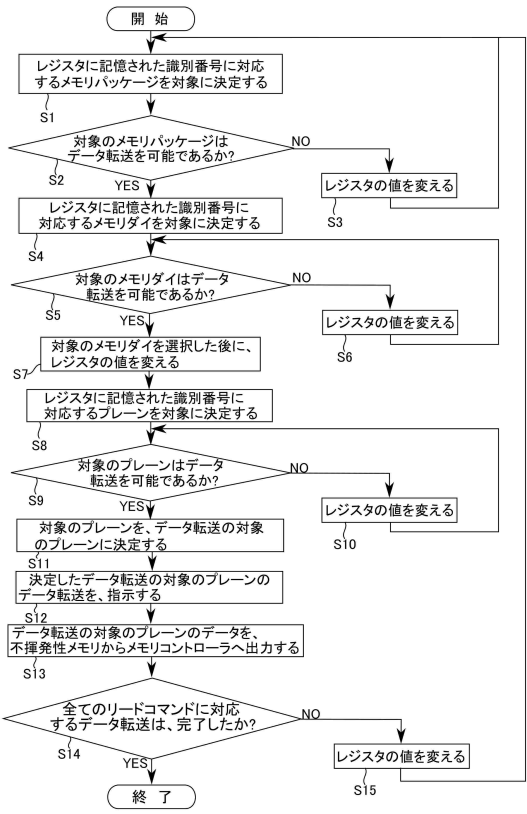
【 図 2 】



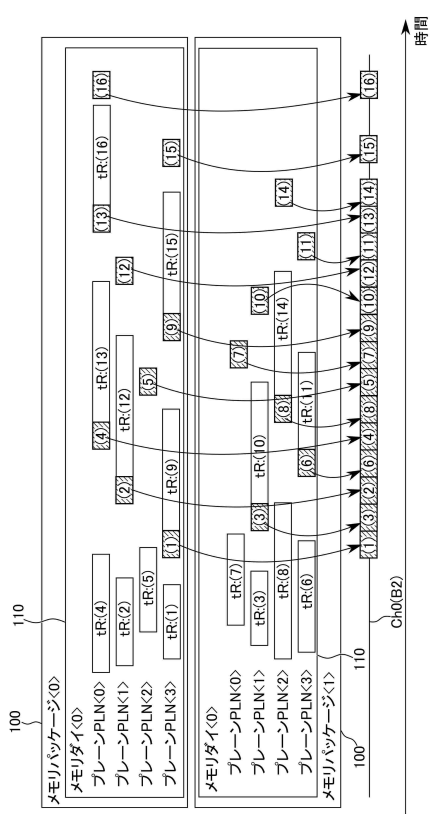
【 図 4 】



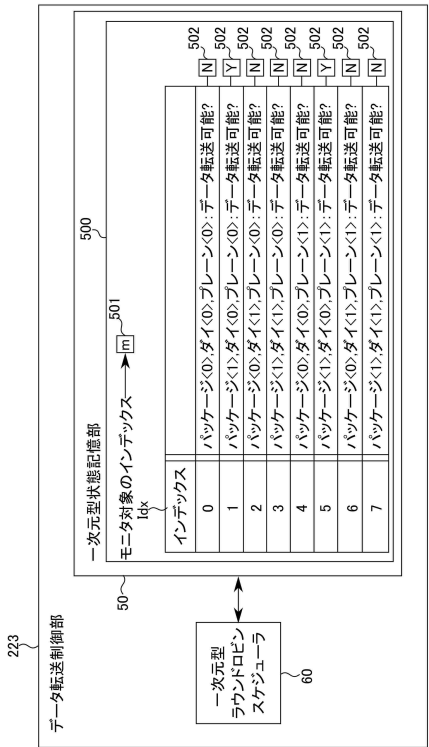
【図 5】



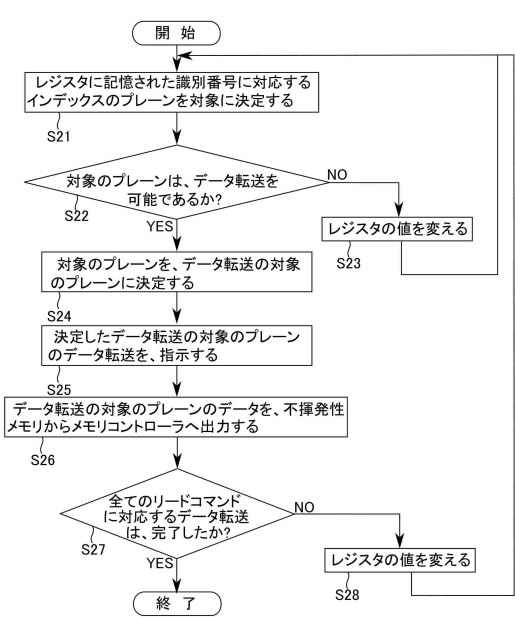
【図 6】



【図 7】



【図 8】



10

20

30

40

50