



(12) 发明专利

(10) 授权公告号 CN 102981994 B

(45) 授权公告日 2015. 07. 15

(21) 申请号 201210174863. 1

(22) 申请日 2012. 05. 30

(30) 优先权数据

13/153, 091 2011. 06. 03 US

(73) 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

(72) 发明人 肯尼斯·哈拉米诺

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 王波波

(51) Int. Cl.

G06F 13/40(2006. 01)

G06F 1/32(2006. 01)

审查员 刘明悦

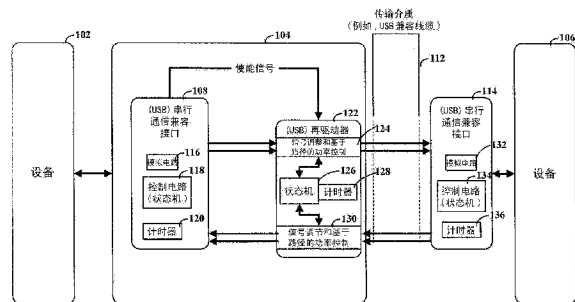
权利要求书2页 说明书8页 附图4页

(54) 发明名称

再驱动器电路、使用再驱动器电路的方法及第一串行单向通信接口

(57) 摘要

根据本公开的实施例,提供了一种再驱动器电路,所述再驱动器电路具有第一串行单向通信信道和第二串行单向通信信道。再驱动器电路通过调节信号特性来调整接收到的第一数据信号,以校正信号电平衰减和噪声。将调整后的第一数据信号发送至信道的相应输出。再驱动器电路响应于第一使能信号非活跃,禁用再驱动器公共侧上两个信道的组件的电流汲取电路。再驱动器电路响应于第二使能信号非活跃,禁用再驱动器另一侧的两个信道的组件的电流汲取电路。



1. 一种使用再驱动器电路的方法,包括:

使用具有第一串行单向通信信道和第二串行单向通信信道的再驱动器电路,其中所述再驱动器电路用于:

在对应于第一信道的第一输入连接上接收第一数据信号;

通过调节信号特性来调整接收到的第一数据信号,以校正信号电平衰减和噪声;

将调整后的第一数据信号发送至再驱动器电路的第一输出连接,所述第一输出连接对应于第一信道;

在再驱动器电路的第二输入连接上接收第二数据信号,所述第二输入连接对应于第二信道;

通过调节信号特性来调整接收到的第二数据信号,以校正信号电平衰减和噪声;

将调整后的第二数据信号发送至再驱动器电路的第二输出连接,所述第二输出连接对应于第二信道;

响应于第一使能信号非活跃,禁用第一输入连接和第二输出连接的电流汲取电路;以及

响应于第二使能信号非活跃,禁用第二输入连接和第一输出连接的电流汲取电路。

2. 根据权利要求 1 所述的方法,其中,第一串行单向通信信道和第二串行单向通信信道是 USB 3.0 信道。

3. 根据权利要求 1 所述的方法,其中,电流汲取电路包括以下中的至少一个:接收机均衡器、发送缓冲器、端接组件、输入检测组件、信号调整组件以及接收机检测器。

4. 根据权利要求 1 所述的方法,还包括:使用再驱动器电路,以响应于确定第一串行单向通信信道和第二串行单向通信信道处于节能状态,禁用再驱动器电路的馈通模式。

5. 根据权利要求 1 所述的方法,还包括:使用再驱动器电路,以利用响应于第一使能信号非活跃而第二使能信号活跃的监控器电路,主动监控在第二输入连接上接收到的数据。

6. 根据权利要求 1 所述的方法,还包括:使用再驱动器电路,以利用响应于第二使能信号非活跃而第一使能信号活跃的监控器电路,主动监控在第一输入连接上接收到的数据。

7. 根据权利要求 5 所述的方法,还包括:使用再驱动器电路,以响应于第一使能信号和第二使能信号均非活跃,禁用监控器电路。

8. 一种再驱动器电路,包括:

第一输入连接,对应于第一串行单向通信信道;

第一输入电路,被配置为接收来自第一输入连接的第一数据信号;

调整电路,被配置为通过调节信号特性来调整数据信号,以校正信号电平衰减和噪声;

第一输出连接,对应于第一串行单向通信信道;

第一输出电路,被配置为将调整电路调整之后的第一数据信号发送至第一输出连接;

第二输入连接,对应于第二串行单向通信信道;

第二输入电路,被配置为接收来自第二输入连接的第二数据信号;

第二输出连接,对应于第二串行单向通信信道;

第二输出电路,被配置为将调整电路调整之后的第二数据信号发送至第二输出连接;

第一侧使能连接,用于接收第一使能信号;

- 第二侧使能连接,用于接收第二使能信号;以及
控制电路,被配置为:
响应于第一使能信号非活跃,禁用第一输入电路和第二输出电路的电流汲取部分;以及
及
响应于第二使能信号非活跃,禁用第二输入电路和第一输出电路的电流汲取部分。
9. 根据权利要求 8 所述的再驱动器电路,其中,第一输入连接和第二输入连接均为差分信号输入连接。
10. 根据权利要求 8 所述的再驱动器电路,其中,调整电路还被配置为提供信号去加重、输出电压控制和接收机均衡。
11. 根据权利要求 8 所述的再驱动器电路,其中,第一串行单向通信信道和第二串行单向通信信道是 USB 3.0 信道。
12. 根据权利要求 8 所述的再驱动器电路,其中,控制电路包括计时器,并被配置为起到状态机的作用,所述状态机响应于所述计时器以及所述第一使能信号和第二使能信号。
13. 根据权利要求 8 所述的再驱动器电路,还包括:
第一端接电路,用于提供第一输出连接上的信号端接;
第二端接电路,用于提供第二输出连接上的信号端接;
第一开关,用于响应于检测到第一串行单向通信信道和第二串行单向通信信道的节能模式,禁止从第一端接电路的电流汲取;以及
第二开关,用于响应于检测到第一串行单向通信信道和第二串行单向通信信道的节能模式,禁止从第二端接电路的电流汲取。
14. 根据权利要求 8 所述的再驱动器电路,还包括:监控器电路,被配置为监控在第一输入连接和第二输入连接中的每一个上接收到的数据,并响应于至少一个使能信号非活跃,禁止对第一输入连接和第二输入连接中相应一个输入连接的监控。
15. 一种第一串行单向通信接口,包括:
输入连接,对应于第一串行单向通信信道;
输出连接,对应于第二串行单向通信信道;
第一侧使能连接,用于提供与再驱动器的近侧相对应的第一使能信号;
第二侧使能连接,用于提供与再驱动器的远侧相对应的第二使能信号;以及
控制电路,被配置为:
确定通信接口的节能状态;以及
响应于特定节能模式活跃,将第一使能信号设置为非活跃而将第二使能信号设置为活跃。
16. 根据权利要求 15 所述的接口,其中,第一串行单向通信信道和第二串行单向通信信道是 USB 3.0 信道。
17. 根据权利要求 16 所述的接口,其中,所述特定节能模式对应于 U2 节能状态和 U3 节能状态之一。
18. 根据权利要求 16 所述的接口,其中,所述特定节能状态对应于 U2 节能状态和 U3 节能状态之一,控制电路被配置为响应于 U2 节能状态和 U3 节能状态之一变为非活跃,将第一使能信号设置为活跃。

再驱动器电路、使用再驱动器电路的方法及第一串行单向通信接口

技术领域

[0001] 本公开的方面涉及具有节能模式的通信系统中的节能,具体涉及具有节能模式的再驱动器电路、使用再驱动器电路的方法及第一串行单向通信接口。

背景技术

[0002] 串行通信 / 互连协议为不同设备之间的通信提供了高效的机制。这些协议可以包括标准,所述标准定义了为与协议兼容而需要的信号特性、时序和状态变化。电路设计者需要考虑到这些需求。其他的考虑包括功耗的降低。对于提高数据速率的需求导致越来越严格的信号特性,并且还可能违背低功耗需求。

[0003] 一种串行通信协议是通用串行总线 (USB) 协议。USB 已广泛用于电子产业中。USB 3.0 是下一代 USB 协议,并且提供 5Gbps 的数据速率。该协议由 PCI Express 改编而来,并且提供了速度的改进和显著的节能。USB 3.0 可以用在许多不同设备中,这些设备包括但不限于膝上型计算机、台式计算机、外部硬驱、打印机和蜂窝电话。

[0004] 随着速度方面的这些进步,更复杂的设计挑战到来。在许多情况下,提供通信功能的集成电路 (IC) 芯片 (例如,USB 主机控制器、USB 集线器、USB 设备) 位于与连接器相距非常远的位置。例如,单个 IC 芯片可以提供多个不同端口,每个端口能够与不同设备通信。端口可以链接至不同的连接器和 / 或链接至相同印刷电路板 (PCB) 上的不同设备。这些不同的组件可以位于分立的位置,使得对于所有组件,单个 IC 的布置非理想。此外,单个 IC 可以对于起到针对不同通信协议的桥接器的作用,所述不同通信协议具有其自己的需求集合。这会进一步限制 IC 被放置在 PCB 上的可能位置。相应地,从 IC 到连接器或设备的距离可能足够远以导致一定程度的高速 (USB 3.0) 信号劣化,从而需要某种再驱动器或再计时器 (retimer) 将连接器处的信号恢复到理想电平的程度。

[0005] 再驱动器提供了能够对信号劣化予以校正的信号调整。更复杂的再驱动器还可以校正其他误差,例如,再计时再驱动器器可以校正时序误差。相应地,IC 芯片不需要针对最差情况而设计,通过包含再驱动器设备,可以允许将计算机芯片设计用于更低的成本、更低的功率以及可能略微非 (USB) 顺应性。期望再驱动器将进入的信号恢复到有效信号电平。

[0006] 正如在给定高数据率的情况下信号完整性非常重要并且复杂一样,在已知许多移动设备 (膝上型计算机、蜂窝电话、便携式游戏系统等) 使用诸如 USB 之类的协议的情况下,低功率操作也很重要。因此,许多协议具有节能模式,在节能模式下将发射机和 / 或接收机电路的一部分置于低功率状态,这可以包括将电路中汲取大量功率的组件禁用。如本文论述的,再驱动器电路的节能也可以是重要的设计考虑。

发明内容

[0007] 本公开的方面涉及具有节能模式的通信系统中的节能,其解决了包括上述问题在內的问题,并且可以应用于多种协议、设备、系统和方法。在多个实现方式和应用中例证了

本发明的这些和其他方面,这些实现方式和应用中的一些在附图中被示出并且在所附权利要求部分中被表征。

[0008] 根据本公开的实施例,再驱动器电路具有第一串行单向通信信道和第二串行单向通信信道。再驱动器电路通过调节信号特性来调整接收到的数据信号,以校正信号电平衰减和噪声。将调整后的数据信号发送至信道的相应输出。再驱动器电路响应于第一使能信号非活跃 (inactive),禁用再驱动器公共侧针对两个信道的组件的电流汲取电路。再驱动器电路响应于第二使能信号非活跃,禁用再驱动器另一侧针对两个信道的组件的电流汲取电路。

[0009] 根据本公开的实施例,一种方法包括使用具有第一串行单向通信信道和第二串行单向通信信道的再驱动器电路。使用所述再驱动器电路来在对应于第一信道的第一输入连接上接收第一数据信号。再驱动器电路通过调节信号特性来调整接收到的第一数据信号,以校正信号电平衰减和噪声。再驱动器电路还将调整后的第一数据信号发送至再驱动器电路的第一输出连接,所述第一输出连接对应于第一信道。在再驱动器电路的第二输入连接上接收第二数据信号,所述第二输入连接对应于第二信道。再驱动器电路通过调节信号特性来调整接收到的第二数据信号,以校正信号电平衰减和噪声。将调整后的第二数据信号发送至再驱动器电路的第二输出连接,所述第二输出连接对应于第二信道。再驱动器电路响应于第一使能信号非活跃,禁用第一输入连接和第二输出连接的电流汲取电路,还响应于第二使能信号非活跃,禁用第二输入连接和第一输出连接的电流汲取电路。

[0010] 根据本公开的其他实施例,一种再驱动器电路包括:第一输入连接,对应于第一串行单向通信信道。再驱动器电路包括:第一输入电路,被配置为接收来自第一输入连接的第一数据信号。调整电路被配置为通过调节信号特性来调整数据信号,以校正信号电平衰减和噪声。第一输出连接对应于第一串行单向通信信道。第一输出电路被配置为在调整电路调整之后将第一数据信号发送至第一输出连接。再驱动器电路还包括:第二输入连接,对应于第二串行单向通信信道;以及第二输入电路,被配置为接收来自第二输入连接的第二数据信号。第二输出连接对应于第二串行单向通信信道。第二输出电路被配置为在调整电路调整之后将第二数据信号发送至第二输出连接。第一侧使能连接接收第一使能信号。第二侧使能连接接收第二使能信号。控制电路被配置为:响应于第一使能信号非活跃,禁用第一输入电路和第二输出电路的电流汲取部分,以及响应于第二使能信号非活跃,禁用第二输入电路和第一输出电路的电流汲取部分。

[0011] 本公开的方面还涉及一种第一串行单向通信接口,包括:输入连接,对应于第一串行单向通信信道。输出连接对应于第二串行单向通信信道。第一侧使能连接被配置为提供与再驱动器的近侧相对应的第一使能信号。第二侧使能连接被配置为提供与再驱动器的远侧相对应的第二使能信号。控制电路被配置为:确定通信接口的节能状态;以及响应于特定节能模式活动,将第一使能信号设置为非活跃而将第二使能信号设置为活跃 (active)。

[0012] 以上概述并非描述了本公开的每一个所示实施例或每一种实现方式。

附图说明

[0013] 以上论述不旨在描述每一个实施例或每一种实现方式。结合附图,通过以下描述,可以更全面地理解各种示例实施例,附图中:

[0014] 图 1 示出了根据本公开实施例的系统的框图,所述系统包括串行通信设备和再驱动器电路;

[0015] 图 2 示出了根据本公开实施例的系统,所述系统包括两个再驱动器电路;

[0016] 图 3 示出了根据本公开实施例的再驱动器的框图;

[0017] 图 4 示出了根据本公开实施例的 USB 系统的各种状态的流程图。

[0018] 本公开可以具有多种修改和备选形式,在附图中仅以示例的形式示出了本公开的示例并且将详细描述这些示例。然而应理解,本公开不旨在限于所示出和 / 或所描述的特定实施例。相反,旨在覆盖本公开精神和范围之内内的所有修改、等同和替换。此外,贯穿本文而使用的术语“示例”是说明性的而不是限制性的。

具体实施方式

[0019] 本公开的方面涉及再驱动器电路中的节能以及相关方法、用途和用于这种节能的系统。本公开不必限于这种应用,然而通过使用这种上下文来论述多种示例,可以理解本公开的各个方面。

[0020] 本公开的方面涉及一种再驱动器电路,配置为与串行通信协议一起使用,再驱动器电路具有两个单向信道,其中一个信道配置用于发送数据,另一个信道配置用于接收数据。再驱动器电路被配置为接收表示再驱动器电路两侧的设备的状态(例如,并不独立地基于每个信道的状态)的使能信号。再驱动器电路可以响应于使能信号来选择性地禁用功率汲取电路。

[0021] 本公开的实施例涉及一种再驱动器电路和 / 或一种使用再驱动器电路的方法。再驱动器电路包括第一和第二串行单向通信信道。再驱动器电路在与第一信道相对应的第一输入连接上接收第一数据信号。然后再驱动器电路通过调节信号特性来调整接收到的第一数据信号,以校正某些方面,例如调节信号电平衰减和噪声。接下来,再驱动器电路将调整后的第一数据信号发送至再驱动器电路的第一输出连接,所述第一输出连接对应于第一信道。在再驱动器电路的第二输入连接上接收第二数据信号,所述第二输入连接对应于第二信道。再驱动器电路还通过调节信号特性来调整接收到的第二数据信号,以校正信号电平衰减和噪声。将调整后的第二数据信号发送至再驱动器电路的第二输出连接,所述第二输出连接对应于第二信道。响应于第一使能信号非活跃,再驱动器电路禁用第一输入连接和第二输出连接的电流汲取电路。响应于第二使能信号非活跃,再驱动器电路禁用第二输入连接和第一输出连接的电流汲取电路。

[0022] USB 协议 3.0 包括多个低功率状态,所述多个低功率状态包括 U2 低功率操作状态和 U3 低功率操作状态。在 USB U2 和 U3 低功率状态下,期望总线在延长的时间段上空闲。独立的信号使能可以降低功率,但是在该状态期间某些功率汲取电路仍保持使能,以维持 USB 功能性。也可以在 U2 状态期间使用单个使能信号来降低功率,然而这也涉及到功率汲取电路保持活跃。

[0023] 本公开的实施例涉及一种 USB 3.0 再驱动器,所述 USB 3.0 再驱动器智能地提供侧使能(side enable)特征以在 U2 状态和 U3 状态期间降低功耗。再驱动器电路具有两个接口,每个接口用于与两个不同 USB 设备中相应的一个 USB 设备通信。USB 设备之一被看作是本地设备,并且假定该 USB 设备已知再驱动器 / 再计时器的存在并控制提供至再驱动器

电路的使能 / 禁用信号。例如,印刷电路板 (PCB) 可以包含第一集成电路 (IC) 芯片,所述第一 IC 芯片包括 USB 设备。第一 IC 芯片具有一个或多个 USB 端口,所述一个或多个 USB 端口连接至也位于 PCB 上的一个或多个再驱动器集成电路芯片。再驱动器电路通过在 U2 和 U3 状态期间禁用本地 USB 链接 (至第一 IC 芯片的链接) (禁用接收机检测功能和接收机输入信号检测功能) 而同时保持外部 USB 链接 (至另一 USB 设备的链接) 处于正常状态 (使能接收机检测功能并且使能输入信号检测功能),对来自第一 IC 芯片的控制信号做出响应。

[0024] 本公开的实施例涉及两个设备之间的连接,所述两个设备中的每一个设备以 USB 3.0 连接性为特点并且采用对再驱动器的利用。每个再驱动器可以包括两个独立的 USB 侧使能。例如,一个设备可以是个人 / 膝上型计算机。另一产品可以是外部存储设备,如,外部硬盘。每个产品使用再驱动器来提高链路的信号完整性。当对任意一个再驱动器,两个使能均被解除断言 (deassert) 时,再驱动器进入“USB 链路不操作 (USB Link not operational)”超低功率操作,以将再驱动器设备的大部分断电。

[0025] 在 U2/U3 操作期间,每个 USB 设备可以进入并知晓 U2 和 U3 节能状态。此外,USB 设备可以指示再驱动器设备节约系统中更多的功率。由于再驱动器设备可能不具有对 USB 数据线上传输的任何数据进行解码的能力,所以再驱动器电路可能无法确定它们自己在链路的哪一侧或者正在面向哪个方向。因此,再驱动器电路可能需要依赖于本地 USB 设备来指示何时可以进行额外的节能。这是可能的,因为 USB 设备知道它自己何时正在进入 (或想要离开) U2/U3 状态之一。因此,USB 设备能够确定何时再驱动器能够有效地禁用近端侧的功率汲取电路。

[0026] 结合本地 USB 设备 (主机或其他),再驱动器可以禁用至本地 USB 设备的远端端接 (termination) 检测以及在来自本地 USB 设备的连接上的接收机输入信号检测。在本地侧不需要远端端接检测,因为其始终是连接的。在本地侧不需要输入检测,这是因为 USB 设备在离开当前功率状态之前不会产生任何 USB 业务量 (traffic),其中在 USB 离开当前功率状态时 USB 设备可以改变使能信号的状态。此时再驱动器可以使能至本地设备的远端端接检测。

[0027] 根据本公开的实施例,再驱动器可以包括 USB 状态检测功能和 / 或电路。可以使用状态机逻辑来实现 USB 状态检测,以控制再驱动器电路。状态机和控制可以链接至一个或多个计时器,以操控各种与 USB 3.0 相关的时序。状态机确定何时可以将各种再驱动器组件断电。在低功耗模式期间,可以将多个组件断电,包括但不限于接收机均衡器电路、发送缓冲器、接收机 / 发射机端接电路、接收机检测电路、以及用于控制信号调整、输出电压和 / 或去加重 (de-emphasis) 的各种其他电路。

[0028] 现在转向附图,图 1 示出了根据本公开实施例的包括串行通信设备和再驱动器电路的系统的框图。设备 102 (例如,计算机或类似的主机设备) 被设计为使用第一和第二串行单向通信信道与远程设备 106 (例如,存储设备或类似的外围设备) 通信。串行通信兼容接口 108 和 114 允许设备 102 和 106 使用第一和第二信道 (例如,在相应的设备 102 或 106 的本地通信协议与两个信道之间起到桥接器的作用)。第一信道允许在设备 106 处接收来自设备 102 的通信,第二信道允许在设备 102 处接收来自设备 106 的通信。

[0029] 串行通信兼容接口 108 和 114 可以包括模拟电路 116 和 132,以驱动和接收两个信

道上的信号以及从设备 102 或 106 接收的信号,这些信号可以分别使用不同协议。状态机 118、134 根据针对第一和第二信道的合适协议来操作。计时器 120、136 提供同步、超时和/或与状态机 118、134 和针对第一和第二信道的协议有关的其他功能。

[0030] 图 1 的系统还包括再驱动器 122,所述再驱动器 122 具有用于提供两个信道中每个信道上信号的信号调整功能的电路。对于需要满足特定的信号特性以允许使用传输介质 112 的应用来说,再驱动器 122 可以尤为有用。传输介质 112 可以是例如根据特定规范(例如,USB 3.0)而设计的传导线缆。根据本公开的实施例,再驱动器 122 和串行通信兼容接口 108 二者可以位于相同的 PCB 104 上。可选地,设备 102 也可以位于 PCB 104 上。

[0031] 再驱动器 122 电路可以接收任一信道上的信号并使用信号调整电路 124 和 130 对其进行处理。这些调整电路也配置为工作在节能模式下,所述节能模式响应于状态机 126 和计时器 128。状态机 126 响应于多种输入,包括但不限于从串行通信兼容接口 108 接收到的使能信号。

[0032] 接口 108 向再驱动器电路 104 提供两个不同的使能信号。串行通信兼容接口 108 被配置为根据再驱动器电路各侧的状态来提供使能信号,其中,第一侧对应于第一信道的接收部分和第二信道的发送部分,第二侧对应于第二信道的接收部分和第一信道的发送部分。

[0033] 根据本公开的实施例,再驱动器电路包括检测电路,所述检测电路被配置为检测外部接收设备的存在。该检测电路信息可以传递给发送设备。例如,可以要求通信协议,其中接收机(例如,通过端接电阻性元件)提供端接。因此再驱动器电路在至每个信道的输出上提供该端接。再驱动器电路还可以通过检测每个信道的输出上是否存在这种端接,来检测是否连接了接收机。接收机端接以及用于执行这种监控的电路在活动时均会汲取电流。相应地,本发明的方面涉及响应于使能信号来禁用这样的电路。

[0034] 例如,当用于靠近本地设备 108 的那一侧的使能信号(也称作近侧使能)非活跃时,用于该本地设备 108 的接收电路可以被禁用。这是因为,在不存在近侧使能(例如,由于设备 108 处于低功率模式)时本地设备 108 不会进行发送。在使能信号被重新断言时,再驱动器电路使自身处于允许进行馈通通信的模式。相应地,本公开的方面涉及通过禁用输入检测和 Rx 检测来实现的附加电流节约。

[0035] 本公开的方面涉及能够与 USB 协议和 USB 3.0 协议结合使用的设备。尽管不必限于此,然而以下论述中的大部分都是在 USB 3.0 协议的上下文中描述的。

[0036] 根据本公开的实施例,再驱动器电路可以检测 USB 链路状态。例如,再驱动器芯片可以使用静噪(squelch)指示,再计时器可以使用实际 USB 链路业务量来精确地确定 USB 处于何种状态。设计也可以跟踪较少量的状态,例如,仅跟踪三个状态(Rx 检测(Rx Detect)、U0、U2/U3)。在 U2/U3 状态期间,再驱动器可以通过禁用与使能馈通模式相关联的特定电路来节能。例如,再驱动器可以禁用发射机端接和发射机驱动器电路,同时使接收机检测保持活动并且使本地接收机端接保持活动(以维持 USB 链路连接)。

[0037] 当 USB 系统处于 U2/U3 状态并且近侧使能被去除时,再驱动器可以禁用针对近侧发送信道的输入检测并禁用针对近侧接收信道的接收机检测电路。如本文论述的,近侧发送信道对应于被配置为从近侧设备向远程设备进行发送的信道,近侧接收信道对应于用于在近侧设备处接收数据的另一信道。近侧接收信道使接收机电路保持活动(包括接收机端

接),并且还使接收机检测电路保持活动。

[0038] 图 2 示出了根据本公开实施例的包括两个再驱动器电路的系统。设备 202 和 204 分别包括 (USB) 串行通信兼容接口 206、228。这些接口电路通过相应的再驱动器电路 208、218 相连。再驱动器电路 208、218 包括输入缓冲器 210、216、220 和 226。这些输入缓冲器中的每一个对应于两个单向串行通信信道之一。再驱动器电路 208、218 还包括输出缓冲器 212、214、222 和 224。这些输出缓冲器也对应于两个单向串行通信信道之一。

[0039] 再驱动器电路 208、218 被配置为响应于两个不同的使能信号。这些使能信号可以用于控制再驱动器电路 208 和 218 的节能。例如,这些信号可以向再驱动器电路指示在 U2/U3 状态下哪些电路可以被断电。在本公开的一个实施例中,再驱动器可以忽略使能信号(除非两个使能信号均被解除断言),直到进入 U2/U3 状态。然后再驱动器使用使能信号来确定在再驱动器哪一侧特定电路(输入检测 /rx 检测)可以被禁用。

[0040] 在每个示例中,相对于本地接口电路 206 或 228 而言,将侧 1 描述为近侧,将侧 2 描述为远侧。然而再驱动器电路 208、218 可以被配置为使得侧 1 或侧 2 均可以起到近侧的作用。该方面允许系统设计者在如何使用再驱动器芯片方面具有灵活性(例如,不必保证侧 1 直接与本地接口电路相连)。

[0041] 根据本公开的实施例,接口电路 206、228 和再驱动器 208、218 可以均为 USB 3.0 兼容的。设备 202 和 204 可以配置有一个或多个 USB 兼容连接器(例如,A 型、B 型或 B 微型(micro B))。相应地,这些连接器不包括针对侧 1 和侧 2 使能的专用引脚。因此,两个使能可以均由本地接口电路 206 或 228 来控制,尽管以下情况也是可能的:远侧(侧 2)使能可以被硬接线为始终是使能的。

[0042] 图 3 示出了根据本公开实施例的再驱动器的框图。再驱动器配置有信道 A(302) 和信道 B(332)。这些信道表示在相反方向上工作的单向串行通信信道。针对每个 USB 规范,信道使用由 USB 数据 + 和 USB 数据 - 表示的差分信令来发送数据。这些数据线有时被称作是超速(super speed)接收机(或发射机)差分对。尽管没有明确示出,USB 3.0 协议允许传统 USB 2.0 差分数据线。

[0043] 信号调整电路 308 和 326 将到来的信号维持或返回到满足 USB 3.0 协议的电压电平、电流驱动能力、上升 / 下降时序以及其他信号特性。当再驱动器检测到已进入 U2/U3 节能模式时,禁用再驱动器的馈通功能。这可以包括禁用信号调整电路和相关的功耗。

[0044] 针对信道 A 和信道 B 中每一个信道,再驱动器均配置有侧 1 和侧 2。在特定实施例中,在侧 1 和侧 2 中的任一个均可以通过 USB 连接器连接到近侧设备和 / 或远程设备的程度上,侧 1 和侧 2 在功能上等同。以这种方式,使能侧 1 和使能侧 2 输入分别允许近侧 USB 接口设备控制侧 1 和侧 2 的节能模式。

[0045] 每个信道均包括端接组件 304。在信道的发送侧(信道 A- 侧 2(A2) 和信道 B- 侧 1(B1)),可以禁用端接组件 304。通过实质上降低和 / 或消除来自这些组件的电流流动,来实现这些组件的禁用。例如,开关(例如,晶体管)可以禁止通过端接组件 304 的电流流动。

[0046] 信道还包括差分缓冲器 / 驱动器 306、310、324 和 328。这些驱动器中的每一个可以响应于以下操作而被禁用:再驱动器检测到已进入 U2/U3 节能模式,禁用了再驱动器的馈通功能。通过实质上降低和 / 或消除来自这些组件的电流流动,来实现这些组件的禁用。例如,可以禁用由缓冲器使用的任何电流源。

[0047] 接收机检测器 320 和 322 检测（再驱动器外部的）设备何时连接至相应的 USB 信道。除非这些检测器的相应侧使能被去除，否则这些检测器保持活跃。如果相应侧使能被去除，则接收机检测器 322 和 320 将被禁用。

[0048] 再驱动器还包括输入检测器 312 和 330。这些检测器确定何时接收到到来的数据信号。这可以是相对简单的静噪检测器（检测有效的信令电平）或更复杂的数据检测电路。这些输入检测器在 U2/U3 状态下保持活跃，而在相应的侧使能被去除时被禁用。

[0049] 控制电路 314 包括逻辑电路，所述逻辑电路用于接收不同输入并向再驱动器的不同组件提供禁用 / 使能信号。控制电路 314 可以根据状态机 316 来工作。状态机 316 可以接收来自不同组件和来自计时器 318 的输入。可以使用多种不同的逻辑组件、处理器、相关配置数据和 / 或存储的编程指令来实现包括状态机 316 的功能在内的控制电路 314。

[0050] 图 4 示出了根据本公开实施例的 USB 系统的多种状态的流程图。USB 系统开始于复位和空闲状态 402。各种 USB 设备初始化到已知状态。在初始化之后，进入 RX 检测状态 404 以等待在两个信道上均检测到端接，例如这种检测可能发生在如下情况下：在一端存在提供端接的硬接线本地设备，新的 USB 设备连接至 USB 端口。还可以在从 U2/U3 节能模式中检测到 USB 链路断开的情况下进入 RX 检测状态。在这一点上，由于不需要馈通操作，所以再驱动器电路的大部分被禁用。然而远端接收机检测仍然被使能。

[0051] 当在两个信道上均检测到端接时，进入轮询 (polling) 状态 406。在轮询阶段，期望设备进行通信以将这些设备自身配置用于通信。这可以使用训练序列来实现。如果（例如，通过静噪监控器）没有检测到这种活动并且先前已经进入 U0 状态，则再驱动器可以认为已经出现了误差并且 USB 系统正在返回 RX 检测状态 404。本地计时器可以用于监控这种偶然性事件 (eventuality)。一直到这一时间，再驱动器芯片都使能其大部分或甚至全部功能，以允许进行馈通通信。然而这种模式并不要求高速通信是活跃的。相应地，仅支持高速通信的再驱动器电路可以被禁用，或者被控制为降低功耗（例如，可以放宽信号调整要求）。

[0052] 一旦检测到训练序列，USB 系统就进入 U0 状态 408。在这种状态下，再驱动器被配置为支持馈通模式下的高速通信。从 U0 状态，USB 系统可以进入 U1、U2 或 U3 节能状态。在 U1 节能状态 410 下，USB 设备可以即刻 (on short notice) 开始发送。相应地，再驱动器保持实质上（或完全地）被使能。

[0053] 然而在 U2 和 U3 节能状态 412 下，USB 设备处于更受限制的节能模式。这些节能模式在数据传输能够恢复之前需要更长的唤醒时间段。可以通过 USB 链路活动性的检测来触发这种唤醒。相应地，近侧 USB 设备典型地禁用近侧。根据配置，近侧可以是侧 1（状态 414）或侧 2（状态 416）。再驱动器通过禁用相应侧的发射机和接收机电路来对使能信号做出响应。这包括针对被禁用侧的接收机检测和输入检测。然而针对被使能侧的接收机检测和输入检测仍然是活跃的。

[0054] 参考图 3 和图 4，针对信道 A 的接收机 (RX) 电路可以包括：输入检测 312、信号调整 308、杂项 (miscellaneous) / 缓冲器 306 以及接收机端接 304。针对信道 A 的发送 (TX) 电路可以包括：发送端接 304、杂项 / 缓冲器 310 以及接收机检测 320。信道 B 可以具有对应的组件。

[0055] 在某些情况下，如状态 418 中所示，侧 1 和侧 2 可以均可以被禁用。这可以发生在

存在 USB 系统的软复位 (soft reset) 的情况下。在该示例中,接收机的两侧可以均被断电。然后 USB 系统可以返回到复位和空闲状态 402。

[0056] USB 3.0 规范包括图 4 中未示出的多个附加状态。近侧 USB 接口设备可以被配置为:例如基于是否需要馈通模式以及是否需要输入检测或接收机检测,针对这些附加状态来适当地断言或去除侧使能。

[0057] 除非特别说明,否则应理解使用诸如“处理”或“计算”或“确定”或“显示”或“监控”等术语的论述指的是逻辑电路(如,计算机系统、组合和/或顺序电子逻辑电路、可配置或可编程电路、或者类似的电子计算设备)的动作和处理,所述逻辑电路对计算机系统的设备内表示为物理(电子)量的数据进行处理,并转换成由诸如存储器、寄存器或其他这种信息存储、传输、显示设备等计算机系统设备内类似地表示为物理量的其他数据。如以上提供的示例中指示的,对这种数据进行转换,以改变物理方面或量的相关表示。

[0058] 除非指出,否则各种通用系统和/或逻辑电路可以与根据本文的教义的程序一起使用,或者可以证明能够方便地构造更专门的装置来执行所需的方法。例如,可以通过对通用处理器、其他完全可编程或半可编程逻辑电路的编程来在硬接线电路中实现根据本公开的方法中的一个或多个,和/或由这种硬件和配置有软件的通用处理器的组合来实现根据本公开的方法中的一个或多个。

[0059] 本领域技术人员应理解,可以利用除了本文明确描述的计算机系统配置之外的其他计算机系统配置来实施本公开的方面。根据预期应用和以上描述,将清楚针对各种这些系统和电路的所需结构。

[0060] 应理解,本领域技术人员使用各种术语和技术来描述通信、协议、应用、实现方式、机制等等。一种这样的技术是对以算法或数学表达式来表达的技术的实现方式的描述。即,尽管技术可以例如被实现为执行计算机上的代码,然而该技术的表达可以更合适并且简洁地转达或传达为公式、算法或数学表达式。

[0061] 因此,如在组合逻辑电路中,本领域技术人员将把标注为“ $C = A+B$ ”的模块理解为加法函数,该加法函数在硬件和/或软件中的实现采用两个输入(A和B)并产生和输出(C)。因此,对描述的公式、算法或数学表达式的使用将被理解为具有至少硬件形式的物理实施例(如,处理器,在该处理器中本公开的技术可以被实施并且实现为实施例)。

[0062] 在实施例中,可以存储机器可执行代码,以按照符合本公开的方法中的一个或多个方法的方式来执行。指令可以用于使利用所述指令来编程的通用或专用处理器执行方法的步骤。备选地,所述步骤可以由包含用于执行步骤的硬接线逻辑在内的特定硬件组件来执行,或者由编程的计算机组件和客户硬件组件的任意组合来执行。

[0063] 在一些实施例中,可以以计算机程序产品的形式来提供本公开的方面,所述计算机程序产品可以包括上面存储有指令的机器或计算机可读介质,所述指令可以用于对计算机(或其他电子设备)编程以执行根据本公开的处理。相应地,计算机可读介质包括适于存储电子指令的任何类型的媒介/机器可读介质。

[0064] 基于以上论述和说明,本领域技术人员容易认识到,可以进行各种修改和改变,而不必严格遵循本文示出和描述的示例实施例和应用。例如,基于当前 3.0USB 规范的修改是可以发生的,并导致相应的状态机功能的变化。这种修改并不脱离本公开的精神和范围,本公开的精神和范围包括所附权利要求中阐述的精神和范围。

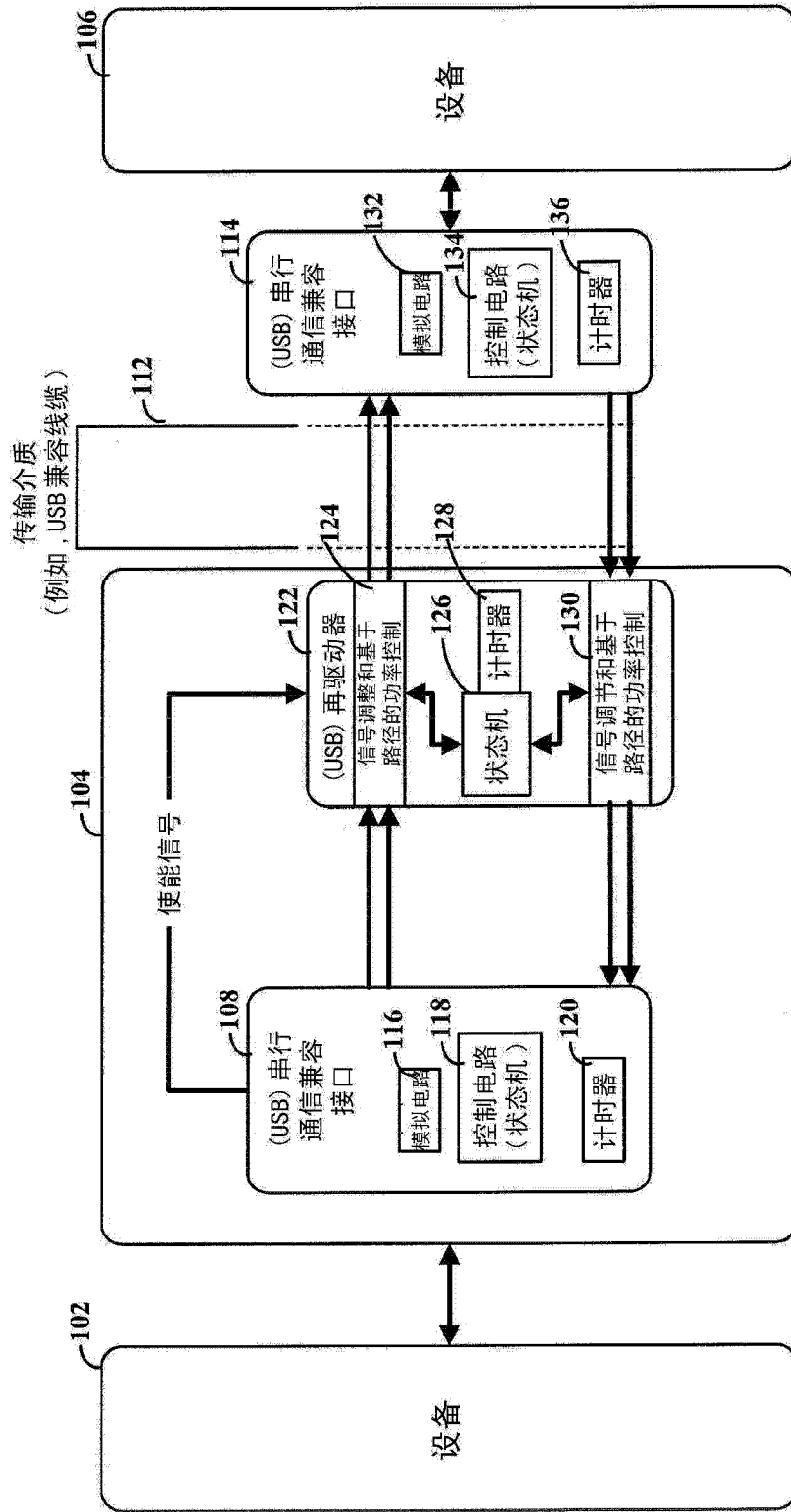


图 1

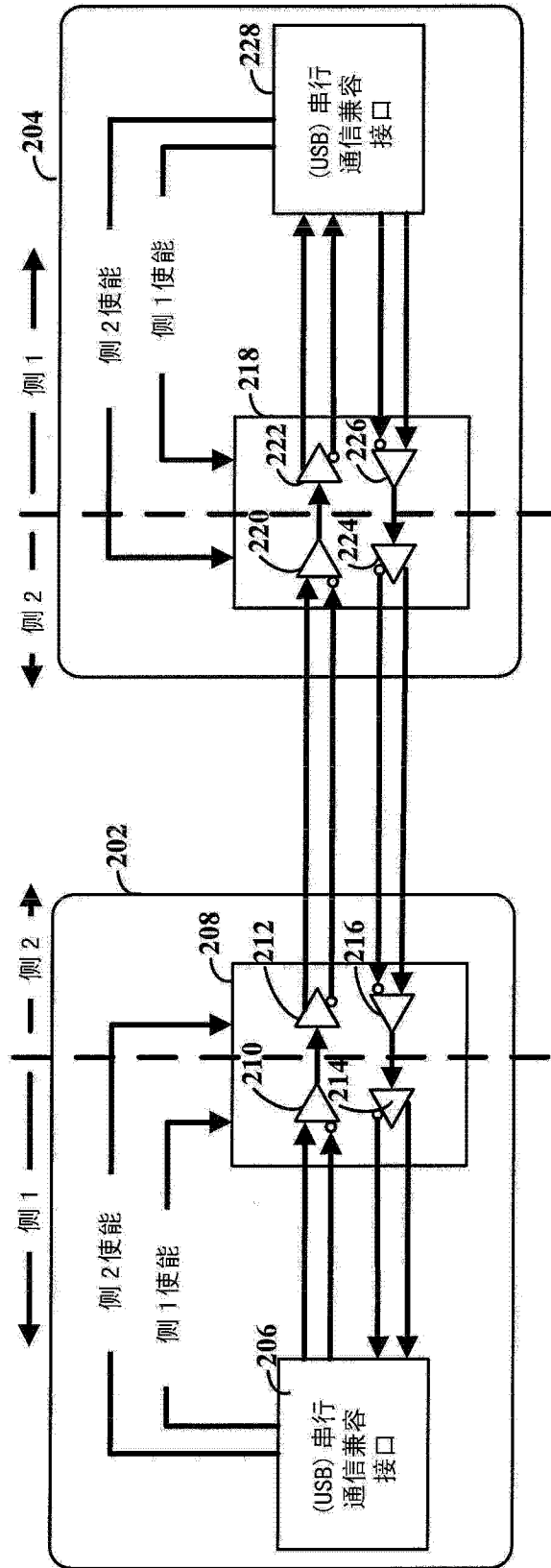


图 2

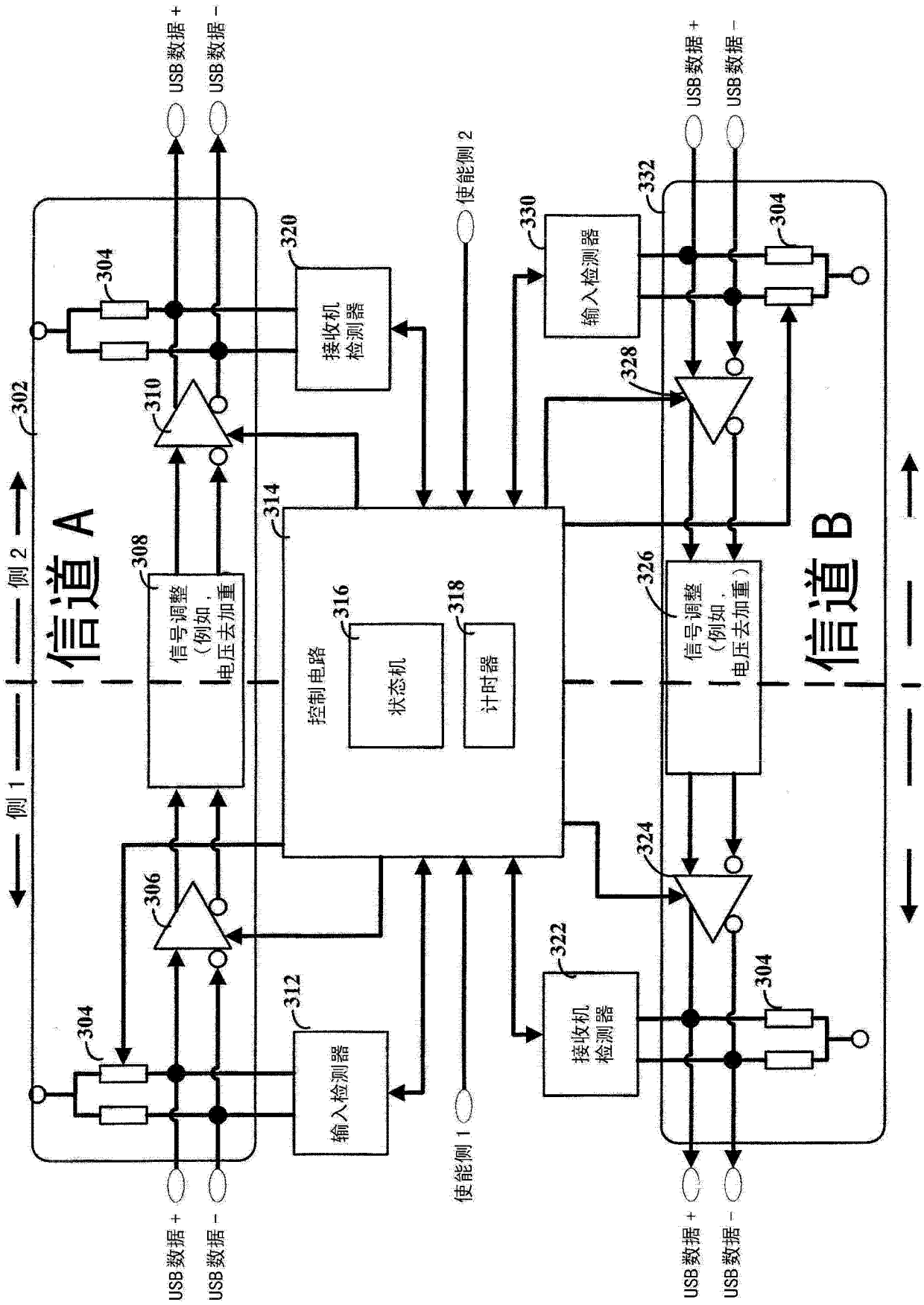


图 3

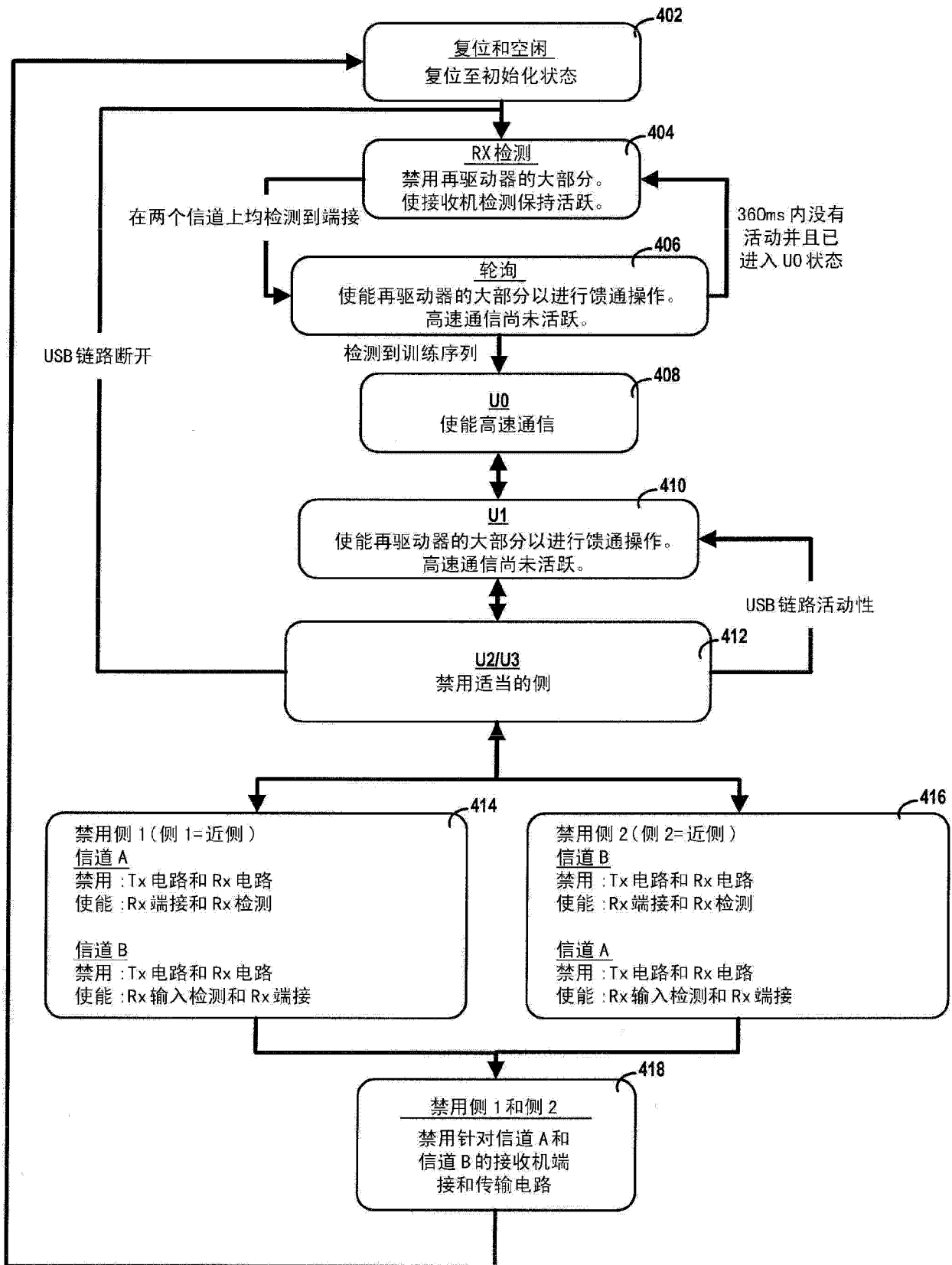


图 4