



(12)发明专利申请

(10)申请公布号 CN 106947948 A

(43)申请公布日 2017. 07. 14

(21)申请号 201611217409.4

G23C 14/06(2006.01)

(22)申请日 2012.06.14

(30)优先权数据

61/498,480 2011.06.17 US

(62)分案原申请数据

201280029540.1 2012.06.14

(71)申请人 应用材料公司

地址 美国加利福尼亚州

(72)发明人 冲·蒋 秉圣·利奥·郭

(74)专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国 赵静

(51)Int.Cl.

G23C 14/34(2006.01)

G23C 14/58(2006.01)

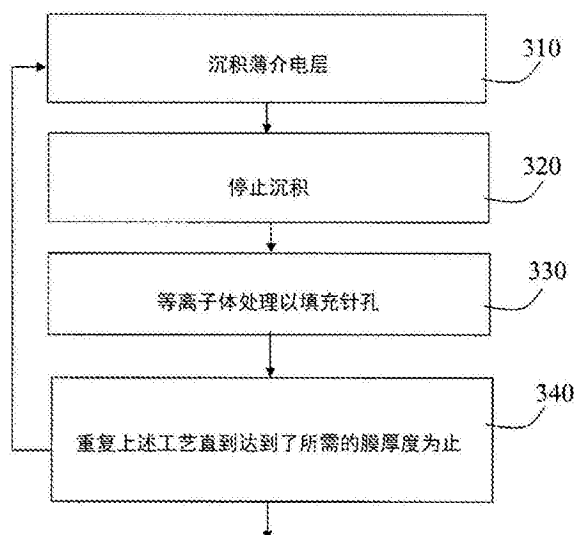
权利要求书1页 说明书8页 附图8页

(54)发明名称

无针孔介电薄膜制造

(57)摘要

一种沉积介电薄膜的方法可包括以下步骤：沉积薄介电层；停止沉积介电层，以及改变腔室中的气体(如果需要)；在基板附近诱导和维持等离子体，以提供对所沉积的介电层的离子轰击；以及重复所述沉积、停止、以及诱导和维持步骤，直到沉积了所需厚度的电介质为止。这种方法的一种变体可包括以下步骤来代替所述重复步骤：沉积较低品质的厚介电层；沉积高品质的薄介电层；停止沉积介电层，以及改变腔室中的气体(如果需要)；以及在基板附近诱导和维持等离子体，以提供对所沉积的介电层的离子轰击。所述厚介电层可以比所述薄介电层更快速地沉积。



1. 一种用于沉积介电薄膜的设备,包括:
第一系统,所述第一系统用于:
沉积薄介电层;
停止沉积所述介电层,以及如果需要则改变腔室中的气体;
在基板附近诱导和维持等离子体,以提供对所沉积的介电层的离子轰击;以及
重复所述沉积、停止和诱导步骤,直到沉积了所需厚度的电介质为止。
2. 如权利要求1所述的设备,进一步包括第二系统,其中在所述第二系统中进行所述沉积、停止和诱导步骤的重复。
3. 如权利要求1所述的设备,其中所述第一设备是群集工具。
4. 如权利要求1所述的设备,其中所述第一设备是串联工具。
5. 如权利要求4所述的设备,其中所述串联工具是卷盘到卷盘设备。
6. 如权利要求4或5所述的设备,进一步包括第二系统,其中在分隔的、相邻的系统中执行所述沉积和诱导步骤。
7. 一种用于沉积介电薄膜的设备,包括:
第一系统,所述第一系统用于:沉积高品质的薄介电层,停止沉积所述介电层,以及如果需要则改变腔室中的气体,以及在基板附近诱导和维持等离子体以提供对所沉积的介电层的离子轰击;
第二系统,所述第二系统用于沉积较低品质的厚介电层;以及
第三系统,所述第三系统用于:沉积高品质的薄介电层,停止沉积介电层,以及如果需要则改变腔室中的气体,以及在基板附近诱导和维持等离子体以提供对所沉积的介电层的离子轰击。
8. 如权利要求7所述的设备,其中所述第一系统、第二系统、和第三系统是单独一个系统。
9. 如权利要求7所述的设备,其中所述第一系统和第二系统是单独一个系统。
10. 如权利要求7所述的设备,其中所述第二系统和第三系统是单独一个系统。
11. 如权利要求7所述的设备,其中所述设备是群集工具。
12. 如权利要求7所述的设备,其中所述设备是串联工具或者卷盘到卷盘工具。
13. 如权利要求7所述的设备,其中所述设备是群集工具,并且所述第一系统和第三系统是单独一个系统。

无针孔介电薄膜制造

[0001] 本申请是申请日为2012年6月14日、申请号为201280029540.1、发明名称为“无针孔介电薄膜制造”的发明专利申请的分案申请。

[0002] 相关申请的交叉引用

[0003] 本申请要求享有在2011年6月17日提交的美国临时申请第61/498,480号的权益,所述美国临时申请以引用方式全部并入本文。

技术领域

[0004] 本发明的实施方式通常涉及薄膜沉积,并且更具体来说涉及用于减少介电薄膜中针孔(pinhole)的方法和设备。

背景技术

[0005] 存在许多包括多个导电层——例如,薄膜电池(thin film batteries;TFBs)和电变色(electrochromic)装置之间的介电膜的薄膜装置。关于这些装置,所述介电膜中的针孔可能会损害装置功能。例如,所述介电膜中的针孔可能会降低所述装置的击穿电压,或者更糟地还会导致各导电层之间的短路以及致使所述装置变得无效。

[0006] 图1图示典型的薄膜电池(thin film battery;TFB)的剖面图。将TFB装置结构100所具有的阳极集电器(anode current collector)103和阴极集电器102(cathode current collector)形成在基板101上,接着形成阴极104、电解质105和阳极106;但是也可以将所述装置制造成具有颠倒次序的所述阴极、电解质和阳极。此外,可以分别沉积阴极集电器(cathode current collector;CCC)和阳极集电器(anode current collector;ACC)。例如,可以在沉积所述阴极之前沉积CCC,以及可以在沉积所述电解质之后沉积ACC。可以用封装(encapsulation)层107覆盖所述装置,以保护环境敏感层免受氧化剂影响。可参看例如N.J.Dudney, Materials Science and Engineering (《材料科学与工程》)B 116, (2005) 245-249。应注意在图1所示的TFB装置中组成层不是按比例绘制的。

[0007] 在诸如图1所示的装置结构之类的典型的TFB装置结构中,所述电解质——诸如锂磷氮氧化物(LiPON)之类的介电材料——是夹在两个电极——阳极与阴极之间。用于沉积LiPON的传统方法是:在N₂环境中进行对Li₃PO₄靶的物理气相沉积(physical vapor deposition;PVD)射频(radio frequency;RF)溅射。然而,由于LiPON膜中的针孔,该沉积工艺可能会导致非常显著的产率损耗(yield loss),并且随着在溅射期间所应用的射频功率的增加,针孔密度也会增加。一种最小化针孔的方法涉及沉积较厚的LiPON膜——通常是一到两微米厚——以及当所述阴极具有不良的表面形态时,所述LiPON的厚度可能还需要更大。然而,这对于去除针孔仍然不是完全有效的,并且由于较低的产量和所耗费材料的更昂贵开销,这会增加所述工艺步骤的成本。

[0008] 另一种最小化介电薄膜中针孔的方法是:在沉积期间增加基板温度,以便增加原子的表面迁移率。然而,这种方法不适用于诸如LiPON之类的材料,因为TFB需要LiPON的“非晶”相,而实质上增加LiPON的表面迁移率所需的温度导致不希望的LiPON晶化。这种方法同

样也不适用于渗透阻挡(permeation barrier)层,因为高到足以使电介质的表面迁移率增加的温度负面地影响聚合物平坦化层。

[0009] 此外,对于诸如渗透阻挡层(多个重复的介电层和平坦化聚合物膜)之类的薄膜结构,介电膜中的针孔可能会损害所述薄膜结构的功能。例如,所述介电膜中的针孔可能会轻易地产生贯穿渗透阻挡层的孔。

[0010] 无疑地,存在对可以低成本地提供具有较低针孔密度的介电薄膜的沉积工艺和设备的需求。

发明内容

[0011] 本发明一般涉及针孔密度的降低和改良介电材料薄膜的表面形态。本发明通常可应用于真空沉积的介电薄膜、与所使用的具体真空沉积技术无关,并且还可以应用于非真空沉积的薄膜。作为具体实例,本文描述了用于溅射沉积低针孔密度的LiPON的方法,LiPON是在薄膜电化学装置(诸如电变色(electrochromic;EC)装置和TFB)中使用的电介质、电解质材料。

[0012] 根据本发明的一些实施方式,一种沉积介电薄膜的方法可包括以下步骤:沉积薄介电层;停止沉积介电层,以及改变腔室中的气体(如果需要);在基板附近诱导和维持等离子体,以提供对所沉积的介电层的离子轰击;以及重复所述沉积、停止和诱导步骤,直到沉积了所需厚度的电介质为止。

[0013] 根据本发明的另一些实施方式,一种沉积介电薄膜的方法可包括以下步骤:沉积高品质的薄介电层;停止沉积介电层,以及改变腔室中的气体(如果需要);在基板附近诱导和维持等离子体,以提供对所沉积的介电层的离子轰击;沉积较低品质的厚介电层;沉积高品质的薄介电层;停止沉积介电层,以及改变腔室中的气体(如果需要);以及在基板附近诱导和维持等离子体,以提供对所沉积的介电层的离子轰击。所述厚介电层可以比所述薄介电层更快速地沉积。

[0014] 此外,本发明描述了配置用于执行上述方法的工具。

附图说明

[0015] 在结合附图阅读本发明的特定实施方式的以下描述之后,本发明的这些及其他方面和特征将变得对本领域中的那些普通技术人员显而易见,在这些附图中:

[0016] 图1是薄膜电池的剖面图;

[0017] 图2是根据本发明的一些实施方式的沉积系统的示意图;

[0018] 图3是根据本发明的一些实施方式用于沉积LiPON薄膜的流程图;

[0019] 图4是根据本发明的其他实施方式用于沉积LiPON薄膜的流程图;

[0020] 图5A、5B和5C是根据本发明的一些实施方式在沉积工艺的仅等离子体部分期间去除针孔的示意图;

[0021] 图6是根据本发明的一些实施方式的薄膜沉积群集工具(cluster tool)的示意图;

[0022] 图7是根据本发明的一些实施方式具有多个串联(in-line)工具的薄膜沉积系统的代表图;以及

[0023] 图8是根据本发明的一些实施方式的串联沉积工具的代表图。

具体实施方式

[0024] 现将参照图式详细描述本发明的实施方式,这些实施方式提供作为本发明的说明性实例,以便本领域技术人员能够实践本发明。本文所提供的图式包括装置和装置工艺流程的代表图,这些代表图并未按比例绘制。应注意,以下图式和实例并不意图将本发明的范围限制为单一实施方式,而是经由互换一些或者所有所描述或图示的元件,其他实施方式也是可能的。此外,其中本发明的某些元件可以使用已知部件部分或完全地实施,将仅描述此类已知部件中理解本发明所必需的部分,并且将省略对此类已知部件的其他部分的详细描述,以免模糊本发明。在本说明书中,说明单一部件的实施方式不应视为限制;更确切地,本发明意图包括包含多个相同部件的其他实施方式,并且反之亦然,除非本文以其他方式明确地说明。此外,本申请人并不打算将本说明书或要求保护的范围内的任何术语归于罕见的或特殊的含义,除非文中明确地阐述为是罕见的或特殊的含义。此外,本发明包括在本文以举例方式提到的所述已知部件的现在和将来的已知的等同物。

[0025] 本发明通常可应用于减少介电薄膜中的针孔。虽然工艺的具体实例提供为用于沉积LiPON薄膜,但是本发明的工艺可应用于沉积其他介电薄膜,诸如SiO₂、Al₂O₃、ZrO₂、Si₃N₄、SiON、TiO₂等。此外,虽然所述在氮环境中进行Li₃PO₄靶的PVD RF溅射的具体实例是设置用于LiPON,但是本发明的所述方法与介电薄层的具体沉积方法无关——本发明的用于减少针孔的方法通常可应用于真空沉积薄膜,并且还可以应用于非真空沉积的薄膜,例如湿法加工的薄膜。

[0026] 图2图示沉积工具200的实例的示意图,所述沉积工具200配置用于根据本发明的沉积方法。所述沉积工具200包括真空腔室201、溅射靶202、基板204和基板底座205。对于LiPON沉积,所述靶202可以是Li₃PO₄,以及适当的基板204可以是硅、硅上氮化硅、玻璃、聚对苯二甲酸乙二醇酯(polyethylene terephthalate;PET)、云母、金属箔等等,其中已经沉积和图案化集电器层和阴极层。见图1。所述腔室201具有真空泵系统206和工艺气体传送系统207。多个电源连接到所述靶。每个靶电源具有匹配网络,所述匹配网络用于控制射频(RF)电源。使用滤波器以使得能够使用在不同频率操作的两个电源,其中所述滤波器起着用以保护在较低频率操作的靶电源不会由于较高的频率而受损的作用。类似地,多个电源连接到所述基板。连接到所述基板的每个电源具有匹配网络,所述匹配网络用于控制射频(RF)电源。使用滤波器以使得能够使用在不同频率操作的两个电源,其中所述滤波器起着用以保护在较低频率操作、连接到所述基板的电源不会由于较高的频率而受损的作用。

[0027] 依据所使用的等离子体针孔减少技术和沉积类型,连接到基板的所述电源中的一或更多个电源可以是直流(DC)源、脉冲DC(pulsed DC;pDC)源、RF源等等。类似地,所述靶电源中的一或更多个可以是DC源、pDC源、RF源等等。所述电源(power source;PS)的结构和使用的一些实例在下表1中提供。此外,在由Kwak等人提交的美国专利申请公开案第2009/0288943号(所述专利申请公开案以引用方式全部并入本文)中所描述的组合电源的原理和结构可以用于根据本发明的一些实施方式的薄膜的沉积;例如,除了RF电源以外的电源的组合在提供所沉积膜中减少的针孔密度方面可以是有效的。此外,可以在沉积期间加热所述基板。

[0028] 表1

[0029]

工艺	电源 1	电源 2	电源 3	电源 4
溅射沉积#1	第一频率的 RF 源	第二频率的 RF 源	直流(DC)源或 pDC 源	RF 源
等离子体针孔 填充#1				RF 源
溅射沉积#2	第一频率的 RF 源	第二频率的 RF 源	不同频率*的 RF 源	RF 源
等离子体针孔 填充#2				RF 源

[0030] *可以使用小于1MHz的频率。

[0031] 表1提供根据本发明的一些实施方式用于溅射沉积和等离子体针孔填充工艺的电源的实例结构。溅射沉积#1和#2可以用来在氮环境或氩环境(后者需要随后的氮等离子体处理,所述氮等离子体处理也可以是所述针孔填充工艺的部分,以提供必需的氮)中利用 Li_3PO_4 靶溅射沉积材料(诸如LiPON);相应的等离子体针孔填充工艺可以用于减少在这些溅射沉积的LiPON膜中的针孔密度。

[0032] 本发明的第一实施方式根据图3所示的一般工艺流程利用后沉积等离子体诱导表面改性(post-deposition plasma induced surface modification)来降低所形成针孔的密度。所述工艺流程可以包括:沉积薄介电层(310);停止沉积介电层,以及改变腔室中的气体(如果需要)(320);在所述基板之上诱导以及维持等离子体,以提供对所沉积介电层的离子轰击,用于重构介电层的表面形态以及在一些实施方式中用于成分修改(compositional modification)(比如并入氮)(330);以及重复步骤(310)到(330),直到沉积了所需厚度的电介质(340)。在这里,薄介电层是指厚度为几纳米到几百纳米的介电层,更具体地说是指厚度2nm到200nm的介电层。

[0033] 图3所示工艺的实例是针对LiPON薄层沉积。第一,经由在氮环境中进行 Li_3PO_4 靶的PVD RF溅射来沉积薄LiPON层。第二,关闭所述RF靶电源,同时维持 N_2 环境。第三,利用RF基板电源将RF直接应用到基板,以在所述基板处产生局部等离子体——该等离子体产生足够高能离子,以给予已沉积的LiPON层充分的能量,使得能够让表面变平滑以及修复针孔,如下文参考图5所更详细描写的。第四,如上所述地重复所述工艺,直到达到所需厚度——这可以是在一个沉积和等离子体处理循环之后、两个沉积和等离子体处理循环之后,或者甚至可能需要多达十次或更多次的重复。应注意利用氮等离子体进行针孔减少还可以经由增加LiPON的含氮量而改良已沉积的LiPON的离子导电率。

[0034] 作为在氮环境中溅射 Li_3PO_4 以形成LiPON膜的替代,可以使用氩环境,接着进行氮等离子体针孔填充工艺。已经发现使用氩进行溅射改良了针孔减少的效果。这可能是因为氮会污染 Li_3PO_4 靶,能导致所述靶产生颗粒,并且这些颗粒能在在所沉积的膜中产生针孔,

而氩不会污染所述靶以及因此产生降低的颗粒脱落,并从而降低针孔形成。此外,经由使用氩环境溅射 Li_3PO_4 以及随后使用氮等离子体处理以去除针孔所形成的膜显示出比使用氮环境溅射沉积但没有经历氮等离子体针孔去除处理的膜提高的离子导电率(ionic conductivity)。提高的导电率可能是由于在氮等离子体处理期间氮更有效地并入到所述LiPON膜中的缘故。(在某种程度上,含氮量越高——即 $\text{Li}_3\text{PO}_{4-x}\text{N}_x$ 中的x越高——所述离子导电率越高。)应注意,可以经由控制所述基板温度来增加用于针孔去除的所述氮等离子体工艺的效率和提高的离子导电率。对于LiPON沉积,虽然高温提高了氮并入,但是所述温度不应该过高,否则所述膜可能会晶化——控制所述基板温度在室温到 300°C 的温度范围内可以提供用于LiPON的更高效工艺。此外,虽然预计可以使用其他气体(诸如氩)代替氩来获得类似的结果,但是与氩相比,诸如氩之类的气体的高成本可能会限制它们的使用。

[0035] 本发明的第二实施方式根据图4所示的一般工艺流程使用后沉积等离子体诱导表面改性来降低所形成针孔的密度。所述工艺流程可包括:沉积高品质的薄介电层(410);停止沉积所述介电层,以及改变所述腔室中的气体(如果需要)(420);诱导和维持在所述基板附近的等离子体,以提供对所沉积的介电层的离子轰击,用于重构所述介电层的表面形态以及在一些实施方式中用于成分修改(比如并入氮)(430);沉积较低品质的厚介电层(440);沉积高品质的薄介电层(450);停止沉积所述介电层,以及改变所述腔室中的气体(如果需要)(460);以及诱导和维持在所述基板附近的等离子体,以提供对所沉积的介电层的离子轰击,用于重构所述介电层的表面形态以及在一些实施方式中用于成分修改(比如并入氮)(470)。所得的整个介电层具有相对均匀的组成,使得整个层的离子导电率满足所述装置要求。例如,所述薄层和所述厚层都是LiPON层,使得整个层具有带有TFB功能性所指定的离子导电率的LiPON组成。在步骤(440)中,可以比薄介电层更快速地沉积厚介电层从而减少处理时间,因此所述厚层是较低品质的电介质——通常电介质的较高沉积速率会导致更多的针孔和更大的表面粗糙度,这无疑是LiPON的情形。但是在提供所需材料规格的情况下仍然必须沉积电介质——例如,在TFB中的厚LiPON层,会需要是稳定的以抵抗介电击穿(dielectric breakdown)。在这里假设在所述电介质堆叠的顶部和底部的薄层提供防短路保护,以使在所述厚层中的针孔是无害的。在这里,厚介电层是指厚度是几百纳米到若干微米或更大的介电层,以及更具体来说是指厚度是200nm到2微米或更大的介电层。通常,由所述装置的击穿电压要求来确定所述厚介电层的厚度。

[0036] 进一步参看图4所示的工艺,可以使用一种跳过步骤450的工艺。在本实施方式中,经由等离子体处理修补所述厚膜中的针孔,所述厚膜的等离子体处理可能需要比用于较薄的高品质介电层更长的时间,但是实际的等离子体处理时间可能未必很长。例如,用于LiPON厚膜的氮等离子体处理时间可以优化以用于填充针孔、增加所述膜的含氮量,或者用于两者的一些组合。

[0037] 图5A到图5C图示经由等离子体处理进行针孔修补的工艺。在图5A中,基板510被金属层520和介电层530覆盖。所述介电层530包括针孔540。图5B图示图5A所示的堆叠暴露于来自等离子体的离子550。所述离子可以产生于局限于所述基板的表面的等离子体中,其中将足够的直流偏压施加到所述基板底座,以使用足够的能量将正离子吸引到所述基板上的电介质表面,从而(1)增加被吸附原子的表面迁移率,和/或(2)溅射表面原子,所述表面原子重新沉积在所述介电层的表面上。(1)和/或(2)连同偏压功率和温度的合适选择一起的

效果是表面改性和针孔的堵塞,如图5C所示。

[0038] 下表2图示根据本发明的一些实施方式,在AMAT 200mm Endura标准物理气相沉积(PVD)腔室中执行的、用于LiPON沉积和等离子体针孔填充的一些采样等离子体配方(recipe)。

[0039] 表2

[0040]

变量	Ar 压强(mTorr)	N ₂ 压强(mTorr)	200 mm 工具的 RF 功率(瓦)†	基板温度(°C)
溅射沉积 A	2-1000	2-1000	200-5000	RT 到 300
等离子体针孔填充 A	0	2-1000	0-1000	RT 到 300
溅射沉积 B	0	2-1000	200-5000	RT 到 300
等离子体针孔填充 B	0	2-1000	0-1000	RT 到 300
溅射沉积 C	2-1000	0	200-5000	RT 到 300
等离子体针孔填充 C	0	2-1000	0-1000	RT 到 300
溅射沉积 D	2-1000	2-1000	200-5000	RT 到 300
等离子体针孔填充 D	2-1000	2-1000	0-1000	RT 到 300

[0041] †功率上限是由于所使用的电源的限制,并且不代表由靶材料的靶面积和功率密度极限值所确定的所述工艺的上限。预计所述功率可以增大达靶破裂开始时的点。

[0042] 表2提供用于溅射Li₃PO₄以形成薄膜、接着进行等离子体针孔去除以赋予LiPON薄膜低针孔密度的工艺条件的实例。工艺A是在氮、氩环境中进行溅射沉积、接着进行氮等离子体针孔填充的实例。工艺B是在氮环境中进行溅射沉积、接着进行氮等离子体针孔填充的实例。工艺C是在氩环境中进行溅射沉积、接着进行氮等离子体针孔填充的实例。工艺D是在氮、氩环境中进行溅射沉积、接着进行氮、氩等离子体针孔填充的实例。这些只是可以使用的许多变更的工艺条件的一些实例。应注意所述工艺是按照较大面积工具规模设定的。例如,具有1400mm x 190mm矩形LiPON靶的串联工具已在10kW下操作。大的串联靶可以用具有由所述靶材料的靶面积和功率密度极限值所确定的上限的射频功率操作。

[0043] 此外,所述工艺条件可以变更为与如上所述的那些工艺条件不同。例如,对于诸如LiCoO₂之类的其他材料,沉积温度可能更高,电源可以是pDC,以及等离子体处理气体可以是氧气或Ar/O_x/N₂混合物。在阅读本公开案之后,本领域技术人员将了解,可以进行对这些参数的调整,以提高所沉积膜的均匀性、表面粗糙度、层密度等等(如果需要)。

[0044] 虽然图2图示具有水平平坦的靶和基板的腔室配置,但是所述靶和基板可以保持

在竖直平面中——如果所述靶本身产生颗粒,则这种配置能够帮助减轻颗粒问题。此外,所述靶和所述基板的位置可以切换,以便所述基板保持在所述靶的上方。更进一步地,所述基板可以是柔性的并且经由卷盘到卷盘(reel to reel)系统在所述靶前面移动,所述靶可以是旋转的圆柱形靶,所述靶可以是非平面的,和/或所述基板可以是非平面的。

[0045] 此外,上述工艺被描述为完全在单一沉积腔室中执行。然而,所述薄介电层的沉积可以在第一腔室中完成,而所述等离子体处理可以在另一腔室中完成。

[0046] 图6是根据本发明的一些实施方式用于制造TFB装置的处理系统600的示意图。处理系统600包括标准机械接口(standard mechanical interface;SMIF),所述SMIF连接到装备有反应性等离子体清洁(reactive plasma clean;RPC)腔室和工艺腔室C1-C4的群集工具,所述群集工具可以在如上所述的工艺步骤中使用。如果需要,也可以将手套箱(glovebox)附接到所述群集工具。所述手套箱可以将基板存储在惰性环境中(例如,在诸如He、Ne或Ar之类的惰性气体下),这在碱金属/碱土金属沉积之后是有用的。如果需要还可以使用连接到手套箱的前腔室(ante chamber)——所述前腔室是气体交换腔室(惰性气体交换为空气,反之亦然),所述前腔室允许基板传递进出所述手套箱,同时不会污染所述手套箱中的惰性环境。(应注意可以使用具有足够低的露点的干燥室内环境替代手套箱,如锂箔制造商所使用的。)腔室C1-C4可以配置用于制造薄膜电池装置的工艺步骤,所述工艺步骤可包括:如上所述地沉积介电层(例如,在N₂中经由射频溅射Li₃PO₄靶来沉积LiPON)和进行等离子体针孔填充。将理解的是虽然群集结构已经图示用于处理系统600,但是也可以使用线性系统,在所述线性系统中各处理腔室排成一队设置,且不设置传递腔室,因此基板连续地从一个腔室移动到下一个腔室。

[0047] 图7图示根据本发明的一些实施方式,具有多个串联工具710、720、730、740等等的串联制造系统700的代表图。串联工具可包括用于沉积电化学装置——包括TFB和电变色装置两者的所有层的工具。此外,所述串联工具可包括预调节腔室和后调节腔室。例如,工具710可以是排空(pump down)腔室,用于在基板移动穿过真空气闸室(airlock)715进入沉积工具720之前建立真空状态。一些或所有的串联工具可以是被真空气闸室715分隔的真空工具。应注意在工艺线路中特定工艺工具和工艺工具的顺序将由所使用的特定电变色装置制造方法确定。例如,一或多个串联工具可以用于根据本发明的一些实施方式沉积LiPON介电层,在这些实施方式中使用等离子体针孔减少工艺,如上所述。此外,基板可以移动穿过水平或垂直定向的串联制造系统。更进一步地,所述串联系统可以适用于卷材基板(web substrate)的卷盘到卷盘处理。

[0048] 为了说明基板穿过例如图7所示的串联制造系统的运动,在图8中图示仅具有一个安装好的串联工具710的基板传送带(substrate conveyer)750。含有基板810的基板保持器(substrate holder)755(所述基板保持器图示为部分地切去,以便可以看见所述基板)被安装在所述传送带750或等同装置上,以移动所述保持器和基板穿过所述串联工具710,如所示的那样。用于具有垂直基板配置的处理工具710的合适串联平台是应用材料公司(Appplied Materials)的New Aristo™。用于具有水平基板配置的工艺工具710的合适串联平台是应用材料公司(Appplied Materials)的Aton™。此外,串联工艺可以在卷盘到卷盘系统(诸如应用材料公司(Appplied Materials)的SmartWeb™)上实施。

[0049] 根据本发明的各实施方式用于沉积介电薄膜的第一设备可以包括第一系统,所述

第一系统用于：沉积薄介电层；停止沉积介电层，以及改变腔室中的气体（如果需要）；在基板附近诱导和维持等离子体，以提供对所沉积的介电层的离子轰击；以及重复所述沉积、停止和诱导步骤，直到沉积了所需厚度的电介质为止。然而，所述沉积、停止和诱导步骤的重复可以在第二系统、第三系统等等中进行，取决于所述第一设备所需的重复次数和产量。所述第一设备可以是群集工具或者串联工具。此外在串联或卷盘到卷盘设备中，所述沉积和诱导步骤可以在分隔的、相邻的系统中执行，以及可以按需要进一步串联地添加用于沉积和诱导步骤的成对系统，以重复所述沉积和诱导步骤。

[0050] 根据本发明的各实施方式用于沉积介电薄膜的第二设备可以包括：第一系统，所述第一系统用于：沉积高品质的薄介电层，停止沉积介电层，以及改变腔室中的气体（如果需要），以及在基板附近诱导和维持等离子体以提供对所沉积的介电层的离子轰击；第二系统，所述第二系统用于沉积较低品质的厚介电层；以及第三系统，所述第三系统用于：沉积高品质的薄介电层，停止沉积介电层，以及改变腔室中的气体（如果需要），以及在基板附近诱导和维持等离子体以提供对所沉积的介电层的离子轰击。然而，所述第一、第二、和第三系统，所述第一和第二系统，或者所述第二和第三系统可以是单独一个系统。所述第二设备可以是群集工具，或者串联工具，或者卷盘到卷盘工具。此外，当所述第二设备是群集工具时，所述第一和第三系统可以是单独一个系统。

[0051] 虽然上述给出的实例聚焦于TFB和电变色装置，但是本发明的原理和方法同样可应用于诸如渗透阻挡层之类的结构。渗透阻挡层通常由多个重复的介电层（或者其他真空沉积的金属/半导体）和平坦化的聚合物膜构成。平坦化层仍然是可渗透的，并且因此所述介电层承担完全渗透阻挡层的功能。因此，最小化电介质中针孔的本发明的工艺对于此类结构同样也是有用的。

[0052] 虽然已经参考本发明的一些实施方式具体地描述了本发明，但是对于本领域普通技术人员应显而易见的是：在不脱离本发明的精神和范围的情况下，可以进行对形式和细节的变化和修改。

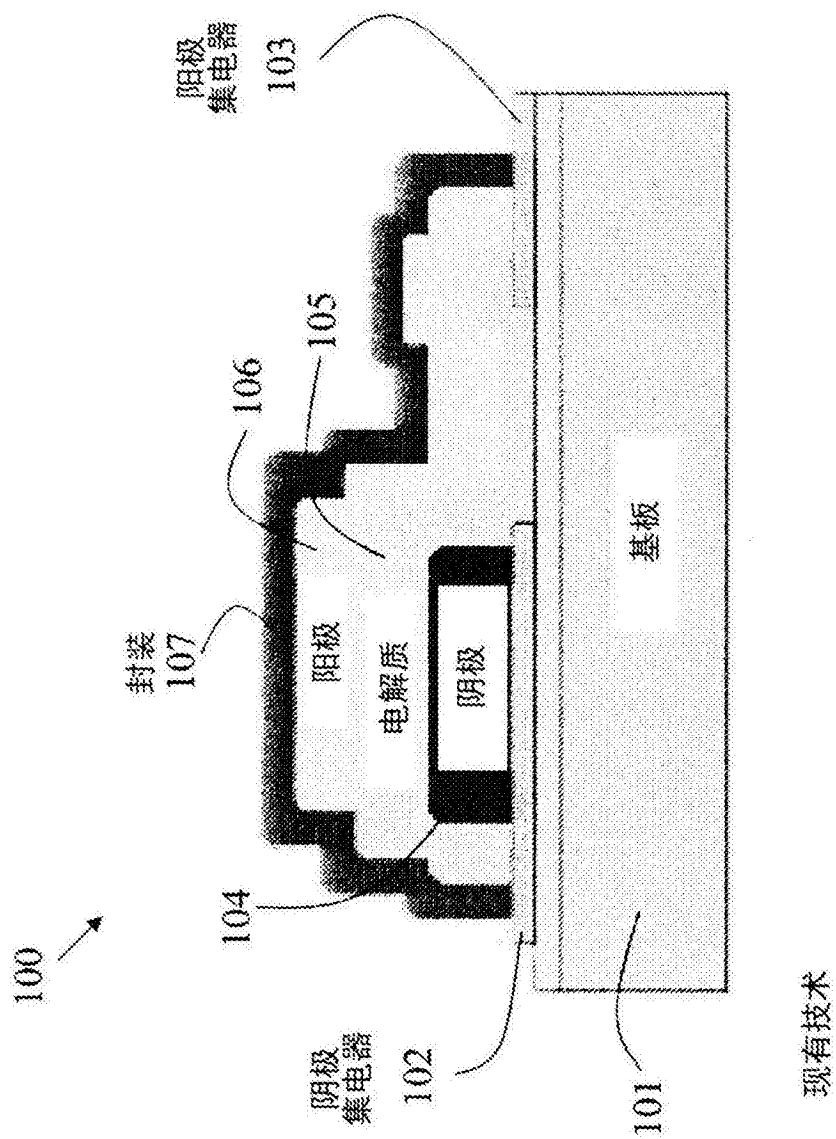


图1

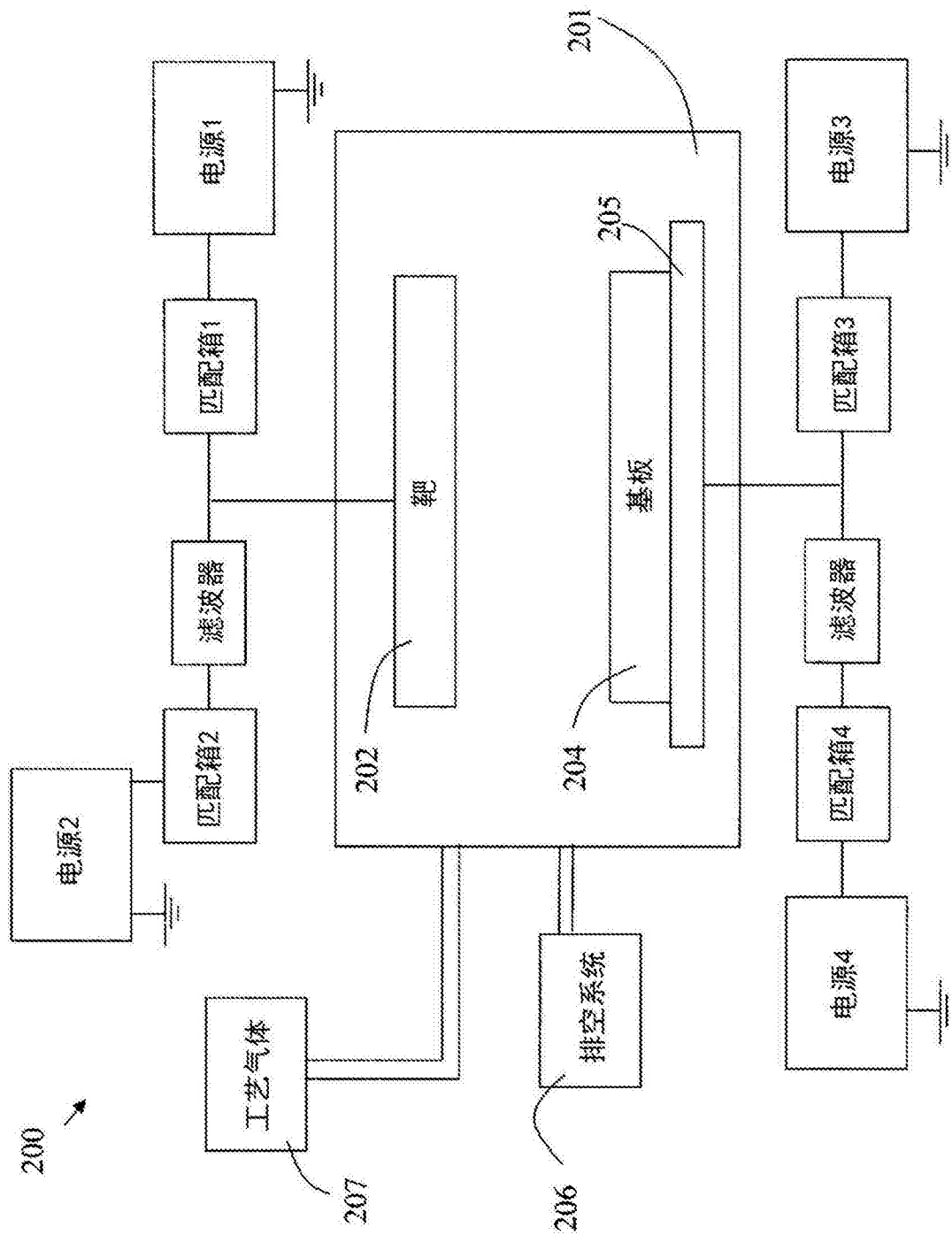


图2

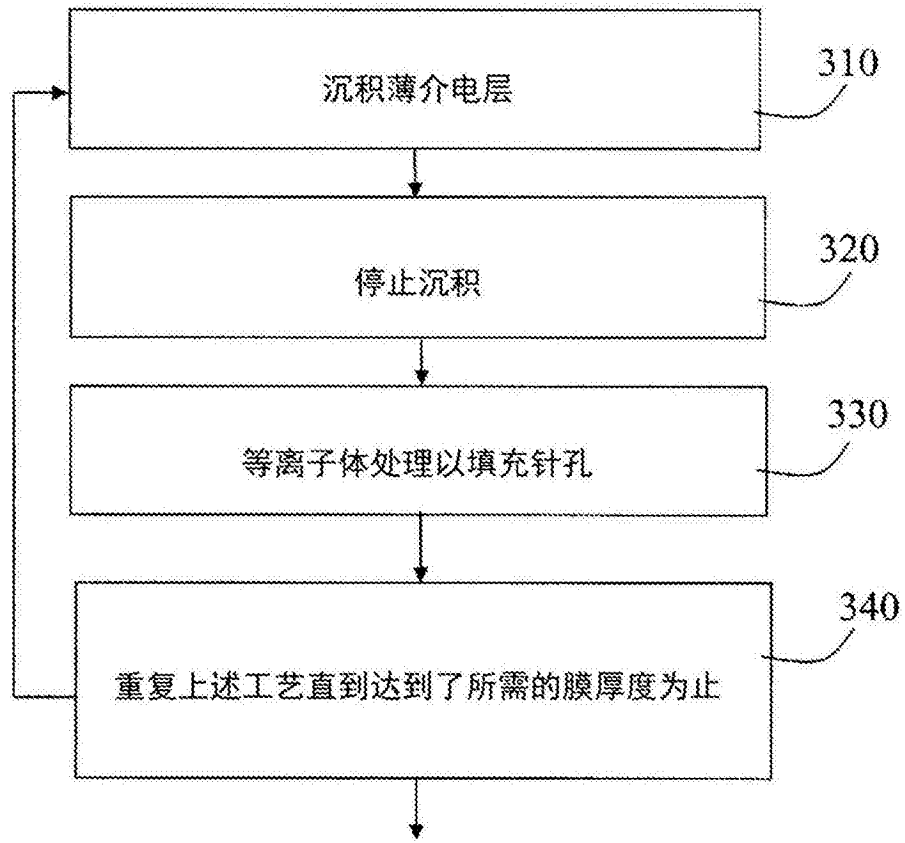


图3

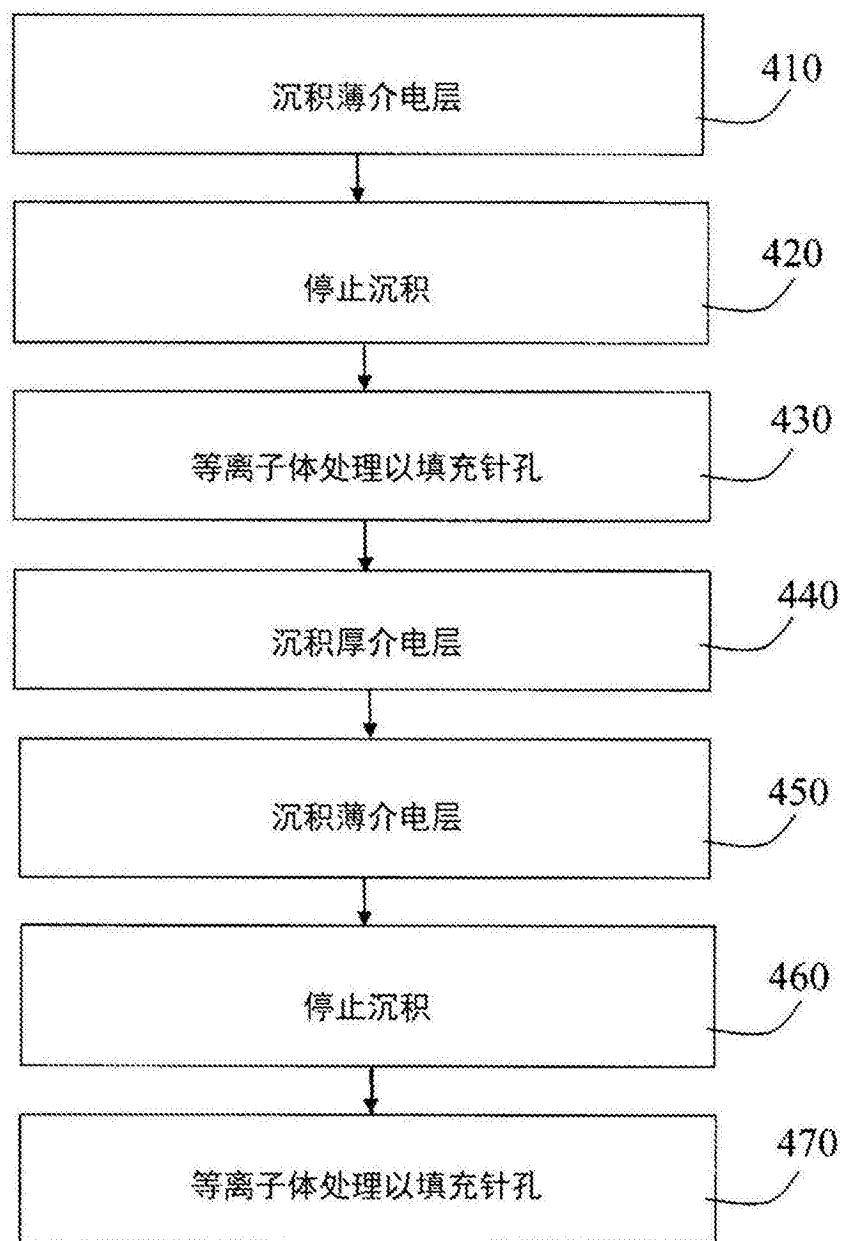


图4

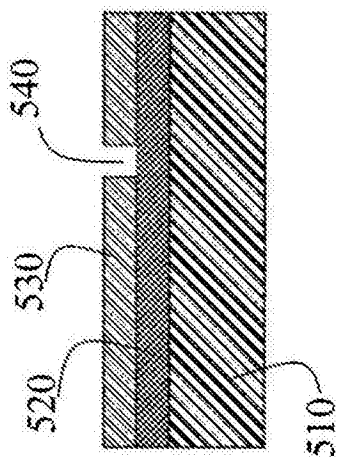


图5A

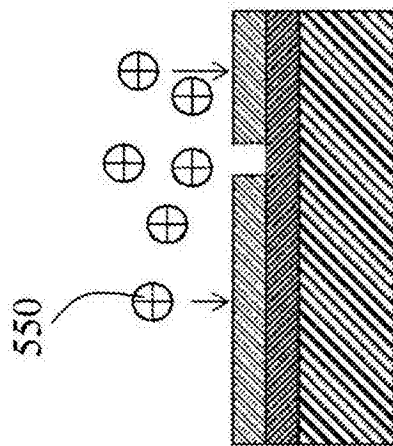


图5B

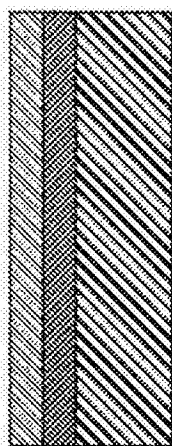


图5C

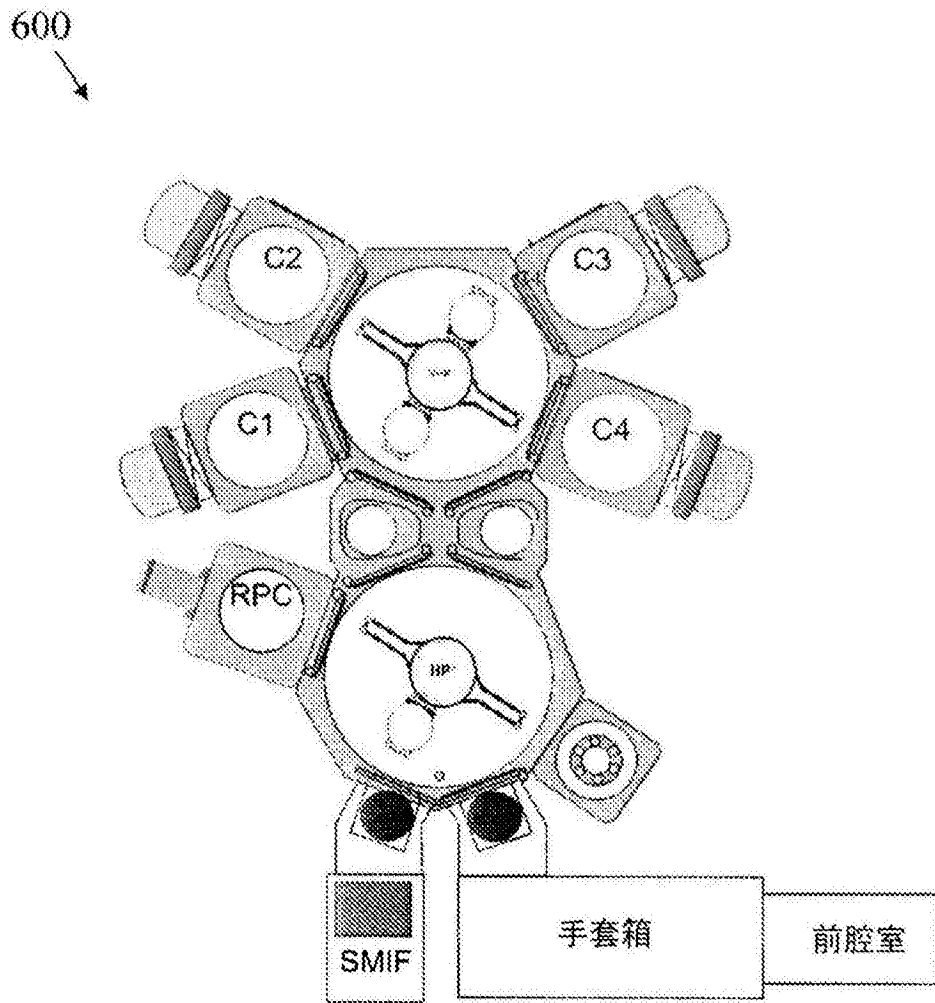


图6

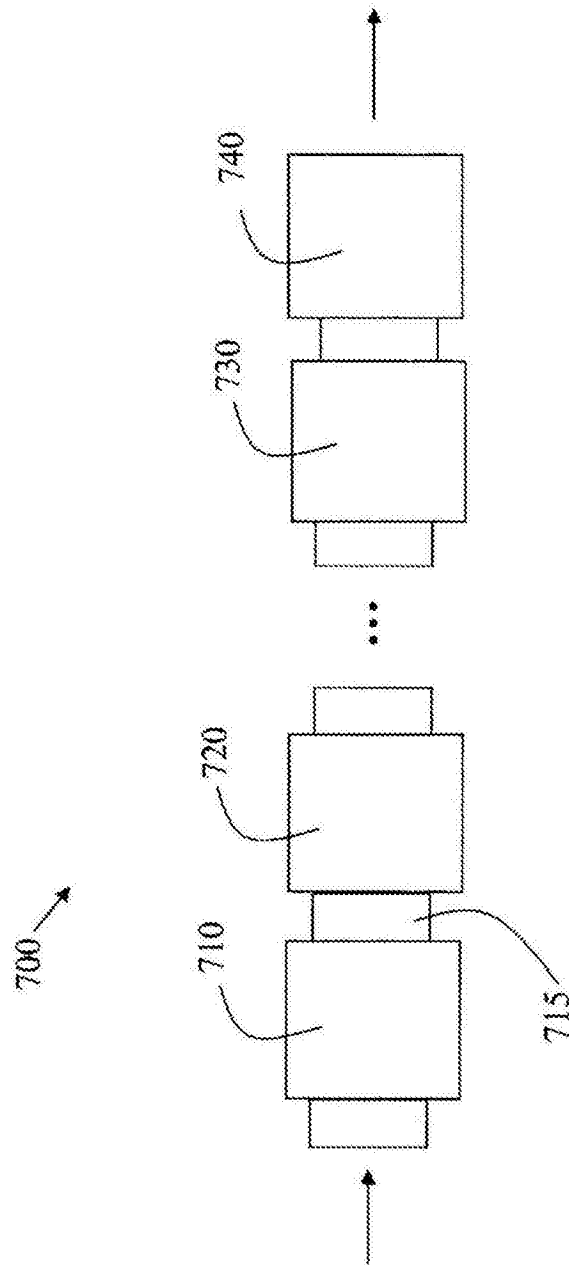


图7

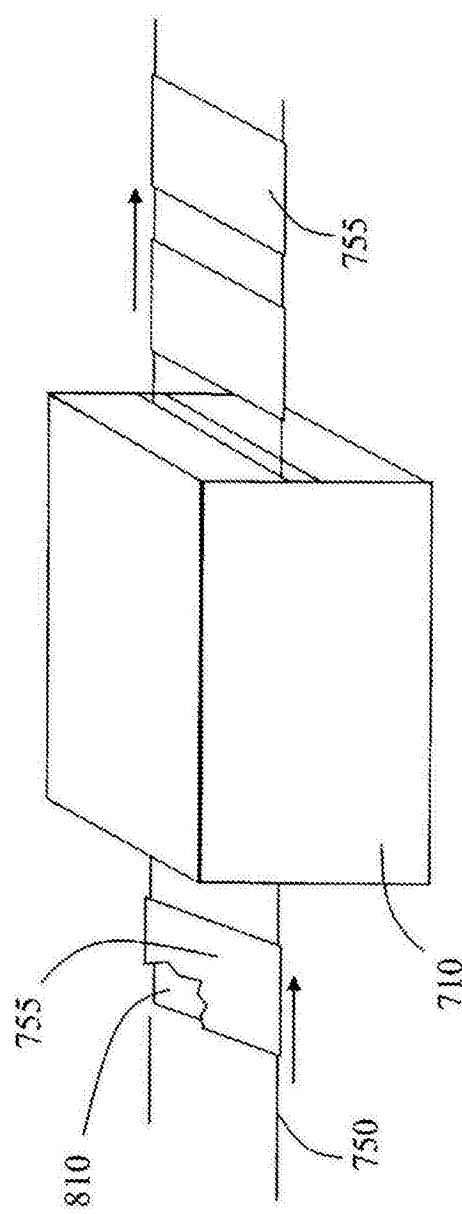


图8