



(12)发明专利

(10)授权公告号 CN 105191128 B

(45)授权公告日 2018.06.12

(21)申请号 201480014291.8

(22)申请日 2014.03.11

(65)同一申请的已公布的文献号

申请公布号 CN 105191128 A

(43)申请公布日 2015.12.23

(30)优先权数据

13/834,861 2013.03.15 US

(85)PCT国际申请进入国家阶段日

2015.09.11

(86)PCT国际申请的申请数据

PCT/US2014/023684 2014.03.11

(87)PCT国际申请的公布数据

W02014/150581 EN 2014.09.25

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 D·朴 L·刘 S·荣

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 袁逸

(51)Int.Cl.

H03K 5/08(2006.01)

H03K 6/02(2006.01)

(56)对比文件

US 6177819 B1,2001.01.23,

US 6323756 B1,2001.11.27,

US 2008201596 A1,2008.08.21,

CN 102577123 A,2012.07.11,

审查员 李健壮

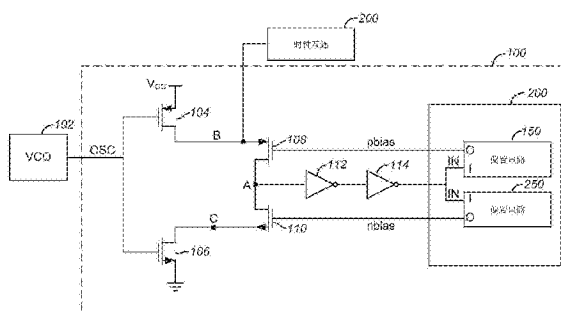
权利要求书6页 说明书7页 附图4页

(54)发明名称

用于高频时钟互连的具有输出摆幅检测器的电流模式缓冲器

(57)摘要

高速电流模式时钟驱动器包括反馈电路系统以将偏置节点的电压摆幅维持在定义的范围。电流模式时钟驱动器包括在其栅极端子接收振荡信号的PMOS和NMOS晶体管。PMOS和NMOS晶体管的漏极端子分别耦合到第一和第二可变电导率电路的输入端子,该第一和第二可变电导率电路的输出端子耦合到共用节点。控制电路响应于该共用节点的电压摆幅的减小而增大第一和第二可变电导率电路的电导率,以及响应于该共用节点的电压摆幅的增大而减小第一和第二可变电导率电路的电导率。该第一和第二可变电导率电路可选地分别是PMOS和NMOS晶体管。



1. 一种电流模式时钟驱动器电路,包括:

第一PMOS晶体管,其具有接收振荡信号的栅极端子、和接收第一电源电压的源极端子;

第一NMOS晶体管,其具有接收所述振荡信号的栅极端子、和接收第二电源电压的源极端子;

第一可变电导率电路,其具有耦合到所述第一PMOS晶体管的漏极端子的第一输入端子、和耦合到共用节点的输出端子;

第二可变电导率电路,其具有耦合到所述第一NMOS晶体管的漏极端子的第一输入端子,所述第二可变电导率电路具有耦合到所述共用节点的输出端子;以及

控制电路,其适配成响应于所述共用节点的电压摆幅的减小而增大所述第一和第二可变电导率电路的电导率,所述控制电路进一步适配成响应于所述共用节点的电压摆幅的增加而减小所述第一和第二可变电导率电路的所述电导率,以及其中所述控制电路包括第一偏置电路,所述第一偏置电路包括:

第一电流镜;

第一电容器;以及

第一差分放大器,其包括第三NMOS晶体管,所述第三NMOS晶体管具有响应于所述共用节点的所述电压的源极端子。

2. 如权利要求1所述的电流模式时钟驱动器电路,其特征在于,所述第一可变电导率电路是第二PMOS晶体管,所述第二PMOS晶体管具有耦合到所述第一PMOS晶体管的漏极端子的源极端子、以及耦合到所述共用节点的漏极端子。

3. 如权利要求2所述的电流模式时钟驱动器电路,其特征在于,所述第二可变电导率电路是第二NMOS晶体管,所述第二NMOS晶体管具有耦合到所述第一NMOS晶体管的漏极端子的源极端子、以及耦合到所述共用节点的漏极端子。

4. 如权利要求1所述的电流模式时钟驱动器电路,其特征在于,所述第一差分放大器进一步包括第四NMOS晶体管,所述第四NMOS晶体管接收由所述第一电流镜生成的电流,并且具有耦合到所述第三NMOS晶体管的栅极端子的栅极端子。

5. 如权利要求4所述的电流模式时钟驱动器电路,其特征在于,进一步包括耦合在所述第四NMOS晶体管的源极端子与所述第二电源电压之间的电阻性元件。

6. 如权利要求5所述的电流模式时钟驱动器电路,其特征在于,跨所述第一电容器的电压由所述第一电流镜所提供的电流与流过所述第三NMOS晶体管的电流之间的差来定义。

7. 如权利要求6所述的电流模式时钟驱动器电路,其特征在于,所述控制电路进一步包括第二偏置电路,所述第二偏置电路包括:

第二电流镜;

第二电容器;以及

第二差分放大器,其包括第三PMOS晶体管,所述第三PMOS晶体管具有响应于所述共用节点的所述电压的源极端子。

8. 如权利要求7所述的电流模式时钟驱动器电路,其特征在于,所述第二差分放大器进一步包括第四PMOS晶体管,所述第四PMOS晶体管接收所述第二电流镜所生成的电流,并且具有耦合到所述第三PMOS晶体管的栅极端子的栅极端子。

9. 如权利要求8所述的电流模式时钟驱动器电路,其特征在于,跨所述第二电容器的电

压由所述第二电流镜所提供的电流与流过所述第三PMOS晶体管的电流之间的差来定义。

10. 如权利要求9所述的电流模式时钟驱动器,其特征在于,所述第二可变电导率电路是第二NMOS晶体管,跨所述第一电容器的电压被施加到所述第二NMOS晶体管的栅极端子。

11. 如权利要求10所述的电流模式时钟驱动器,其特征在于,所述第一可变电导率电路是第二PMOS晶体管,跨所述第二电容器的电压被施加到所述第二PMOS晶体管的栅极端子。

12. 一种驱动时钟互连的方法,所述方法包括:

将振荡信号施加到第一PMOS晶体管的栅极端子,所述第一PMOS晶体管具有接收第一电源电压的源极端子;

将所述振荡信号施加到第一NMOS晶体管的栅极端子,所述第一NMOS晶体管具有接收第二电源电压的源极端子;

将所述第一PMOS晶体管的漏极端子耦合到第一可变电导率电路的第一输入端子;

将所述第一NMOS晶体管的漏极端子耦合到第二可变电导率电路的第一输入端子;

将所述第一和第二可变电导率电路的输出端子耦合到共用节点;

响应于所述共用节点的电压摆幅的减小,增大所述第一和第二可变电导率电路的电导率;以及

响应于所述共用节点的电压摆幅的增大,减小所述第一和第二可变电导率电路的电导率,其中改变所述第二可变电导率电路的所述电导率包括:

形成第一电流镜;

将所述第一电流镜耦合到第一电容器;以及

形成第一差分放大器,其包括第三NMOS晶体管,所述第三NMOS晶体管具有响应于所述共用节点的所述电压的源极端子。

13. 如权利要求12所述的方法,其特征在于,所述第一可变电导率电路是第二PMOS晶体管,所述第二PMOS晶体管具有耦合到所述第一PMOS晶体管的漏极端子的源极端子、以及耦合到所述共用节点的漏极端子。

14. 如权利要求13所述的方法,其特征在于,所述第二可变电导率电路是第二NMOS晶体管,所述第二NMOS晶体管具有耦合到所述第一NMOS晶体管的漏极端子的源极端子、以及耦合到所述共用节点的漏极端子。

15. 如权利要求12所述的方法,其特征在于,所述第一差分放大器进一步包括第四NMOS晶体管,所述第四NMOS晶体管接收由所述第一电流镜生成的电流,并且具有耦合到所述第三NMOS晶体管的栅极端子的栅极端子。

16. 如权利要求15所述的方法,其特征在于,进一步包括:

将电阻性元件耦合在所述第四NMOS晶体管的源极端子与所述第二电源电压之间。

17. 如权利要求16所述的方法,其特征在于,进一步包括:

形成由所述第一电流镜所提供的电流与流过所述第三NMOS晶体管的电流之间的差来定义的跨所述第一电容器的电压。

18. 如权利要求17所述的方法,其特征在于,所述第一可变电导率电路是第二PMOS晶体管,改变所述第二PMOS晶体管的所述电导率包括:

形成第二电流镜;

将所述第二电流镜耦合到第二电容器;以及

形成第二差分放大器,其包括第三PMOS晶体管,所述第三PMOS晶体管具有响应于所述共用节点的所述电压的源极端子。

19.如权利要求18所述的方法,其特征在于,所述第二差分放大器进一步包括第四PMOS晶体管,所述第四PMOS晶体管接收由所述第二电流镜生成的电流,并且具有耦合到所述第三PMOS晶体管的栅极端子的栅极端子。

20.如权利要求19所述的方法,其特征在于,进一步包括:

形成由所述第二电流镜所提供的电流与流过所述第三PMOS晶体管的电流之间的差来定义的跨所述第二电容器的电压。

21.如权利要求20所述的方法,其特征在于,所述第二可变电导率电路是第二NMOS晶体管,所述方法进一步包括:

将所述第一电容器的所述电压施加到所述第二NMOS晶体管的栅极端子。

22.如权利要求21所述的方法,其特征在于,进一步包括:

将所述第二电容器的所述电压施加到所述第二PMOS晶体管的栅极端子。

23.一种电流模式时钟驱动器,包括:

用于将振荡信号施加到第一PMOS晶体管的栅极端子的装置,所述第一PMOS晶体管具有接收第一电源电压的源极端子;

用于将所述振荡信号施加到第一NMOS晶体管的栅极端子的装置,所述第一NMOS晶体管具有接收第二电源电压的源极端子;

用于将所述第一PMOS晶体管的漏极端子耦合到第一可变电导率电路的第一输入端子的装置;

用于将所述第一NMOS晶体管的漏极端子耦合到第二可变电导率电路的第一输入端子的装置;

用于将所述第一和第二可变电导率电路的输出端子耦合到共用节点的装置;

用于响应于所述共用节点的电压摆幅的减小而增大所述第一和第二可变电导率电路的电导率的装置;以及

用于响应于所述共用节点的电压摆幅的增大而减小所述第一和第二可变电导率电路的电导率的装置,其中所述用于增大或减小所述第二可变电导率电路的电导率的装置进一步包括:

用于形成第一电流镜的装置;

用于将所述第一电流镜耦合到第一电容器的装置;以及

用于形成第一差分放大器的装置,所述第一差分放大器包括第三NMOS晶体管,所述第三NMOS晶体管具有响应于所述共用节点的所述电压的源极端子。

24.如权利要求23所述的电流模式时钟驱动器,其特征在于,所述第一可变电导率电路是第二PMOS晶体管,所述第二PMOS晶体管具有耦合到所述第一PMOS晶体管的漏极端子的源极端子、以及耦合到所述共用节点的漏极端子。

25.如权利要求24所述的电流模式时钟驱动器,其特征在于,所述第二可变电导率电路是第二NMOS晶体管,所述第二NMOS晶体管具有耦合到所述第一NMOS晶体管的漏极端子的源极端子、以及耦合到所述共用节点的漏极端子。

26.如权利要求23所述的电流模式时钟驱动器,其特征在于,所述第一差分放大器进一

步包括第四NMOS晶体管,所述第四NMOS晶体管接收由所述第一电流镜生成的电流,并且具有耦合到所述第三NMOS晶体管的栅极端子的栅极端子。

27. 如权利要求26所述的电流模式时钟驱动器,其特征在于,进一步包括:

用于将电阻性元件耦合在所述第四NMOS晶体管的源极端子与所述第二电源电压之间的装置。

28. 如权利要求27所述的电流模式时钟驱动器,其特征在于,进一步包括:

用于形成跨所述第一电容器的电压的装置,所述第一电压由所述第一电流镜所提供的电流与流过所述第三NMOS晶体管的电流之间的差来定义。

29. 如权利要求28所述的电流模式时钟驱动器,其特征在于,所述第一可变电导率电路是第二PMOS晶体管,所述用于增大或减小所述第二PMOS晶体管的电导率的装置进一步包括:

用于形成第二电流镜的装置;

用于将所述第二电流镜耦合到第二电容器的装置;以及

用于形成第二差分放大器的装置,所述第二差分放大器包括第三PMOS晶体管,所述第三PMOS晶体管具有响应于所述共用节点的所述电压的源极端子。

30. 如权利要求29所述的电流模式时钟驱动器,其特征在于,所述第二差分放大器进一步包括第四PMOS晶体管,所述第四PMOS晶体管接收由所述第二电流镜生成的电流,并且具有耦合到所述第三PMOS晶体管的栅极端子的栅极端子。

31. 如权利要求30所述的电流模式时钟驱动器,其特征在于,进一步包括:

用于形成跨所述第二电容器的第二电压的装置,所述第二电压由所述第二电流镜所提供的电流与流过所述第三PMOS晶体管的电流之间的差来定义。

32. 如权利要求31所述的电流模式时钟驱动器,其特征在于,所述第二可变电导率电路是第二NMOS晶体管,所述电流模式时钟驱动器进一步包括:

用于将所述第一电压施加到所述第二NMOS晶体管的栅极端子的装置。

33. 如权利要求32所述的电流模式时钟驱动器,其特征在于,进一步包括:

用于将所述第二电压施加到所述第二PMOS晶体管的栅极端子的装置。

34. 一种非瞬态计算机可读存储介质,其包括在由处理器执行时使得所述处理器执行以下动作的指令:

将振荡信号施加到第一PMOS晶体管的栅极端子,所述第一PMOS晶体管具有接收第一电源电压的源极端子;

将所述振荡信号施加到第一NMOS晶体管的栅极端子,所述第一NMOS晶体管具有接收第二电源电压的源极端子;

将所述第一PMOS晶体管的漏极端子耦合到第一可变电导率电路的第一输入端子;

将所述第一NMOS晶体管的漏极端子耦合到第二可变电导率电路的第一输入端子;

将所述第一和第二可变电导率电路的输出端子耦合到共用节点;

响应于所述共用节点的电压摆幅的减小而增大所述第一和第二可变电导率电路的电导率;以及

响应于所述共用节点的电压摆幅的增大而减小所述第一和第二可变电导率电路的电导率,其中所述指令进一步使得处理器:

形成第一电流镜；

将所述第一电流镜耦合到第一电容器；以及

形成第一差分放大器，所述第一差分放大器包括第三NMOS晶体管，所述第三NMOS晶体管具有响应于所述共用节点的所述电压藉此改变所述第二可变电导率电路的电导率的源极端子。

35. 如权利要求34所述的非瞬态计算机可读存储介质，其特征在于，所述第一可变电导率电路是第二PMOS晶体管，所述第二PMOS晶体管具有耦合到所述第一PMOS晶体管的漏极端子的源极端子、以及耦合到所述共用节点的漏极端子。

36. 如权利要求35所述的非瞬态计算机可读存储介质，其特征在于，所述第二可变电导率电路是第二NMOS晶体管，所述第二NMOS晶体管具有耦合到所述第一NMOS晶体管的漏极端子的源极端子、以及耦合到所述共用节点的漏极端子。

37. 如权利要求34所述的非瞬态计算机可读存储介质，其特征在于，所述第一差分放大器进一步包括第四NMOS晶体管，所述第四NMOS晶体管接收由所述第一电流镜生成的电流，并且具有耦合到所述第三NMOS晶体管的栅极端子的栅极端子。

38. 如权利要求37所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步使得处理器：

将电阻性元件耦合在所述第四NMOS晶体管的源极端子与所述第二电源电压之间。

39. 如权利要求38所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步使得处理器：

形成由所述第一电流镜所提供的电流与流过所述第三NMOS晶体管的电流之间的差定义的跨所述第一电容器的电压。

40. 如权利要求39所述的非瞬态计算机可读存储介质，其特征在于，所述第一可变电导率电路是第二PMOS晶体管，所述指令进一步使得处理器：

形成第二电流镜；

将所述第二电流镜耦合到第二电容器；以及

形成第二差分放大器，所述第二差分放大器包括第三PMOS晶体管，所述第三PMOS晶体管具有响应于所述共用节点的所述电压藉此改变所述第二PMOS晶体管的电导率的源极端子。

41. 如权利要求40所述的非瞬态计算机可读存储介质，其特征在于，所述第二差分放大器进一步包括第四PMOS晶体管，所述第四PMOS晶体管接收由所述第二电流镜生成的电流，并且具有耦合到所述第三PMOS晶体管的栅极端子的栅极端子。

42. 如权利要求41所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步使得处理器：

形成由所述第二电流镜所提供的电流与流过所述第三PMOS晶体管的电流之间的差来定义的跨所述第二电容器的电压。

43. 如权利要求42所述的非瞬态计算机可读存储介质，其特征在于，所述第二可变电导率电路是第二NMOS晶体管，所述指令进一步使得处理器：

将所述第一电容器的所述电压施加到所述第二NMOS晶体管的栅极端子。

44. 如权利要求43所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步使

得处理器：

将所述第二电容器的所述电压施加到所述第二PMOS晶体管的栅极端子。

用于高频时钟互连的具有输出摆幅检测器的电流模式缓冲器

[0001] 发明背景

[0002] 本发明涉及集成电路(IC),尤其涉及IC中使用的高频时钟互连电路。

[0003] IC经常包括时钟互连电路,该时钟互连电路适配成生成控制布置在该IC中的各种块的操作的大量时钟信号。控制这些时钟信号的到达时间上的差异(通常被称为时钟偏斜)是重要的。

[0004] 时钟偏斜取决于两个主要参数,即时钟信号所见的负载以及时钟互连的RC延迟。如众所周知地,时钟偏斜增大了循环时间并且降低了IC能操作的速率。已开发出数种不同的时钟驱动器以补偿个体时钟信号的差分延迟从而将时钟偏斜最小化。

[0005] 随着IC的工作频率提高,时钟分布电路的各种组件(诸如本地振荡器(LO)和锁相环(PLL))的功耗开始增加。为了降低高频情况下的功耗,电流模式时钟驱动器/缓冲器已被开发出来。然而,常规电流模式时钟驱动器被设计成在最坏情形电压、温度和工艺条件下操作。如此,常规电流模式缓冲器并不是功率高效的。控制工作在相对高频的时钟互连电路的功耗仍然是个挑战。

[0006] 发明概述

[0007] 根据本发明的一个实施例的一种电流模式驱动器电路部分地包括第一PMOS晶体管、第一NMOS晶体管、第一和第二可变电导率电路、和控制电路。第一PMOS晶体管具有接收振荡信号的栅极端子和接收第一电源电压的源极端子。第一NMOS晶体管具有接收振荡信号的栅极端子和接收第二电源电压的源极端子。第一可变电导率电路具有耦合到第一PMOS晶体管的漏极端子的第一输入端子和耦合到共用节点的输出端子。第二可变电导率电路具有耦合到第一NMOS晶体管的漏极端子的第一输入端子和耦合到该共用节点的输出端子。控制电路适配成响应于该共用节点的电压摆幅的减小而增大第一和第二可变电导率电路的电导率,以及进一步响应于该共用节点的电压摆幅的增大而减小第一和第二可变电导率电路的电导率。

[0008] 在一个实施例中,第一可变电导率电路为PMOS晶体管(第二PMOS晶体管),其具有耦合到第一PMOS晶体管的漏极端子的源极端子和耦合到该共用节点的漏极端子。在一个实施例中,第二可变电导率电路为NMOS晶体管(第二NMOS晶体管),其具有耦合到第一NMOS晶体管的漏极端子的源极端子和耦合到该共用节点的漏极端子。

[0009] 在一个实施例中,该电流模式时钟驱动器进一步包括第一偏置电路,该第一偏置电路进而包括第一电流镜、第一电容器和第一差分放大器。第一差分放大器包括第三NMOS晶体管,该第三NMOS晶体管的源极响应于该共用节点的电压。第一差分放大器进一步包括第四NMOS晶体管,该第四NMOS晶体管接收第一电流镜生成的电流,并且具有耦合到第三NMOS晶体管的栅极端子的栅极端子。

[0010] 在一个实施例中,第一偏置电路进一步部分地包括耦合在第四NMOS晶体管的源极端子与第二电源电压之间的电阻性元件。在一个实施例中,跨第一电容器的电压由第一电流镜提供的电流与流过第三NMOS晶体管的电流之间的差定义。

[0011] 在一个实施例中,该电流模式时钟驱动器进一步包括第二偏置电路,该第二偏置

电路进而包括第二电流镜、第二电容器和第二差分放大器。第二差分放大器包括第三PMOS晶体管,该第三PMOS晶体管的源极响应于该共用节点的电压。第二差分放大器进一步包括第四PMOS晶体管,该第四PMOS晶体管接收第二电流镜生成的电流,并且具有耦合到第三PMOS晶体管的栅极端子的栅极端子。

[0012] 在一个实施例中,跨第二电容器的电压由第二电流镜提供的电流与流过第三PMOS晶体管的电流之间的差定义。在一个实施例中,跨第一电容器的电压被施加到第二NMOS晶体管的栅极端子,并且该跨第二电容器的电压被施加到第二PMOS晶体管的栅极端子。

[0013] 根据本公开的一个实施例的一种驱动时钟互连的方法部分地包括将振荡信号施加到第一PMOS晶体管的栅极端子,该第一PMOS晶体管的源极端子接收第一电源电压;将该振荡信号施加到第一NMOS晶体管的栅极端子,该第一NMOS晶体管的源极端子接收第二电源电压;将第一PMOS晶体管的漏极端子耦合到第一可变电导率电路的第一输入端子;将该第一NMOS晶体管的漏极端子耦合到第二可变电导率电路的第一输入端子;将第一和第二可变电导率电路的输出端子耦合到共用节点;响应于该共用节点的电压摆幅减小,增大第一和第二可变电导率电路的电导率;以及响应于该共用节点的电压摆幅的增大,减小第一和第二可变电导率电路的电导率。

[0014] 根据一个实施例,第一可变电导率电路为PMOS晶体管(第二PMOS晶体管),其具有耦合到第一PMOS晶体管的漏极端子的源极端子、和耦合到该共用节点的漏极端子。第二可变电导率电路为NMOS晶体管(第二NMOS晶体管),其具有耦合到第一NMOS晶体管的漏极端子的源极端子、和耦合到该共用节点的漏极端子。

[0015] 在一个实施例中,改变第二NMOS晶体管的电导率包括形成第一电流镜,将该第一电流镜耦合到第一电容器,以及形成第一差分放大器。第一差分放大器包括第三NMOS晶体管,该第三NMOS晶体管的源极端子响应于该共用节点的电压。第一差分放大器可进一步包括第四NMOS晶体管,该第四NMOS晶体管接收由第一电流镜生成的电流,并且它的栅极端子耦合到第三NMOS晶体管的栅极端子。

[0016] 根据一个实施例,该方法进一步包括将电阻性元件耦合在第四NMOS晶体管的源极端子与第二电源电压之间。根据一个实施例,该方法进一步包括形成由第一电流镜所提供的电流与流过第三NMOS晶体管的电流之间的差定义的跨第一电容器的电压。

[0017] 在一个实施例中,改变第二PMOS晶体管的电导率包括形成第二电流镜,将第二电流镜耦合到第二电容器,以及形成第二差分放大器。第二差分放大器可进一步包括第三PMOS晶体管,该第三PMOS晶体管的源极端子响应于该共用节点的电压。第二差分放大器可进一步包括第四PMOS晶体管,该第四PMOS晶体管接收由第二电流镜生成的电流,并且它的栅极端子耦合到第三PMOS晶体管的栅极端子。

[0018] 根据一个实施例,该方法进一步包括形成由第二电流镜所提供的电流与流过第三PMOS晶体管的电流之间的差定义的跨第二电容器的电压。该方法进一步包括将第一电容器的电压施加到第二NMOS晶体管的栅极端子,并且将第二电容器的电压施加到第二PMOS晶体管的栅极端子。

[0019] 根据本公开的一个实施例的一种电流模式时钟驱动器部分地包括用于将振荡信号施加到第一PMOS晶体管的栅极端子的装置,该第一PMOS晶体管的源极端子接收第一电源电压,用于将该振荡信号施加到第一NMOS晶体管的栅极端子的装置,该第一NMOS晶体管的

源极端子接收第二电源电压,用于将第一PMOS晶体管的漏极端子耦合到第一可变电导率电路的第一输入端子的装置,用于将该第一NMOS晶体管的漏极端子耦合到第二可变电导率电路的第一输入端子的装置,用于将第一和第二可变电导率电路的输出端子耦合到共用节点的装置,用于响应于该共用节点的电压摆幅减小而增大第一和第二可变电导率电路的电导率的装置,以及用于响应于该共用节点的电压摆幅的增大而减小第一和第二可变电导率电路的电导率的装置。

[0020] 在一个实施例中,第一可变电导率电路为PMOS晶体管(第二PMOS晶体管),其具有耦合到第一PMOS晶体管的漏极端子的源极端子、和耦合到该共用节点的漏极端子。第二可变电导率电路为NMOS晶体管(第二NMOS晶体管),其具有耦合到第一NMOS晶体管的漏极端子的源极端子、和耦合到该共用节点的漏极端子。

[0021] 在一个实施例中,用于增大或减小第二NMOS晶体管的电导率的装置进一步包括用于形成第一电流镜的装置、用于将第一电流镜耦合到第一电容器的装置、以及用于形成具有第三NMOS晶体管的第一差分放大器的装置,其中该第三NMOS晶体管的源极端子响应于该共用节点的电压。第一差分放大器可进一步包括第四NMOS晶体管,该第四NMOS晶体管接收由第一电流镜生成的电流,并且它的栅极端子耦合到第三NMOS晶体管的栅极端子。

[0022] 在一个实施例中,该电流模式时钟驱动器进一步部分地包括将电阻性元件耦合在第四NMOS晶体管的源极端子与第二电源电压之间的装置。在一个实施例中,该电流模式时钟驱动器进一步部分地包括用于形成由第一电流镜所提供的电流与流过第三NMOS晶体管的电流之间的差所定义的跨第一电容器的第一电压的装置。

[0023] 在一个实施例中,用于增大或减小第二PMOS晶体管的电导率的装置进一步包括用于形成第二电流镜的装置、用于将第二电流镜耦合到第二电容器的装置、以及用于形成具有第三PMOS晶体管的第二差分放大器的装置,其中该第三PMOS晶体管的源极端子响应于该共用节点的电压。第二差分放大器可进一步包括第四PMOS晶体管,该第四PMOS晶体管接收由第二电流镜生成的电流,并且它的栅极端子耦合到第三PMOS晶体管的栅极端子。

[0024] 在一个实施例中,该电流模式时钟驱动器进一步部分地包括用于形成由第二电流镜所提供的电流与流过第三PMOS晶体管的电流之间的差所定义的跨第二电容器的第二电压的装置。

[0025] 在一个实施例中,电流模式时钟驱动器进一步部分地包括用于将第一电压施加到第二NMOS晶体管的栅极端子的装置,以及用于将第二电压施加到第二PMOS晶体管的栅极端子的装置。

[0026] 根据本公开的一个实施例的一种非瞬态计算机可读存储介质包括当由处理器执行时使得处理器执行以下步骤的指令:将振荡信号施加到第一PMOS晶体管的栅极端子,该第一PMOS晶体管的源极端子接收第一电源电压;将该振荡信号施加到第一NMOS晶体管的栅极端子,该第一NMOS晶体管的源极端子接收第二电源电压;将第一PMOS晶体管的漏极端子耦合到第一可变电导率电路的第一输入端子;将该第一NMOS晶体管的漏极端子耦合到第二可变电导率电路的第一输入端子;将第一和第二可变电导率电路的输出端子耦合到共用节点;响应于该共用节点的电压摆幅减小而增大第一和第二可变电导率电路的电导率;以及响应于该共用节点的电压摆幅的增大而减小第一和第二可变电导率电路的电导率。

[0027] 根据一个实施例,第一可变电导率电路为PMOS晶体管(第二PMOS晶体管),其具有

耦合到第一PMOS晶体管的漏极端子的源极端子、和耦合到该共用节点的漏极端子。第二可变电导率电路为NMOS晶体管(第二NMOS晶体管),其具有耦合到第一NMOS晶体管的漏极端子的源极端子、和耦合到共用节点的漏极端子。

[0028] 在一个实施例中,为了改变第二NMOS晶体管的电导率,这些指令进一步使得该处理器:形成第一电流镜,将第一电流镜耦合到第一电容器,以及形成具有第三NMOS晶体管的第一差分放大器,其中该第三NMOS晶体管的源极端子响应于该共用节点的电压。第一差分放大器可进一步包括第四NMOS晶体管,该第四NMOS晶体管接收由第一电流镜生成的电流,并且它的栅极端子耦合到第三NMOS晶体管的栅极端子。

[0029] 在一个实施例中,这些指令进一步使得处理器将电阻性元件耦合在第四NMOS晶体管的源极端子与第二电源电压之间。在一个实施例中,这些指令进一步使得处理器形成由第一电流镜所提供的电流与流过第三NMOS晶体管的电流之间的差定义的跨第一电容器的电压。

[0030] 在一个实施例中,为了改变第二PMOS晶体管的电导率,这些指令进一步使得处理器:形成第二电流镜,将第二电流镜耦合到第二电容器,以及形成具有第三PMOS晶体管的第二差分放大器,其中该第三PMOS晶体管的源极端子响应于该共用节点的电压。第二差分放大器可进一步包括第四PMOS晶体管,该第四PMOS晶体管接收由第二电流镜生成的电流,并且它的栅极端子耦合到第三PMOS晶体管的栅极端子。

[0031] 在一个实施例中,这些指令进一步使得处理器形成由第二电流镜所提供的电流和流过第三PMOS晶体管的电流之间的差定义的跨第二电容器的电压。在一个实施例中,这些指令进一步使得处理器将第一电容器的电压施加到第二NMOS晶体管的栅极端子,并且将第二电容器的电压施加到第二PMOS晶体管的栅极端子。

[0032] 附图简述

[0033] 图1是根据本发明的一个实施例的适配成驱动高频时钟互连的电流模式缓冲器的简化示意图。

[0034] 图2是根据本发明的一个实施例的图1的电流模式缓冲器中的偏置电路之一的简化晶体管示意图。

[0035] 图3示出了流过布置在图2的偏置电路中的晶体管之一的电流和该晶体管的源极电压之间的关系。

[0036] 图4是根据本发明一个实施例的图1的电流模式缓冲器的偏置电路中的另一者的简化晶体管示意图。

[0037] 图5示出了流过布置在图5的偏置电路中的晶体管之一的电流和该晶体管的源极电压之间的关系。

[0038] 图6是根据本发明的一个实施例的适配成驱动高频时钟互连的电流模式时钟驱动器的简化示意图。

[0039] 发明详细描述

[0040] 图1是根据本发明的一个实施例的适配成驱动高频时钟互连的电流模式缓冲器(本文中替换地称之为时钟驱动器)100的简化示意图。时钟驱动器100被示为包括PMOS晶体管104、108、NMOS晶体管106、110、反相器112、114和控制电路200。控制电路200包括适配成偏置晶体管108的偏置电路150、以及适配成偏置晶体管110的偏置电路250。

[0041] 时钟驱动器100被示为从压控振荡器(VCO)102接收振荡信号OSC,以及驱动时钟互连200,该时钟互连200可分布遍及其所布置于的集成电路的一个或多个区段。压控振荡器102可以是锁相环、锁频环、或任何其他环控电路的一部分。如从图1中所看到的,振荡信号OSC被施加到PMOS晶体管104和NMOS晶体管106的栅极端子。

[0042] 当信号OSC为低值时,PMOS晶体管104导通且NMOS晶体管106截止。相应地,当信号OSC处于低值时,使得节点B能经由晶体管104充电到电源电压VCC。相反,当信号OSC为高值时,PMOS晶体管104截止且NMOS晶体管106导通。相应地,当信号OSC处于高值时,使得节点C能经由晶体管106放电到地电势。

[0043] 晶体管104的漏极端子耦合到晶体管108的源极端子。类似地,晶体管110的源极端子耦合到晶体管106的漏极端子。晶体管108、110的漏极端子被耦合到共用节点A以及耦合到反相器112的输入端子。反相器112的输出端子被耦合到反相器114的输入端子,反相器114的输出端子被耦合到偏置电路150、250的输入端子IN。偏置电路150的输出端子被耦合到晶体管108的栅极端子。类似地,偏置电路250的输出端子被耦合到晶体管110的栅极端子。

[0044] 偏置电路150适配成使得晶体管108在晶体管104导通时导通。偏置电路150进一步适配成使得晶体管108在当晶体管104截止时截止。类似地,偏置电路250适配成使得晶体管110在晶体管106导通/截止时导通。偏置电路250进一步适配成使得晶体管108在晶体管104截止时截止。

[0045] 相应地,当晶体管104导通且晶体管106截止时,因为晶体管108、110分别为导通和截止,所以节点A经由晶体管104、108被充电到电源电压VCC。类似地,当晶体管106导通且晶体管104截止时,因为晶体管108、110分别为截止和导通,所以节点A经由晶体管110、106被放电到地电势。节点A处的电压经由反相器112、114被缓冲并且被施加到偏置电路150、250的输入端子IN。节点B(其耦合到晶体管108的源极端子)将信号提供到时钟互连200,该时钟互连200进而适配成将时钟信号提供到时钟驱动器100所布置于的集成电路的各个块。

[0046] 图2是根据本发明一个实施例的示例性偏置电路150的简化晶体管示意图。偏置电路150被示为包括PMOS晶体管152、156、NMOS晶体管154、158、电容器160和电阻器162。晶体管152、156具有相同的栅-源电压并且形成电流镜。晶体管162适配成将晶体管154的源极端子(即,节点D)的电压维持在地电势之上。例如,在一个实施例中,当电源电压VCC为1.2伏时,节点D是0.2伏。

[0047] 晶体管152、154、156和158的栅极端子被互相耦合。晶体管152、154的栅极端子和漏极端子也被互相耦合。电容器160具有耦合到地电势的第一端子。电容器160的第二端子被耦合到节点nbias(负偏置)并且被耦合到晶体管156、158的漏极端子。

[0048] 偏置电路150适配成差分地操作以比较晶体管154和158的源极端子的电压以检测晶体管158的源极端子的最小电压,即,端子IN的最小电压。如以上所描述的,PMOS晶体管152、156形成了电流镜并且由此生成了相同电流 I_1 。相应地,若节点IN处的电压增大,则因为晶体管158的栅-源电压的减小,通过晶体管158的电流降低了。因为流过晶体管156的电流 I_1 相对恒定,所以流过晶体管158的电流的减小使得更多的电流流过电容器160并对电容器160充电,藉此使得节点nbias的电压增大。

[0049] 相反,若节点IN处的电压减小,则因为晶体管158的栅-源电压的增大,通过晶体管

158的电流增加了。因为流过晶体管156的电流 I_1 相对恒定,所以流过晶体管158的电流的增大使得电流从电容器160撤回,藉此使得节点nbias的电压减小。

[0050] 图3示出了指示流过晶体管158的电流 I_2 和被晶体管158的源极端子接收到的电压 V_{IN} 之间的关系的标绘180。如从图3中看到的,电流 I_2 与电压 V_{IN} 之间呈反比关系,其在 V_{IN} 增大时减小而在 V_{IN} 减小时增大。节点D的电压 V_D 以及流过节点D的对应电流 I_1 在标绘180中被标识为点D'。

[0051] 如图3中所看到的,标绘180在电压 V_{IN} 小时(例如,在点F和G之间)具有相对高的斜率,并且在当电压 V_{IN} 大时(例如,在点K和L之间)具有相对低的斜率。相应地,跨电容器160的电压绝大部分由电压 V_{IN} 的近最小值定义。换句话说,偏置电路150是适配成检测电压 V_{IN} 的近最小值(由其输入端子IN所见)并且在其输出端子nbais处生成由所检测到的最小电压所定义的电压的最小峰值检测器。节点IN处的电压摆幅越大并且由此节点IN处的电压小于节点D的电压的时间越长,那么节点nbias处的电压就越大。如从图1中所看到的,偏置电路150的输出端子nbias被耦合到晶体管110的栅极端子。

[0052] 图4是根据本发明一个实施例的示例性偏置电路250的简化晶体管示意图。偏置电路250被示为包括PMOS晶体管252、256、NMOS晶体管254、258、电容器260和电阻器262。晶体管258、254具有相同的栅-源电压并且形成电流镜。晶体管262适配成将晶体管154的源极端子(即,节点M)的电压维持在电源电压 V_{CC} 之下。例如,在一个实施例中,当电源电压 V_{CC} 为1.2伏时,节点M可以是在1.0伏。

[0053] 晶体管252、254、256和258的栅极端子被互相耦合。晶体管252、254的栅极端子和漏极端子也被互相耦合。电容器260具有耦合到地电势的第一端子。电容器260的第二端子被耦合到节点pbias(正偏置)并且被耦合到晶体管256、258的漏极端子。

[0054] 偏置电路250适配成差分地操作以比较晶体管256和262的源极端子电压以检测晶体管256的源极端子的峰值电压,即,端子IN的峰值电压。如以上所描述的, NMOS晶体管254、258形成了电流镜并且由此生成了相同电流 I_3 。相应地,若节点(端子)IN处的电压增大,则因为晶体管256的栅-源电压的增大,通过晶体管256的电流增大了。因为流过晶体管258的电流 I_3 相对恒定,所以流过晶体管256的电流的增大使得更多的电流流过电容器260并对电容器260充电,藉此使得节点pbias的电压增大。

[0055] 相反,若节点IN处的电压减小,则因为晶体管256的栅-源电压的减小,通过晶体管256的电流减小了。因为流过晶体管258的电流 I_3 相对恒定,所以流过晶体管256的电流的减小使得电容器260放电,藉此使得节点pbias的电压减小。

[0056] 图5示出了指示流过晶体管258的电流 I_4 与晶体管258的源极端子接收到的电压 V_{IN} 之间的关系的标绘280。如从图5中看到的,电流 I_4 与电压 V_{IN} 之间呈直接关系,当 V_{IN} 减小时减小,且当 V_{IN} 增大时增大。节点M的电压 V_M 以及流过节点M的对应电流 I_3 在标绘180中被标识为点M'。

[0057] 如图5中所看到的,标绘280在当电压 V_{IN} 大时(例如,在点P和Q之间)具有相对高的斜率,并且在当电压 V_{IN} 小时(例如,在点N和O之间)具有相对低的斜率。相应地,跨电容器260的电压绝大部分由电压 V_{IN} 的近最大值定义。换句话说,偏置电路250是适配成检测电压 V_{IN} 的近峰值(由其输入端子IN所见)并且在其输出端子pbais处生成由所检测到的峰值电压所定义的电压的峰值检测器。节点IN处的电压摆幅越大并且由此节点IN处的电压大于节点M

的电压的时间越长,那么节点pbias处的DC电压就越大。如从图1中所看到的,偏置电路250的输出端子pbias被耦合到晶体管108的栅极端子。

[0058] 同时参见图1、2和4,随着节点IN的电压摆幅增大并且藉此节点IN的峰值和最小电压分别增大和减小,节点pbias处的电压增大,并且节点nbias处的电压减小。这使得晶体管108、110变得电导率降低,藉此使得节点IN的电压摆幅减小。类似地,随着节点IN的电压摆幅减小,节点pbias处的电压减小并且节点nbias处的电压增大。这使得晶体管108、110变得电导率增大,藉此使得节点IN的电压摆幅增大。相应地,由晶体管108、110和控制电路系统200形成的反馈环路适配成将节点IN处的电压的差异最小化。

[0059] 图6是根据本发明的另一个实施例的适配成驱动高频时钟互连的电流模式时钟驱动器300的简化示意图。时钟驱动器300类似于时钟驱动器100,除了时钟驱动器300包括第一和第二可变电导率电路208、210来替代了时钟驱动器100的晶体管108、110。

[0060] 晶体管104的漏极端子被耦合到可变电导率电路208的第一输入端子。类似地,晶体管106的漏极端子被耦合到可变电导率电路210的第一输入端子。控制电路200的输出端子pbias和nbias分别被施加到第一和第二电导率电路208、210的第二输入端子。第一和第二电导率电路208、210的输出端子被耦合到共用节点A,以及耦合到第一和第二偏置电路150、250的输入端子IN。

[0061] 偏置电路150适配成使得可变电导率电路208在晶体管104导通时导通。偏置电路150进一步适配成使得可变电导率电路208在晶体管104截止时截止。类似地,偏置电路250适配成使得可变电导率电路210在晶体管106导通/截止时导通。偏置电路250进一步适配成使得可变电导率电路210在晶体管104截止时截止。

[0062] 随着节点IN的电压摆幅增大并且藉此节点IN的峰值和最小电压分别增加和减小,节点pbias处的电压增大,并且节点nbias处的电压减小。这使得可变电导率电路208、210变得电导率降低,藉此使得节点IN的电压摆幅减小。类似地,随着节点IN的电压摆幅减小,节点pbias处的电压减小并且节点nbias处的电压增大。这使得可变电导率电路208、210变得电导率增大,藉此使得节点IN的电压摆幅增大。相应地,由可变电导率电路208、210和控制电路系统200形成的反馈回路适配成使节点IN处的电压的差异最小化。

[0063] 以上本发明的实施例是解说性而非限定性的。本发明的实施例并不受时钟驱动器中使用的可变电导率电路所限。本发明的实施例并不受时钟驱动器电路所部署于的设备类型(无线或其他)所限。鉴于本发明,其他增添、删减或修改是显而易见的并且旨在落入所附权利要求的范围。

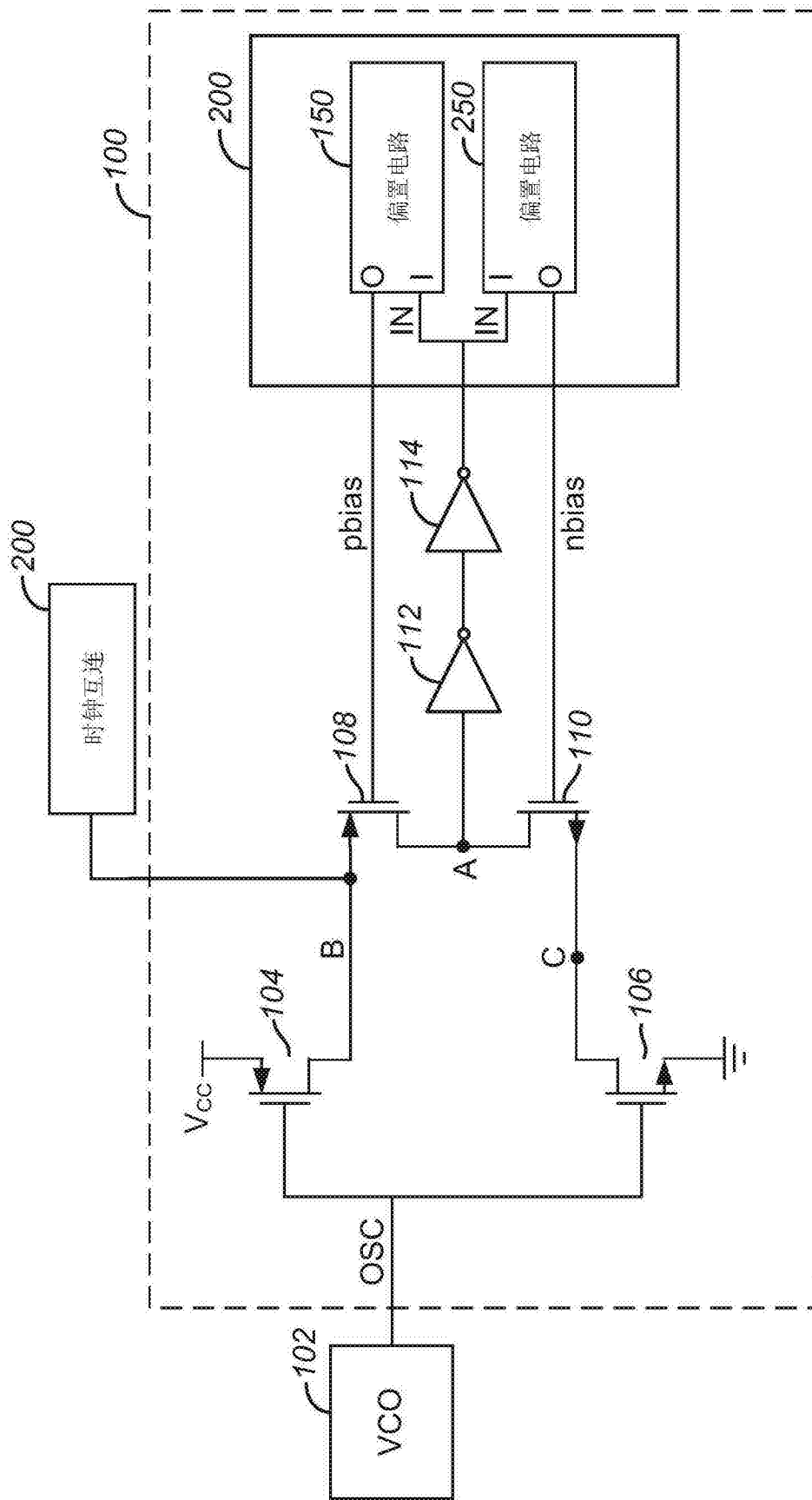


图1

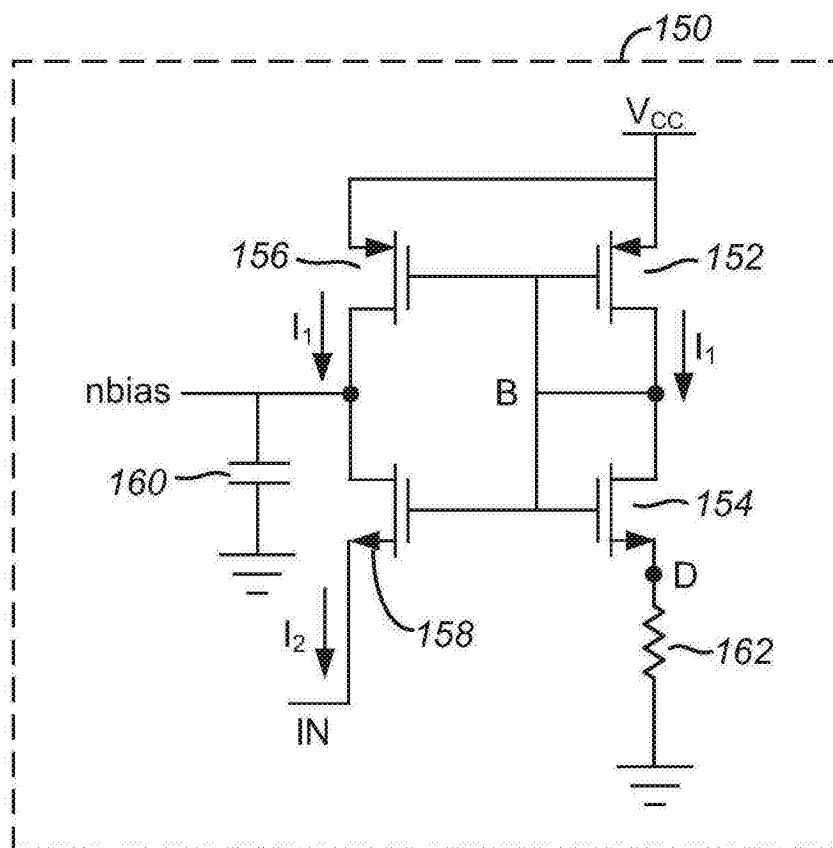


图2

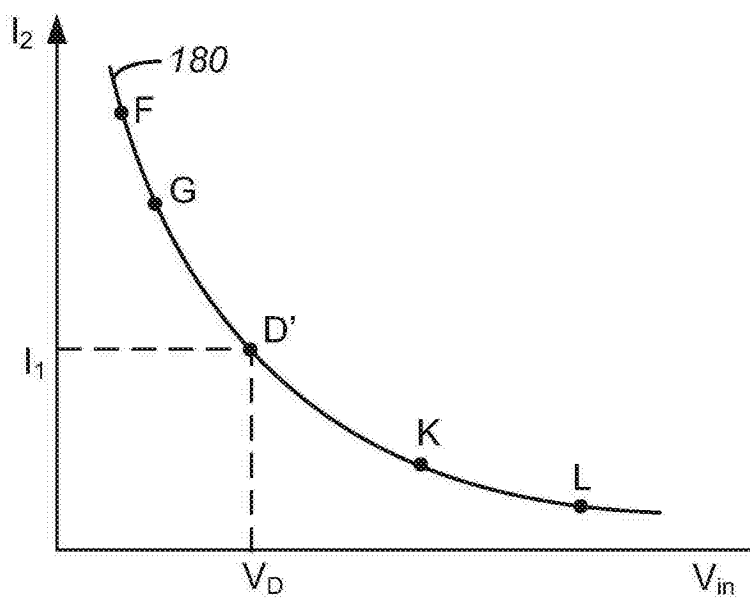


图3

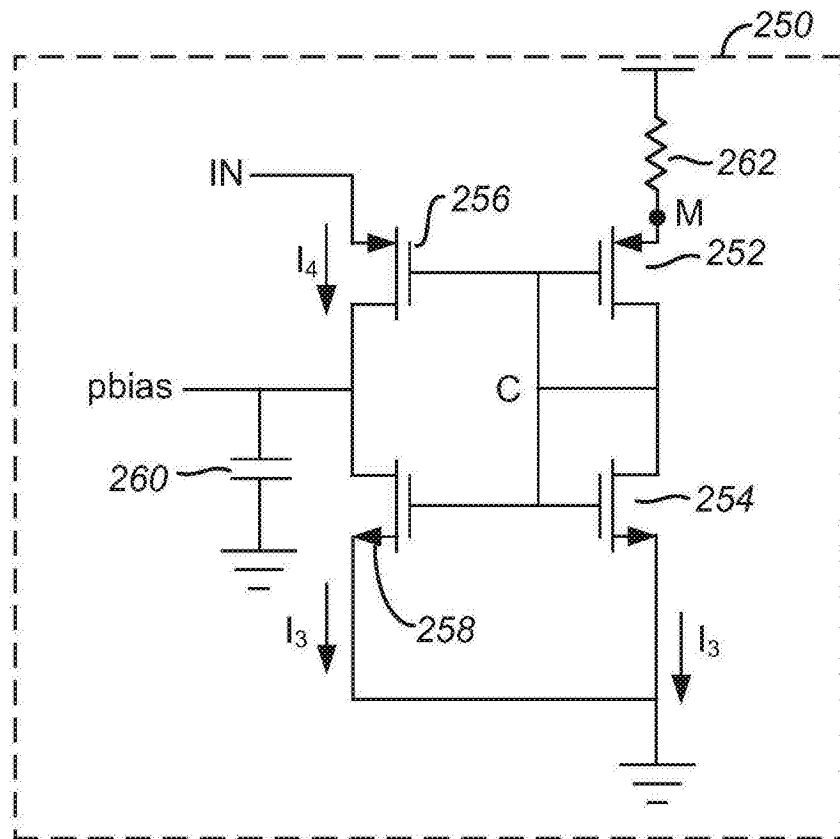


图4

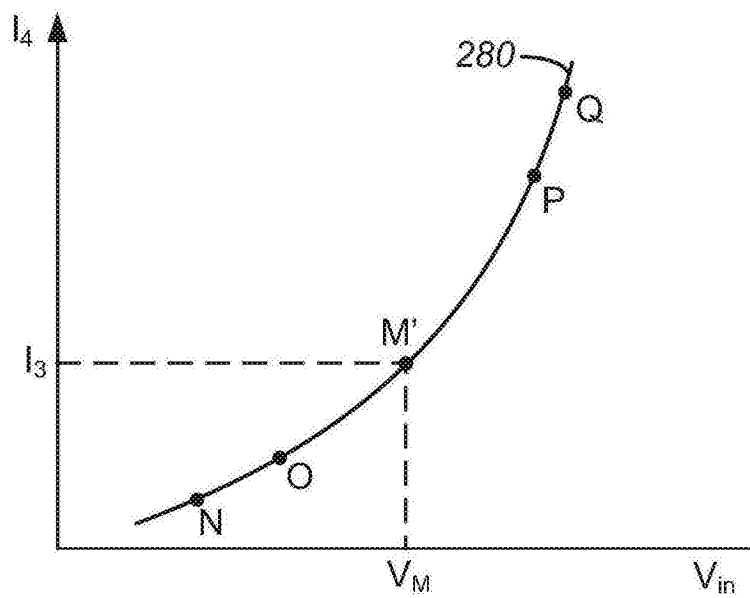


图5

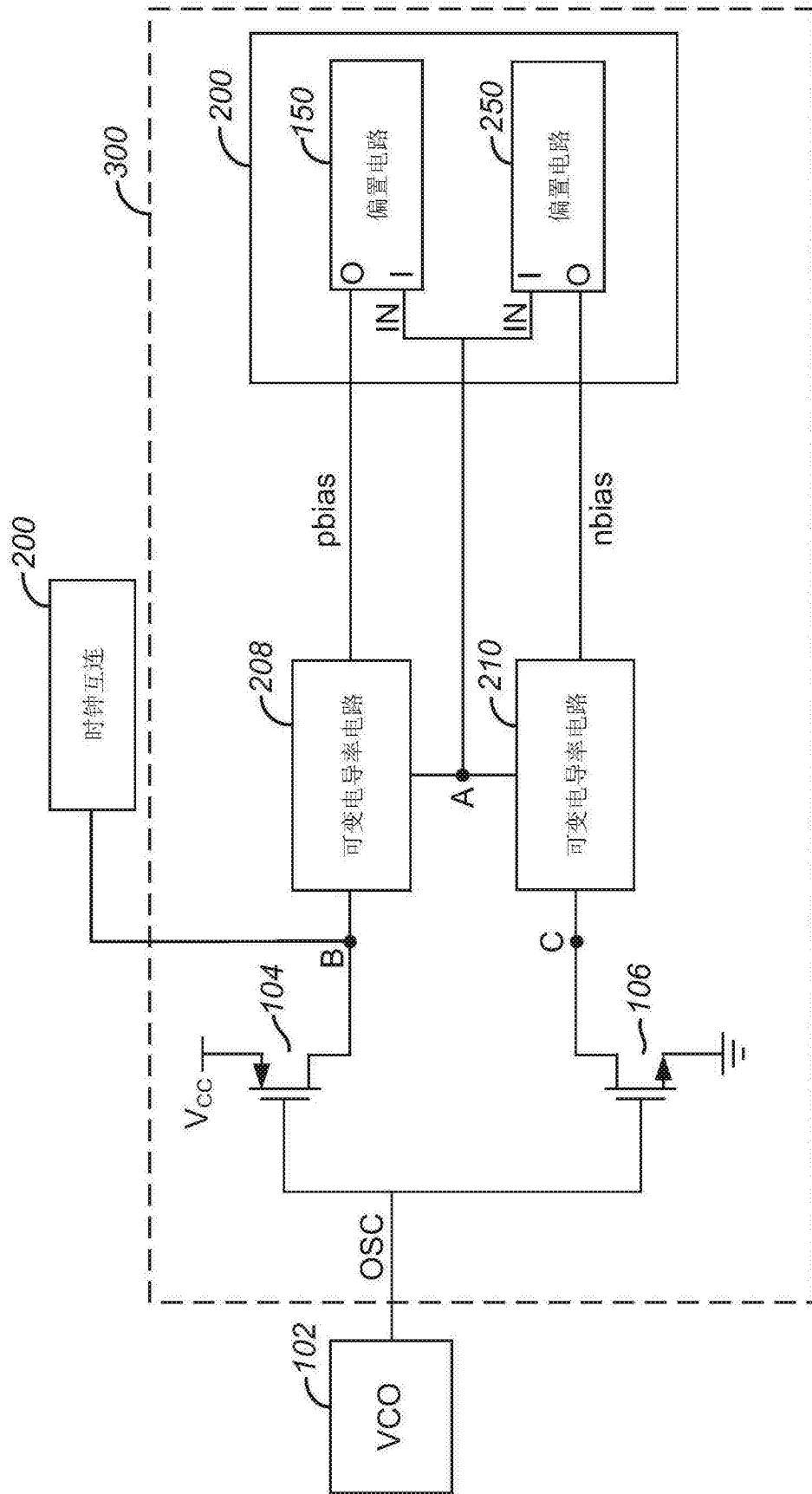


图6