



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0108734
(43) 공개일자 2016년09월20일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/02 (2006.01)
H01L 21/324 (2006.01)
(52) CPC특허분류
H01L 29/786 (2013.01)
H01L 21/02282 (2013.01)
(21) 출원번호 10-2015-0031371
(22) 출원일자 2015년03월06일
심사청구일자 2015년03월06일

(71) 출원인
인천대학교 산학협력단
인천광역시 연수구 아카데미로 119 (송도동)
(72) 발명자
박영돈
인천광역시 연수구 아카데미로 119 공과대학 8호
관 에너지화학공학과 570호 (송도동, 인천대학교)
김혜수
경기도 안산시 단원구 선부광장남로 113, 1209동
1408호(선부1동, 주공12단지아파트)
(74) 대리인
차준용

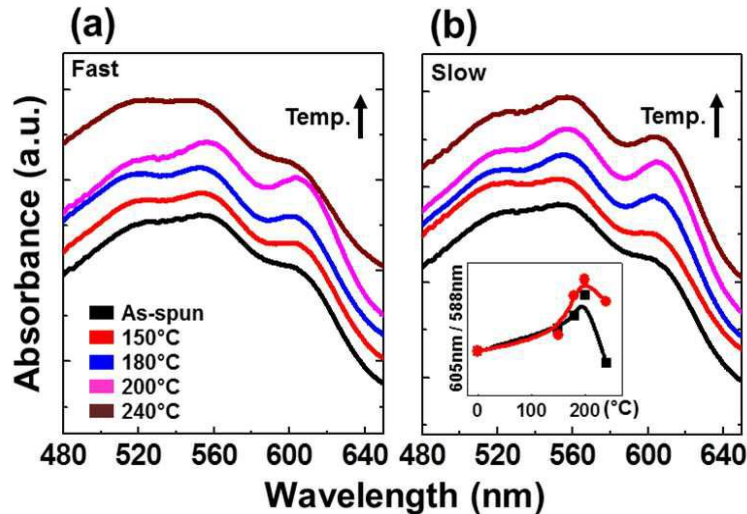
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 냉각속도 조절을 통한 폴리사이오펜 박막의 열처리 방법

(57) 요약

본 발명은 냉각속도 조절을 통한 폴리사이오펜 박막의 열처리 방법에 관한 것으로, 더욱 상세하게는 기판 상에 코팅된 폴리사이오펜(예컨대, P3HT) 박막을 그 용점 부근의 온도로 가열한 후 서냉시키는 특정 조건의 열처리를 수행함으로써, 폴리사이오펜 박막의 분자 배향(Orientation), 모폴로지(Morphology) 및 결정화도(Crystallinity)를 향상/변화시키고, 그 결과 이를 채용한 소자의 전기적 성능을 크게 개선할 수 있는 폴리사이오펜 박막의 열처리 방법, 이에 따라 열처리된 폴리사이오펜 박막, 및 이를 포함하는 전계효과 트랜지스터(Field-Effect Transistors; FETs)에 관한 것이다.

대표도 - 도2



(52) CPC특허분류

H01L 21/324 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2014R1A1A2057015

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 기본연구

연구과제명 π -전자분자 기반 n차원 나노구조체의 전하이동 메카니즘 분석

기 여 율 1/1

주관기관 인천대학교 산학협력단

연구기간 2014.11.01 ~ 2015.04.30

명세서

청구범위

청구항 1

- a) 전도성 고분자로서 폴리사이오펜(Polythiophene)을 기판 상에 코팅하여 폴리사이오펜 박막을 형성하는 단계;
 - b) 폴리사이오펜 박막을 용점(T_m)-43℃ ~ 용점(T_m)+17℃의 온도로 가열하는 단계; 및
 - c) 가열된 폴리사이오펜 박막을 0.1 ~ 1.5℃/min의 속도로 실온까지 서냉(Slow Cooling)시켜 폭 20 ~ 40nm의 나노리본 구조 모폴로지를 형성하는 단계;
- 를 포함하는 폴리사이오펜 박막의 열처리 방법.

청구항 2

제1항에 있어서,

상기 a) 단계의 폴리사이오펜은 폴리(3-알킬사이오펜)(Poly(3-alkylthiophene); P3AT)인 것을 특징으로 하는 폴리사이오펜 박막의 열처리 방법.

청구항 3

제2항에 있어서,

상기 a) 단계의 폴리사이오펜은 폴리(3-헥실사이오펜)(Poly(3-hexylthiophene); P3HT)인 것을 특징으로 하는 폴리사이오펜 박막의 열처리 방법.

청구항 4

제1항에 있어서,

상기 a) 단계의 코팅은 스핀 코팅(Spin-coating) 방법에 의해 수행되는 것을 특징으로 하는 폴리사이오펜 박막의 열처리 방법.

청구항 5

제1항에 있어서,

- a) 전도성 고분자로서 용점(T_m)이 223℃인 폴리(3-헥실사이오펜)을 기판 상에 코팅하여 폴리사이오펜 박막을 형성하는 단계;
 - b) 폴리사이오펜 박막을 180 ~ 240℃의 온도로 가열하는 단계; 및
 - c) 가열된 폴리사이오펜 박막을 0.1 ~ 1.5℃/min의 속도로 실온까지 서냉(Slow Cooling)시켜 폭 20 ~ 40nm의 나노리본 구조 모폴로지를 형성하는 단계;
- 를 포함하는 폴리사이오펜 박막의 열처리 방법.

청구항 6

제5항에 있어서,

상기 b) 단계는 폴리사이오펜 박막을 180, 200 또는 240℃의 온도로 가열하는 것임을 특징으로 하는 폴리사이오펜 박막의 열처리 방법.

청구항 7

제6항에 있어서,

상기 b) 단계는 폴리사이오펜 박막을 200℃의 온도로 가열하는 것임을 특징으로 하는 폴리사이오펜 박막의 열처리 방법.

청구항 8

제6항에 있어서,

상기 b) 단계는 폴리사이오펜 박막을 240℃의 온도로 가열하여 완전용융시키는 것임을 특징으로 하는 폴리사이오펜 박막의 열처리 방법.

청구항 9

제5항에 있어서,

상기 c) 단계는 가열된 폴리사이오펜 박막을 0.6℃/min의 속도로 실온까지 서냉(Slow Cooling)시키는 것임을 특징으로 하는 폴리사이오펜 박막의 열처리 방법.

청구항 10

제1항 내지 제9항 중 어느 한 항의 방법에 따라 열처리된 것으로서, 폭 20 ~ 40nm의 나노리본 구조 모폴로지를 지니는 것을 특징으로 하는 폴리사이오펜 박막.

청구항 11

제10항에 따른 폴리사이오펜 박막을 포함하는 전계효과 트랜지스터(Field-Effect Transistors; FETs).

청구항 12

제11항에 있어서,

상기 전계효과 트랜지스터의 평균 전계효과 이동도는 $1.3 \times 10^{-3} \sim 3.1 \times 10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 인 것을 특징으로 하는 전계효과 트랜지스터.

발명의 설명

기술 분야

본 발명은 냉각속도 조절을 통한 폴리사이오펜 박막의 열처리 방법에 관한 것으로, 더욱 상세하게는 기관 상에 코팅된 폴리사이오펜(예컨대, P3HT) 박막을 그 용점 부근의 온도로 가열한 후 서냉시키는 특정 조건의 열처리를 수행함으로써, 폴리사이오펜 박막의 분자 배향(Orientation), 모폴로지(Morphology) 및 결정화도

[0001]

(Crystallinity)를 향상/변화시키고, 그 결과 이를 채용한 소자의 전기적 성능을 크게 개선할 수 있는 폴리사이오펜 박막의 열처리 방법, 이에 따라 열처리된 폴리사이오펜 박막, 및 이를 포함하는 전계효과 트랜지스터(Field-Effect Transistors; FETs)에 관한 것이다.

[0002]

배경 기술

[0003]

용액-공정에 기반한 유기 전자공학 기술은 경량의 플렉서블 소자를 비용 효율적으로 제조할 수 있는 전도유망한 방법이다. 이와 관련하여, 공액 고분자인 폴리(3-헥실사이오펜)(P3HT)은 높은 전계효과 이동도(Field-effect mobility), 우수한 광학적 특성 및 용액 공정성으로 인해 유기 전계효과 트랜지스터(OFETs), 유기 발광 다이오드 및 유기 광발전/광전지 소자 등 다양한 유기 전자 소자에 널리 적용되고 있다. 그러나, 적절히 처리되지 않은 P3HT 박막 자체는 그 분자 구조가 이상적이지 못하여 고성능의 소자를 제작하기에는 소정의 한계를 지니고 있다.

[0004]

이러한 한계를 극복하고 고성능의 소자(OFETs 등)를 실현하기 위한 다양한 노력들이 시도되고 있다. 예를 들어, 고분자 박막 형성 도중 사용되는 용매를 적절히 선택함으로써 박막의 건조속도를 조절할 수 있고, 또한 박막의 모폴로지(Morphology) 조절에도 결정적 역할을 할 수 있다. 구체적으로, π -오비탈들 사이에 우수한 오버랩을 지닌 잘 정렬된 구조는 열적 어닐링, 용매 어닐링 및 직접 용매노출과 같은 다양한 후처리(Post-treatment)를 통해 실현될 수 있다. 이러한 후처리 방식들은 공액 고분자(예컨대, P3HT) 박막의 결정화도 증대, 및 이에 따른 전하 운반체 이동도 향상을 위해 널리 사용되고 있다.

[0005]

한편, 어닐링 및 고비점의 용매를 사용하는 스핀 코팅은 정교함이 요구되는 공정이다. 과도한 열적 어닐링 또는 소수성 표면으로부터의 지나치게 느린 용매 증발은 디웨팅되거나 손상된 모폴로지를 유발할 수 있다. 따라서 활성층에서 공액 고분자의 모폴로지 및 분자 패키징은 이러한 디웨팅 및 손상을 방지하는 쪽으로 최적화되어야 한다. 또한 전극으로의 효과적인 전하 수송을 위해 공액 고분자의 결정학적 배향이 최적화되어야 한다.

[0006]

OFETs의 경우 소스 및 드레인 사이의 전하 수송은 기판에 대해 평행한 방향으로 일어나는바, π - π 스택킹 방향 또한 기판에 평행하게 배향되어야 한다. 즉 공정 조건이 공액 고분자의 결정화(모폴로지, 배향) 및 이에 따른 전하 운반체 수송(charge carrier transport)에 어떤 식으로 영향을 미치는지에 대한 고찰이 필요하며, 이러한 영향에 대한 심도있는 이해가 수반된다면 최대 성능의 OFETs를 구현할 수 있는 최적의 공정 조건을 마련할 수 있을 것이다.

[0007]

그러나, 열적 후처리와 관련된 종래의 연구들은 대부분 어닐링 공정 중 P3HT 박막을 가열하는 과정에만 집중하여 결정화도의 향상을 도모하려 하였다. 반면, 가열된 박막의 냉각 조건, 구체적으로 냉각속도가 결정화도 등 박막의 특성에 미치는 영향에 대한 심도있는 연구는 찾아보기 어려운 상황이다.

[0008]

이에, 전도성 공액 고분자(예컨대, P3HT) 박막의 열적 후처리에 있어서 가열된 박막의 냉각속도와 박막의 구조적, 형태적 및 전기적 특성간의 상관관계를 적극적으로 규명하여, OFETs 등 이러한 박막을 채용한 유기 전자 소자의 전기적 성능을 크게 개선할 수 있는 새로운 박막 처리방법에 대한 개발이 요구되고 있다.

선행기술문헌

특허문헌

[0009]

(특허문헌 0001) 한국공개특허 제10-2006-0116534호

발명의 내용

해결하려는 과제

[0010]

상기와 같은 종래기술의 문제점을 해결하고자, 본 발명자들은 다양한 온도에서의 열처리후 각각 다른 속도로 냉각시킨 결과 나타나는 폴리사이오펜(P3HT) 박막의 형태적, 구조적 변화에 대해 체계적으로 실험을 수행하였다. 그 결과, 가열과정을 통해 폴리사이오펜 분자에 이동성이 부여되지만 실제 폴리사이오펜 박막의 재결정화는 냉

각과정 중에 일어나며, 등은 가열 공정의 시간보다는 폴리사이오펜 박막을 (실온까지) 냉각시키는 속도가 박막의 분자 정렬성 및 전기/전자적 특성 향상에 있어 더욱 중요한 요소임을 확인하고 본 발명에 이르렀다.

[0011] 이를 통해, 본 발명자들은 폴리사이오펜 박막의 구조적, 전기적 특성을 향상시킬 수 있는 최적의 열처리 방법과 이처럼 열처리된 폴리사이오펜 박막을 사용한 고성능의 전계효과 트랜지스터(FETs)를 제공하고자 한다.

[0012] 나아가, 본 발명자들은 열처리 조건(가열 온도 및 냉각속도)에 따라 달라지는 폴리사이오펜 박막의 열적 거동, 결정화 프로세스 및 구조적 변화의 역학관계를 구체적으로 규명할 수 있는 중요한 단서를 제공하고자 한다.

과제의 해결 수단

[0013] 상기한 기술적 과제를 달성하고자, 본 발명은 a) 전도성 고분자로서 폴리사이오펜(Polythiophene)을 기판 상에 코팅하여 폴리사이오펜 박막을 형성하는 단계; b) 폴리사이오펜 박막을 용점(T_m)-43℃ ~ 용점(T_m)+17℃의 온도로 가열하는 단계; 및 c) 가열된 폴리사이오펜 박막을 0.1 ~ 1.5℃/min의 속도로 실온까지 서냉(Slow Cooling)시켜 폭 20 ~ 40nm의 나노리본 구조 모폴로지를 형성하는 단계;를 포함하는 폴리사이오펜 박막의 열처리 방법을 제공한다.

[0014] 또한, 상기 a) 단계의 폴리사이오펜은 폴리(3-알킬사이오펜)(Poly(3-alkylthiophene); P3AT), 더욱 상세하게는 폴리(3-헥실사이오펜)(Poly(3-hexylthiophene); P3HT)인 것을 특징으로 하는 폴리사이오펜 박막의 열처리 방법을 제공한다.

[0015] 또한, 상기 a) 단계의 코팅은 스핀 코팅(Spin-coating) 방법에 의해 수행되는 것을 특징으로 하는 폴리사이오펜 박막의 열처리 방법을 제공한다.

[0016] 구체적으로, 본 발명은 a) 전도성 고분자로서 용점(T_m)이 223℃인 폴리(3-헥실사이오펜)을 기판 상에 코팅하여 폴리사이오펜 박막을 형성하는 단계; b) 폴리사이오펜 박막을 180 ~ 240℃의 온도로 가열하는 단계; 및 c) 가열된 폴리사이오펜 박막을 0.1 ~ 1.5℃/min의 속도로 실온까지 서냉(Slow Cooling)시켜 폭 20 ~ 40nm의 나노리본 구조 모폴로지를 형성하는 단계;를 포함하는 폴리사이오펜 박막의 열처리 방법을 제공한다.

[0017] 또한, 상기 b) 단계는 폴리사이오펜 박막을 180, 200 또는 240℃, 더욱 상세하게는 200 또는 240℃, 가장 상세하게는 200℃의 온도로 가열하는 것임을 특징으로 하는 폴리사이오펜 박막의 열처리 방법을 제공한다.

[0018] 또한, 상기 c) 단계는 가열된 폴리사이오펜 박막을 0.6℃/min의 속도로 실온까지 서냉(Slow Cooling)시키는 것임을 특징으로 하는 폴리사이오펜 박막의 열처리 방법을 제공한다.

[0019] 또한, 본 발명의 다른 측면으로, 상기와 같은 방법에 따라 열처리된 것으로서, 폭 20 ~ 40nm의 나노리본 구조 모폴로지를 지니는 것을 특징으로 하는 폴리사이오펜 박막을 제공한다.

[0020] 또한, 본 발명의 또 다른 측면으로, 상기와 같은 폴리사이오펜 박막을 포함하는 전계효과 트랜지스터(Field-Effect Transistors; FETs)를 제공한다.

[0021] 구체적으로, 상기 전계효과 트랜지스터의 평균 전계효과 이동도는 $1.3 \times 10^{-3} \sim 3.1 \times 10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 인 것을 특징으로 하는 전계효과 트랜지스터를 제공한다.

발명의 효과

[0022] 본 발명에 따른 폴리사이오펜 박막의 열처리 방법은 가열 온도 및 냉각속도와 관련된 특정 조건의 열적 후처리를 통해 폴리사이오펜 박막의 분자 배향(Orientation), 분자 정렬성(Ordering), 모폴로지(Morphology) 및 결정화도(Crystallinity)를 향상시킬 수 있다.

[0023] 그 결과, 전기적 성능이 매우 우수한 유기 전자 소자, 예컨대 전계효과 이동도가 크게 증대된 전계효과 트랜지스터(Field-Effect Transistors; FETs)를 제조할 수 있다.

도면의 간단한 설명

- [0024] 도 1은 가열 및 냉각에 따른 P3HT 박막의 상전이 거동을 온도에 따라 나타낸 그래프이다.
- 도 2는 다양한 온도(150, 180, 200, 240℃)에서의 가열 및 냉각속도((a) = 급냉, (b) = 서냉)에 따른 열처리 전후 P3HT 박막의 UV-Vis 흡수 스펙트럼이다. * 삽입도는 588nm에서의 흡수 강도에 대한 605nm에서의 흡수 강도 값을 열처리 온도에 따라 나타낸 것이다.
- 도 3은 다양한 온도(150, 180, 200, 240℃)에서의 열처리(F = 급냉, S = 서냉)를 거친 P3HT 박막의 AFM 상 이미지이다. * 삽입도는 P3HT 박막의 RMS 거칠도를 열처리 온도에 따라 나타낸 것이다.
- 도 4는 다양한 온도(150, 180, 200, 240℃)에서의 열처리(F = 급냉, S = 서냉)를 거친 P3HT 박막의 2차원 GIXD 패턴을 나타낸 것이다. * 삽입도는 P3HT 박막의 평면내 (010) 피크 강도 변화를 열처리 조건에 따라 나타낸 것이다.
- 도 5는 2차원 GIXD 패턴으로부터 q_z 축에 따라 추출한 1차원 평면의 X-선 프로파일, 및 q_{xy} 축에 따라 추출한 (010) 피크에 상응하는 X-선 프로파일의 1차원 평면내 확대도이다. * (a) 및 (c) = 급냉시킨 P3HT 박막, (b) 및 (d) = 서냉시킨 P3HT 박막.
- 도 6은 200℃ 및 240℃로 가열후 각각 급냉 및 서냉하여 처리한 P3HT 박막의 FTIR-ATR 스펙트럼이다. * (a) = CH 스트레칭 영역, (b) = 카보닐 영역.
- 도 7은 다양한 온도에서의 가열 및 냉각속도((a) = 급냉, (b) = 서냉)에 따른 열처리를 거친 P3HT 박막을 이용하여 제조된 FETs의 수송 특성($V_D = -80$ V)을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하, 본 발명에 대해 상세히 설명한다.
- [0026] **폴리사이오펜 박막의 열처리 방법**
- [0027] 본 발명에 따른 폴리사이오펜 박막의 열처리 방법은,
- [0028] a) 전도성 고분자로서 폴리사이오펜(Polythiophene)을 기판 상에 코팅하여 폴리사이오펜 박막을 형성하는 단계;
- [0029] b) 폴리사이오펜 박막을 용점(T_m)-43℃ ~ 용점(T_m)+17℃의 온도로 가열하는 단계; 및
- [0030] c) 가열된 폴리사이오펜 박막을 0.1 ~ 1.5℃/min의 속도로 실온까지 서냉(Slow Cooling)시켜 폭 20 ~ 40nm의 나노리본 구조 모폴로지를 형성하는 단계;를 포함하는 것이다.
- [0031] 구체적으로, 본 발명자들은 i) 종래의 통상적인 온화한 온도 범위(예컨대, 100 ~ 150℃ 정도)가 아닌 전도성 고분자의 용점 부근에 해당하는 고온으로 박막을 가열함과 더불어, ii) 이를 급냉(Quenching)이 아닌 소정의 느린 속도로 실온까지 서냉(Slow Cooling)시킬 경우, 박막의 구조적, 전기적 특성이 크게 개선됨을 확인하고 본 발명에 이르렀다. 즉 열처리 온도뿐만 아니라 이를 냉각시키는 속도가 분자 구조의 변화, 재배열 및 소자의 성능 개선에 결정적으로 영향을 미침을 실험을 통해 규명하였다.
- [0032] 본 발명에 있어서, 상기 a) 단계는 전도성 고분자로서 소정 범위의 분자량 및 용점을 갖는 폴리사이오펜을 준비하고, 이를 기판 상에 코팅하여 본 발명의 열처리 대상인 폴리사이오펜 박막을 형성하는 단계이다.
- [0033] 열처리의 대상인 상기 폴리사이오펜 박막을 기판(예컨대, 유전체 기판) 상에 형성하는 방법은 특별히 제한되지 않으며, 예를 들어 스핀 코팅(Spin-coating), 바 코팅(Bar-coating), 잉크젯 프린팅(Ink-jet printing) 및 스크린 프린팅(Screen printing) 등과 같은 용액 공정 기술(Solution processing techniques)을 통해 수행할 수 있다. 바람직하게는, 상기 폴리사이오펜 박막은 스핀 코팅(Spin-coating) 방법에 의해 기판 상에 형성된 것일 수 있다.
- [0034] 상기 폴리사이오펜으로는 알킬 측쇄를 함유하는 폴리사이오펜, 예를 들어 폴리(3-알킬사이오펜)(Poly(3-alkylthiophene); P3AT), 바람직하게는 폴리(3-헥실사이오펜)(Poly(3-hexylthiophene); P3HT)을 사용한다.
- [0035] 일 구체예로, 상기 폴리사이오펜은 분자량(M_w)이 20 ~ 30kDa, 용점(T_m)이 200 ~ 225℃ 수준(예컨대, 223℃)인

것일 수 있으나, 반드시 이에 한정되는 것은 아니다.

- [0036] 상기 b) 단계는 기판 상에 코팅된 폴리사이오펜 박막을 그 용점(상전이 온도) 부근의 온도, 구체적으로 용점(T_m)-43℃ ~ 용점(T_m)+17℃의 온도로 가열하여 폴리사이오펜 박막 내의 분자에 이동성을 부여하는 단계이다.
- [0037] 여기서, 가열 온도가 폴리사이오펜 박막의 용점(T_m)-43℃보다 낮은 온도(예컨대, 종래 통상적인 어닐링 온도인 150℃ 수준)이면 이후 서냉 과정을 진행 및 완료해도 처리하지 않은 박막 대비 구조적, 전기적 특성에 있어 유의적인 차이를 부여하기 어려울 수 있으며, 가열 온도가 용점(T_m)+17℃를 초과하여 지나치게 고온(예컨대, 300℃ 수준)이면 폴리사이오펜, 예컨대 폴리(3-알킬사이오펜)에 있어서 C-C 결합이 끊어지고 알킬 체인이 방향족(고리형) 백본으로부터 떨어져 나가 매우 불안정한 상태를 유발하게 된다.
- [0038] 바람직한 일 구체예에서, 본 단계는 (용점이 223℃인 폴리사이오펜 기준으로) 폴리사이오펜 박막을 180 ~ 240℃, 더욱 바람직하게는 200 ~ 240℃, 가장 바람직하게는 200℃의 온도로 가열하는 것일 수 있다.
- [0039] 한편, 가열 온도가 용점(T_m)을 초과하는 온도(예컨대, 240℃)일 경우 폴리사이오펜 박막이 용융(Melting) 상태가 되는데, 이러한 용융-재결정화의 경우 급냉과 서냉의 효과 차이가 매우 극명하게 드러남을 확인하였다. 구체적으로, 서냉의 경우 분자 정렬성 및 소자의 전계효과 이동도($1.9 \times 10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)가 우수하였으나, 용융물을 급냉시킨 경우 박막의 결정성이 매우 떨어지고 비-평형(Non-equilibrium) 모폴로지 상태가 포함되어 가장 열악한 전계효과 이동도($6.9 \times 10^{-5} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)를 나타내었다.
- [0040] 본 단계에서, 가열 시간은 구체적인 가열 온도에 따라 적절히 조절될 수 있을 것이나, 통상 10 ~ 30분 정도의 시간 동안 가열하는 것이 적절하다. 가열 시간이 10분 미만이면 박막 내의 분자에 충분한 이동성을 부여하기 어려워질 수 있으며, 30분을 초과하면 박막의 이동성 부여 및 요구되는 포화 상태 형성에 충분한 시간을 넘어 공정비용 및 공정시간만 불필요하게 증가할 수 있다.
- [0041] 상기 c) 단계는 b) 단계에서 가열된 폴리사이오펜 박막을 0.1 ~ 1.5℃/min의 속도로 실온까지 천천히 냉각(Slow Cooling)시켜 박막이 폭 20 ~ 40nm의 나노리본 구조 모폴로지를 갖도록 그 구조, 분자 배향 및 정렬성을 변화시키는 단계이다.
- [0042] 본 발명자들은 박막의 열처리에 따라 얻어지는 최종적인 분자 정렬 및 결정 구조는 박막의 냉각속도(Cooling rate)에 의해 최종 결정됨을 확인하였는바, 상기 b) 단계에 따른 용점 부근 온도에서의 가열과 더불어, 후공정으로서 가열된 박막을 반드시 서냉시켜야만 본 발명의 목적을 달성할 수 있다. 전계효과 이동도를 예로 들면, i) 180℃ 가열시 서냉한 경우가 급냉한 경우 대비 2배 이상 높은 수치를, ii) 200℃ 가열시 서냉한 경우가 급냉한 경우 대비 4.5배 이상 높은 수치를, iii) 240℃ 가열시 서냉한 경우가 급냉한 경우 대비 무려 27배 이상 높은 수치를 나타내었다. 여기서, 용점보다 높은 온도로 가열한 상기 iii)의 경우 완전용융된 폴리사이오펜 박막을 급냉(Quenching)시키면 비정질(Amorphous)에 가까운 상태가 되어 열처리를 하지 않은 것만 못한 결과가 나오고 박막과 관련된 모든 특성들이 나빠짐을 또한 확인하였다.
- [0043] 아울러, GIXD 및 AFM 결과, 박막의 P3HT 결정자(Crystallites) 및 표면 거칠도는 열처리 온도가 용점(T_m)에 다다를 때까지 점점 증가하였는바, 이는 서냉시키는 동안 P3HT 결정자가 원활하게 성장하여 더욱 우수한 전기적 특성을 나타내게 된 것으로 해석된다. 반면, 급냉의 경우 분자들이 비-평형 상태의 모폴로지를 형성하게 되고 π - π 스택킹 상호작용이 감소하거나 전하 트랩(Charge trap)이 생성되어 소자의 성능을 저하시키는 것으로 확인되었다. 요컨대, 폴리사이오펜 박막 용점 부근의 온도로 가열후 이를 서냉시킴에 따라 박막의 π -스택 정렬 구조 밀도가 증가하여, 급냉시킨 경우 대비 매우 우수한 특성들을 구현하게 된 것으로 여겨진다.
- [0044] 본 단계에서, 서냉의 속도는 0.1 ~ 1.5℃/min, 더욱 상세하게는 0.5 ~ 1.5℃/min, 가장 상세하게는 0.6℃/min 정도가 바람직하다. 냉각속도가 0.1℃/min 미만이면 박막의 분자 배향 및 결정화 형성에 필요한 정도를 넘어 지나치게 장시간이 소요되는바 공정효율이 떨어질 수 있으며, 1.5℃/min를 초과하면 냉각시간 부족으로 충분한 (재)결정화가 이루어지지 않아 원하는 수준의 박막 특성(즉, 폭 20 ~ 40nm의 넓고 치밀한 나노리본 구조 모폴로지)을 구현하기 어려워질 수 있다.

[0045] **열처리된 폴리사이오펜 박막 및 이를 포함하는 전계효과 트랜지스터**

[0046] 본 발명의 다른 측면에 따르면, 상기와 같은 방법에 따라 열처리된 폭 20 ~ 40nm의 나노리본 구조 모폴로지를 지니는 폴리사이오펜 박막, 및 이를 포함하는 전계효과 트랜지스터(Field-Effect Transistors; FETs)가 제공된다.

[0047] 본 발명에 따른 폴리사이오펜 박막을 사용한 전계효과 트랜지스터(FETs)는 전기적 성능이 크게 개선된 것으로, 구체적으로 $1.3 \times 10^{-3} \sim 3.1 \times 10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 수준의 높은 평균 전계효과 이동도(Average field-effect mobility)를 나타내었다.

[0048] 이하, 실시예 및 실험예를 통해 본 발명을 보다 구체적으로 설명한다. 그러나 이들 예는 본 발명의 이해를 돕기 위한 것일 뿐 어떠한 의미로든 본 발명의 범위가 이들 예로 한정되는 것은 아니다.

[0049] **실시예: P3HT 박막의 열처리 및 OFETs 소자의 제조**

[0050] Rieke Metals, Inc.로부터 입수한 P3HT(위치규칙성 ~92%, 분자량 $M_w = 20 \sim 30\text{kDa}$)를 추가적인 정제 없이 사용하였다.

[0051] 클로로포름(CHCl_3)에 녹인 P3HT 용액(10 mg/mL)을 헥사메틸디실라젠(HMDS)으로 커버된 실리콘 웨이퍼 상에 2500 rpm으로 60초 동안 스핀 코팅한 후, 진공 하에서 밤새 건조시켰다.

[0052] P3HT로 코팅된 기판을 약 $1.5^\circ\text{C}/\text{min}$ 의 속도로 원하는 열처리 온도까지 가열하고, 30분 동안 등온 유지하였다.

[0053] 이어서, 샘플들을 실온(25°C)까지 각각 서냉($0.6^\circ\text{C}/\text{min}$) 또는 급냉(Quenching)시켰다.

[0054] * 오븐의 온도는 아날로그 써모미터를 이용하여 특정 시점별로 측정하였다.

[0055] OFETs 소자 제작을 위해, 고도로 도핑된 n-타입 Si 웨이퍼를 게이트 전극 및 기판으로 사용하고, 300nm 두께의 열적으로 성장된 SiO_2 층을 게이트 유전체(용량 = 10.8 nFcm^{-2})로 사용하였다.

[0056] 유기 활성 물질 및 유전체 층 사이의 유기 중간 층 물질로서 HMDS(Aldrich)를 상기 SiO_2 층 표면에 스핀 코팅하였다.

[0057] 이어서, 새도 마스크(채널 길이 = $100\mu\text{m}$, 채널 폭 = $2000\mu\text{m}$)를 통해 금(Au)을 증착시켜 상기 P3HT 위에 소스 및 드레인 전극(150nm)을 형성하였다.

[0058] 한편, 자외선-가시광 흡수 측정(UV-Vis absorption measurements)을 위해 Si 기판 대신 투명 유리 기판 상에 동일한 P3HT 박막을 형성하였다.

[0059] **실험 조건: P3HT 박막 및 소자의 특성 평가**

[0060] 열량은 시차 주사 열량 측정법(Differential scanning calorimetry; DSC)을 통해 측정하였다(Perkin-Elmer 7 사용).

[0061] P3HT의 용융 및 결정화는 DSC(가열 및 냉각속도: $10\text{K}/\text{min}$)를 사용하여 모니터링하였다.

[0062] UV-Vis 흡수 스펙트럼은 UV-Vis 분광계(Thermo scientific, genesis 10S)를 사용하여 확보하였다.

[0063] P3HT 박막의 모폴로지는 탭핑모드에서 작동하는 원자력 현미경(AFM)(Multimode 8, Bruker)을 사용하여 특성화하였다.

[0064] P3HT 박막의 결정 구조는 포항 가속기 연구소(PAL) 내 3C 및 9A beamline에서 싱크로트론 X-선 회절법을 사용하

여 조사하였다.

[0065] P3HT의 측쇄 정렬성 및 산화는 푸리에변환 적외선(Fourier transform infrared; FT-IR) 스펙트럼에 의해 확인하였다(Bruker model VERTEX 80V를 사용하여 기록).

[0066] OFETs의 전기적 성능은 실온에서 반도체 분석기(Keithley 4200-SCS)를 사용하여 측정하였다.

[0067] **실험예 1: P3HT 박막의 상전이 거동(DSC 측정) 및 UV-Vis 흡수 스펙트럼**

[0068] P3HT 박막을 저온에서부터 용점이 넘는 온도 범위로 각각 열처리하였다.

[0069] 이때, 열적 전이 여부는 DSC를 사용하여 결정하였다. DSC는 용점(T_m) 또는 결정화 온도(T_c)와 같은 질서-무질서 상전이 온도를 명확히 나타내 주는바, 공액 고분자의 열적 특성 평가에 통상적으로 사용된다.

[0070] 열량 측정 결과, P3HT에 있어 결정 상태에서 액상 결정 상태로의 흡열성 전이는 210 ~ 240℃에서 나타났다(도 1). 가열 도중 얻어진 신호가 흡열 과정이며, 냉각 도중 얻어진 신호가 발열 과정에 해당한다.

[0071] 또한, 결정화 및 냉각이 넓은 온도 범위에 걸쳐 일어났는바, 이는 반결정성 고분자의 전형적 거동에 해당한다. 여기서, 용융/결정화 전이는 용점(223℃) 및 결정화 온도(194℃)에서 진행되었다.

[0072] 용점 미만 또는 초과 다양한 온도 범위(150, 180, 200 및 240℃)에서 수행된 열처리후, 냉각속도가 P3HT 박막의 결정 구조에 미치는 영향을 조사하였다.

[0073] 각 경우에 있어, 박막은 상기 소정의 온도에서 열처리된 후, 실온까지 급냉 또는 서냉의 방식으로 냉각되었다.

[0074] 도 2에 서로 다른 온도에서의 열처리 전후 P3HT 박막의 UV-Vis 흡수 스펙트럼을 도시하였다.

[0075] 미처리된(As-spun) P3HT 박막의 스펙트럼은 $\lambda = 522\text{nm}$ 에서 지배적인 피크를 나타내었는바, 이는 P3HT에서의 사슬간 $\pi-\pi^*$ 전이에 상응하는 것이다. 또한 558nm 및 605nm의 낮은 에너지에서 2개의 솔더를 나타내었으며, 열처리 온도가 높아질수록 558nm 및 605nm에서 더욱 높은 솔더 강도를 나타내었다(도 2(a) 및 2(b)). 이러한 특징들은 공액 길이의 증가에 따른 것으로서, 사슬간 $\pi-\pi$ 스택킹 상호작용을 하는 정렬된 집합체의 양이 증가하였음을 의미한다. 열처리 온도가 용점에 가까워짐에 따라, P3HT 박막의 이러한 특징들은 눈에 띄게 증가하였다.

[0076] 또한, 용점이 넘는 온도에서의 열처리후, 냉각속도에 따라 P3HT 흡수 밴드의 특성이 크게 변화하였다. 서냉의 경우 낮은 에너지에서 강한 흡수 밴드를 나타낸 반면(도 2(b)), 급냉의 경우 흡수 밴드의 피크 강도가 급격히 감소하고 피크의 위치가 청색이동(Blue-shift)하였다(도 2(a)).

[0077] **실험예 2: 형태적 특성(AFM 상 이미지)**

[0078] AFM을 통해 박막 표면을 특성화하여, 냉각속도가 P3HT 박막 표면의 모폴로지에 미치는 영향을 조사하였다.

[0079] 도 3에 AFM 상 이미지 및 평균 평방근 표면 거칠도(Root-mean-square surface roughness; R_q)를 열처리 온도에 따라 도시하였다.

[0080] 미처리된 박막은 크기가 수 nm 정도인 작은 집합체를 포함하고 매끄러운 표면을 나타내었다($R_q = 0.64\text{nm}$).

[0081] 한편, 다양한 온도로 열처리된 P3HT 박막은 용점 미만의 열처리 및 용점 초과 열처리에 따라 2가지의 뚜렷한 결정화 메커니즘을 나타내었다.

[0082] 낮은 온도에서 열처리된 박막은 미처리된 박막과 비슷한 R_q 값을 나타내며 별다른 특징을 보이지 못했는바, 이는 저온 처리가 긴 고분자 사슬의 재조직화에 필요한 충분한 구동력을 제공하지 못했기 때문이다.

[0083] 반면, 열처리 온도가 용점(223℃)에 가까워질수록, P3HT 박막은 나노피브릴라(Nanofibrillar) 네트워크 구조를 지니는 경향이 있었고 동시에 R_q 값도 증가하였다. 이처럼 200℃에서의 열처리에 따라 나노피브릴라 구조가 증가한 것은 비정질 영역 또는 더욱 작은 결정자들(Crystallites)을 제거하면서 결정자들이 효과적으로 성장하였기 때문이다.

[0084] 한편, 용점이 넘는 온도에서의 가열을 통해 용융-결정화 공정을 거쳐 처리된 박막은 거칠도가 감소하였다. 용융

물의 냉각에 따른 결정화 과정은 기관 계면에서 결정자들의 비균질 핵생성(Heterogeneous nucleation)을 통해 일어나는데, 그 결과 매끄러운 박막이 형성된 것이다.

[0085] 또한, 박막 모폴로지 결과는 냉각속도가 P3HT 박막에서의 분자간 $\pi-\pi$ 스택킹에 영향을 미침을 보여주었다.

[0086] P3HT 박막을 급냉한 경우 긴 고분자 사슬의 재조직화에 필요한 충분한 냉각시간을 제공할 수 없어 유의적인 모폴로지 개선을 찾아볼 수 없었다.

[0087] 냉각속도에 따라 나노리본(Nanoribbon)의 형태도 달라졌는바, 이는 냉각속도가 결정화 도중 형성되는 구조에 중요한 영향을 미치기 때문이다. 결정화 과정 도중 확보한 박막 상 이미지는 나노리본 구조에 해당하는 독특한 모폴로지를 나타내었는바, 급냉의 경우 나노리본의 폭이 10nm로 좁아진 반면, 서냉의 경우 나노리본의 폭이 20 ~ 40nm로서 더욱 넓고 박막 또한 치밀하였다.

[0088] 실험예 3: 스침각 X선 회절(Grazing incidence X-ray diffraction; GIXD)

[0089] 도 4 및 5에 미처리된 또는 각각의 온도로 열처리된 P3HT 박막에 대한 스침각 X선 회절(GIXD) 패턴을 도시하였다.

[0090] GIXD 패턴은 $q = 0.38 \text{ \AA}^{-1}$ 및 $q = 1.63 \text{ \AA}^{-1}$ 에서 각각 (100) 및 (010) 평면 반사를 나타내었다. 이러한 (100) 및 (010) 평면 반사는 각각 라멜라 층 구조 및 $\pi-\pi$ 상호작용 스택킹에 기인한 것이다.

[0091] 미처리된 P3HT 박막의 GIXD 패턴은 각각 q_z 및 q_{xy} 축을 따라 약한 (100) 및 (010) 평면 피크를 나타낸 반면, 평면의 (010) 평면 피크는 강하게 나타났는바, 이는 곧 페이스-온(Face-on) 배향을 의미한다.

[0092] 열처리 온도가 높아질수록(< 200°C) P3HT 박막으로부터 얻어진 평면의 (100) 피크의 강도는 증가하였는바(도 5(a) 및 5(b)), 이는 핵심 측쇄가 기관에 대해 수직으로 배향되었음을 의미한다.

[0093] 또한, 열처리 온도가 용점에 가까워질 때까지 높아짐에 따라 열처리된 P3HT 박막의 평면내 (010) 피크 강도도 증가하였다(도 5(c) 및 5(d)). 이러한 엣지-온(Edge-on) 구조는 (100) 평면이 표면에 대해 노멀하게 배향된 것으로서, 전하 운반체의 측면 수송에 기여할 수 있다.

[0094] 즉, GIXD 패턴은 냉각속도 차이에 따라 P3HT 결정 구조가 현저하게 달라짐을 보여주었다.

[0095] 급냉의 경우 P3HT의 결정화를 저해하는 반면, 서냉의 경우 P3HT가 결정화되는데 필요한 시간을 제공할 수 있다. 서냉시킨 P3HT 박막으로부터 측정된 GIXD 패턴은 보다 정렬성이 우수하고, 급냉시킨 P3HT 박막과 달리 우선적인 엣지-온 배향을 나타내었다. 구체적으로, 급냉시킨 P3HT 박막에 있어 q_z 축에 따른 (100) 피크 및 q_{xy} 축에 따른 (010) 피크의 강도는 서냉시킨 P3HT 박막의 경우보다 낮았다(도 5).

[0096] 용융 상태의 P3HT 박막, 즉 용점(223°C) 초과 온도에서 가열된 P3HT 박막의 결정화도는 냉각속도에 따라 더욱 극명한 차이를 보였다.

[0097] 전형적인 열처리 공정 도중, 용점보다 높은 온도에서의 가열은 박막의 (100) 및 (010) 평면을 소멸시킬 수 있으며(In situ heating), 뒤이은 실온으로의 냉각에 따라 (100) 및 (010) 평면이 회복된다.

[0098] 서냉시킨 박막은 q_z 및 q_{xy} 축을 따라 각각 강한 (100) 및 (010) 평면을 유지하였다(도 5(b) 및 5(d)). 반면, 240°C에서 실온으로 급냉시킨 박막의 GIXD 패턴은 q_z 및 q_{xy} 축을 따른 (100) 및 (010) 평면이 사라져버렸는바, 이는 P3HT 라멜라 구조 및 $\pi-\pi$ 스택킹 정렬이 손실되었음을 의미한다(도 5(a) 및 5(c)). 용융 상태의 박막을 급냉시키면 P3HT의 재결정화에 필요한 충분한 시간을 제공할 수 없는 것이다.

[0099] 즉, 고온에서의 열처리에 의한 P3HT 박막의 재배열시, 냉각속도가 결정화도에 결정적인 영향을 미침을 알 수 있었다.

[0100] 실험예 4: P3HT의 측쇄 정렬성 및 산화 정도(FT-IR 스펙트럼)

[0101] P3HT 박막의 적외선 진동 스펙트럼(Infrared vibrational spectra)을 측정하여, 냉각속도에 따른 알킬 측쇄의 배치 및 산화 정도를 특성화하였다.

- [0102] 도 6(a)에 열처리후 P3HT 박막의 CH 스트레칭 영역에서 확보한 전형적인 FTIR-ATR 흡수 스펙트럼을 도시하였다.
- [0103] 탄화수소 사슬은 대부분 올-트랜스(All-trans)형이었으며, FT-IR 스펙트럼의 지배적인 특징은 낮은 파수(Wavenumber)에서 대칭 및 비대칭 메틸렌 진동을 나타내는 점이었다.
- [0104] 이러한 특징적 피크는 정렬된 구조 및 대부분 무질서한 구조가 보다 적은 비대칭 결함(Gauche defect)을 지닌 트랜스형 사슬 구조로 변형됨에 따라 하향이동하였다.
- [0105] 도 6(a)는 P3HT 박막의 알킬 사슬이 2850, 2868, 2918 및 2953 cm^{-1} 에서 4개의 밴드에 의해 구별됨을 보여준다. 이러한 밴드들은 각각 CH_2 대칭, CH_3 대칭, CH_2 비대칭 및 CH_3 비대칭 스트레칭 영역에 속하는 것이다. 상기 밴드들 및 스펙트럼 프로파일은 알킬 사슬 패킹 구조의 변화에 민감하게 작용한다.
- [0106] 또한, 냉각속도에 따라 피크 위치를 도시한 결과, $\nu_s(\text{CH}_2)$ 및 $\nu_{as}(\text{CH}_2)$ 가 느린 냉각속도에서 보다 낮은 파수쪽으로 이동되었음을 알 수 있었다. 이러한 결과는 냉각속도가 느려짐에 따라 알킬 사슬 패킹 구조가 정렬성이 낮은 배치에서 트랜스-지그재그 배치로 변화되었음을 시사한다. 서냉시킨 P3HT 박막에서 3-위치의 알킬 측쇄 길이가 측쇄의 정렬성을 향상시킨 것이다.
- [0107] 한편, 도 6(b)는 열처리 전후 P3HT 박막의 카보닐 영역에서의 FT-IR 흡수 스펙트럼을 보여준다.
- [0108] 저온 열처리된 P3HT 박막의 스펙트럼은 미처리된 P3HT 박막의 것과 크게 다르지 않았다(미도시). 반면, 200 $^{\circ}\text{C}$ 또는 240 $^{\circ}\text{C}$ 에서 열처리한 경우 실질적인 화학적 산화가 일어났음을 보여주는 중요한 변화가 있었다. 200 $^{\circ}\text{C}$ 또는 240 $^{\circ}\text{C}$ 에서 열처리된 샘플의 스펙트럼은 카보닐 영역(1750 ~ 1800 cm^{-1})에서 밴드의 강도가 점진적으로 증가하였는 바, 이는 곧 산화가 일어났음을 의미한다.

[0109] **실험예 5: 전기적 특성**

- [0110] OFETs 소자들을 제작하여 열처리 온도 및 냉각속도가 P3HT 박막에 있어 전하 수송에 미치는 영향을 확인하였으며, 평균 전계효과 이동도(μ) 및 온/오프 전류비를 요약하여 하기 표 1에 나타내었다. 또한 도 7에 전기적 특성(I-V 특성)을 도시하였다.

- [0111] [표 1] 가열 온도 및 냉각속도를 달리하여 열처리한 P3HT를 사용하여 제조된 OFETs 소자의 전기적 성능

	Mobility (cm^2/Vs)		On/off ratio	
	Fast	Slow	Fast	Slow
As-spun	3.0×10^{-4}	3.0×10^{-4}	2.2×10^2	2.2×10^2
150 $^{\circ}\text{C}$	6.3×10^{-4}	5.0×10^{-4}	5.5×10^2	3.8×10^2
180 $^{\circ}\text{C}$	6.0×10^{-4}	1.3×10^{-3}	3.4×10^2	1.8×10^3
200 $^{\circ}\text{C}$	6.8×10^{-4}	3.1×10^{-3}	6.5×10^2	1.0×10^3
240 $^{\circ}\text{C}$	6.9×10^{-5}	1.9×10^{-3}	6.4×10^1	1.1×10^3

- [0112]
- [0113] 저온에서의 가열시 냉각속도는 구조적 변화에 크게 영향을 미치지 못했으며, 소자의 성능 또한 큰 차이가 없었다.
- [0114] 한편, 융점 부근의 온도로 열처리된 P3HT 박막은 미처리된 박막 대비 매우 우수한 온-전류(On-current) 및 문턱 전압이하 스윙(Subthreshold swing; SS)을 나타내었다.
- [0115] 평균 전계효과 이동도(μ)의 최대값($3.1 \times 10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)은 200 $^{\circ}\text{C}$ 가열후 서냉시킨 P3HT 박막에서 얻어졌으며, 이

는 미처리된 P3HT 박막을 사용한 경우($3.0 \times 10^{-4} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$) 대비 약 10배 큰 수치이다.

[0116] 급냉시킨 P3HT 박막의 경우 서냉시킨 P3HT 박막 대비 온-전류 및 평균 전계효과 이동도(μ)가 낮았다. 특히, 240℃에서 열처리후 용융 상태에서 급냉시킨 P3HT 박막은 가장 낮은 μ 값($6.9 \times 10^{-5} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)을 나타낸 반면, 240℃에서 열처리후 서냉시킨 P3HT 박막은 상대적으로 매우 높은 μ 값($1.9 \times 10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)을 나타내었다. 이러한 결과는 급냉(Thermal quenching) 공정의 경우 P3HT가 결정화될 충분한 시간을 제공하지 못해 비정질의 P3HT 영역을 생성함을 시사한다. 구체적으로, 급냉의 경우 분자들이 비-평형 상태의 모폴로지를 형성하게 되고 π - π 스택킹 상호작용이 감소하거나 전하 트랩이 생성되어 소자의 성능을 저하시키는 것이다.

[0117] 결과 검토

[0118] 이상, 상이한 가열 온도 및 냉각속도에 따라 열처리된 P3HT 박막의 열적 특성을 체계적으로 특성화하였다.

[0119] 열처리된 P3HT 박막은 가열 온도(용점 미만 및 용점 초과)에 따라, 2가지의 뚜렷한 결정화 메커니즘을 나타내었다.

[0120] GIXD 및 AFM 결과, 박막의 P3HT 결정자(Crystallites) 및 표면 거칠도는 열처리 온도가 용점(T_m)에 다다를 때까지 점점 증가하였는바, 이는 서냉시키는 동안 박막내의 P3HT 결정자가 원활하게 성장하여 더욱 우수한 전기적 특성을 나타내게 된 것으로 해석된다.

[0121] 용점(T_m) 초과와 온도(240℃)로 열처리한 경우, 기판 계면에서의 비균질 핵생성(Heterogeneous nucleation)이 P3HT 결정자들을 재배향시켰다. 구체적으로, 이 경우 냉각속도에 따라 뚜렷이 구분되는 열적 특성을 지닌 용융-결정화 P3HT 박막이 형성되었다. 서냉의 경우 높은 분자 정렬성 및 우수한 소자 성능을 구현한 반면, 급냉의 경우 박막의 낮은 결정화도 및 비-평형 모폴로지 상태로 인해 가장 낮은 전계효과 이동도를 나타내었다.

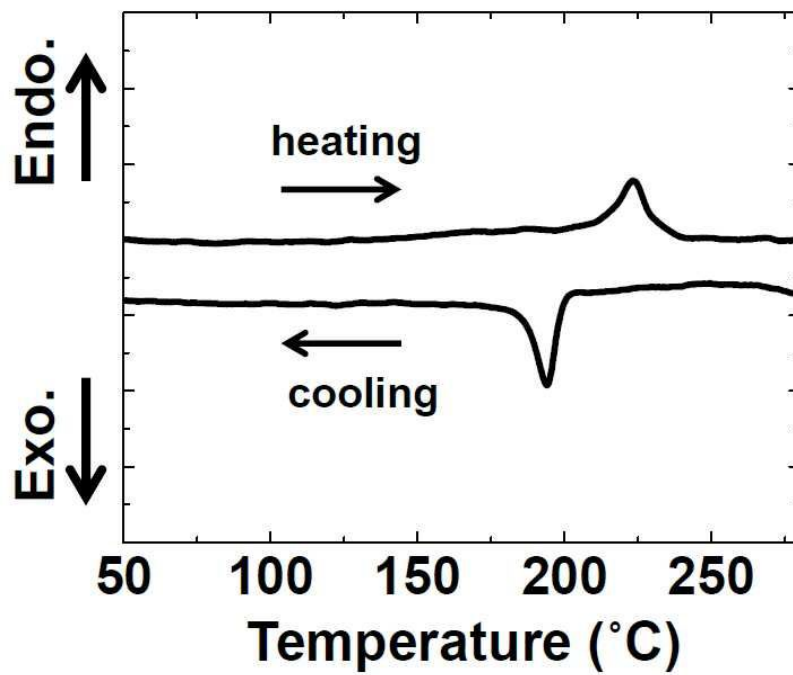
[0122] 요컨대, 열처리 조건이 어떻게 고분자 박막의 분자 구조에 영향을 미치는지 이해하는 것은 고성능 유기 전자 소자 제작을 위한 공정의 최적화 및 설계에 있어 매우 중요한 요소이며, 이에 본 발명자들은 냉각속도와 관련된 폴리사이오펜의 결정화 메커니즘에 관한 본질을 규명하고 이를 실증함으로써 본 발명을 도출하였다.

[0123] 그 결과, 본 발명에 따른 폴리사이오펜 박막의 열처리 방법은 FETs를 비롯하여 각종 고성능 유기 고분자 전자 소자를 제작하는데 매우 유용하고도 실용적인 이점을 제공할 수 있을 것이다.

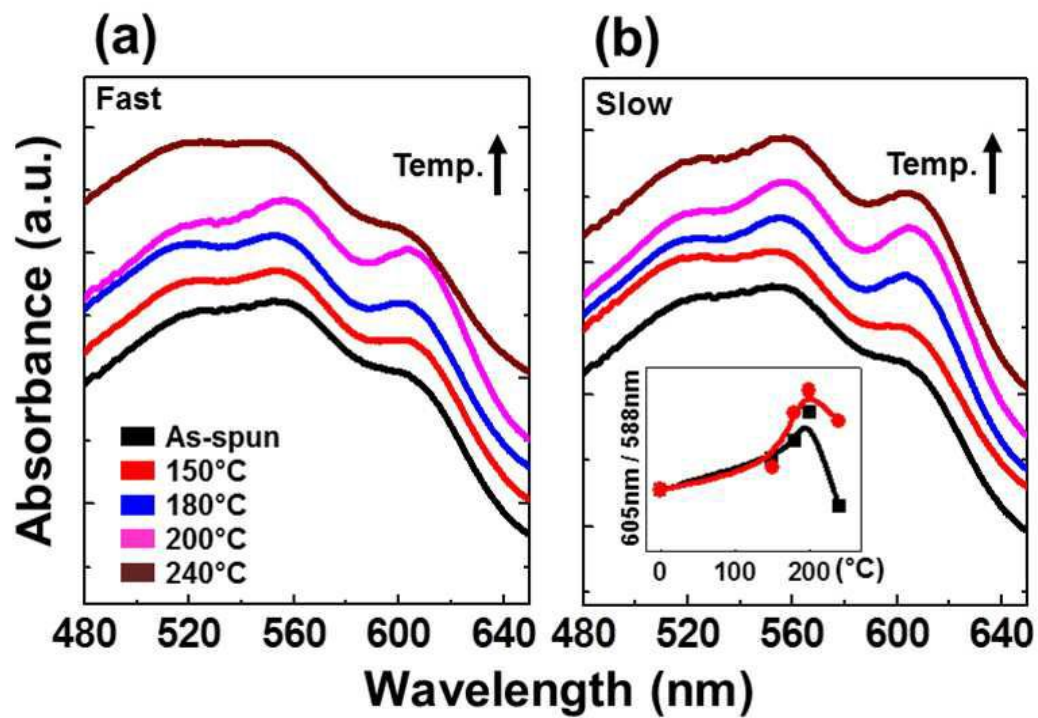
[0124] * 본 발명은 2014년도 정부(교육부)의 재원으로 한국연구재단(NRF)의 지원을 받아 수행된 기본연구사업(2014R1A1A2057015)의 결과물이다.

도면

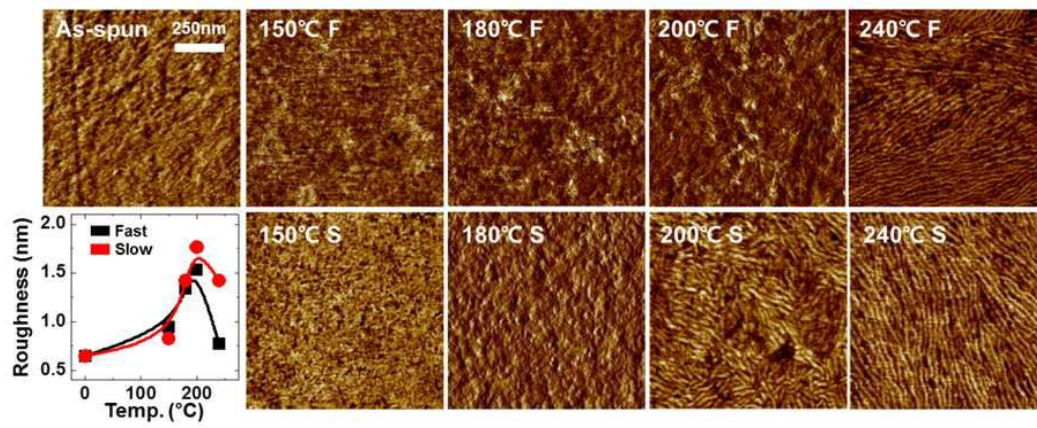
도면1



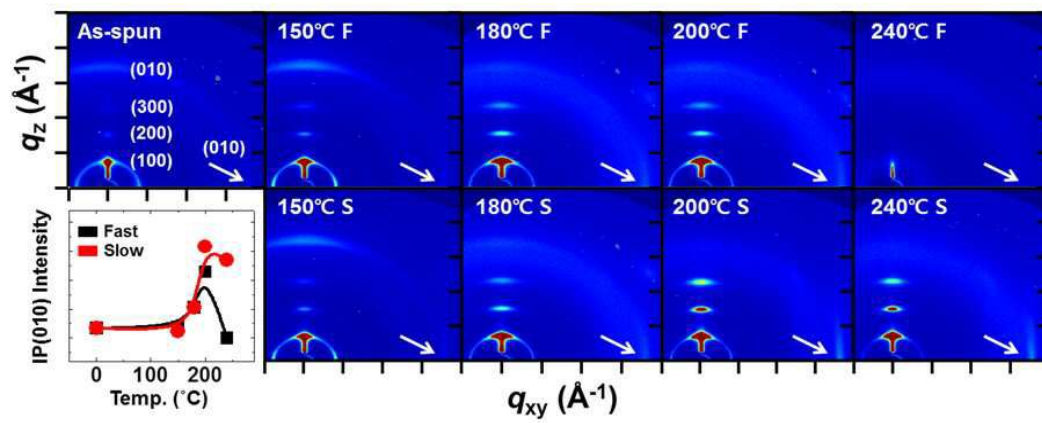
도면2



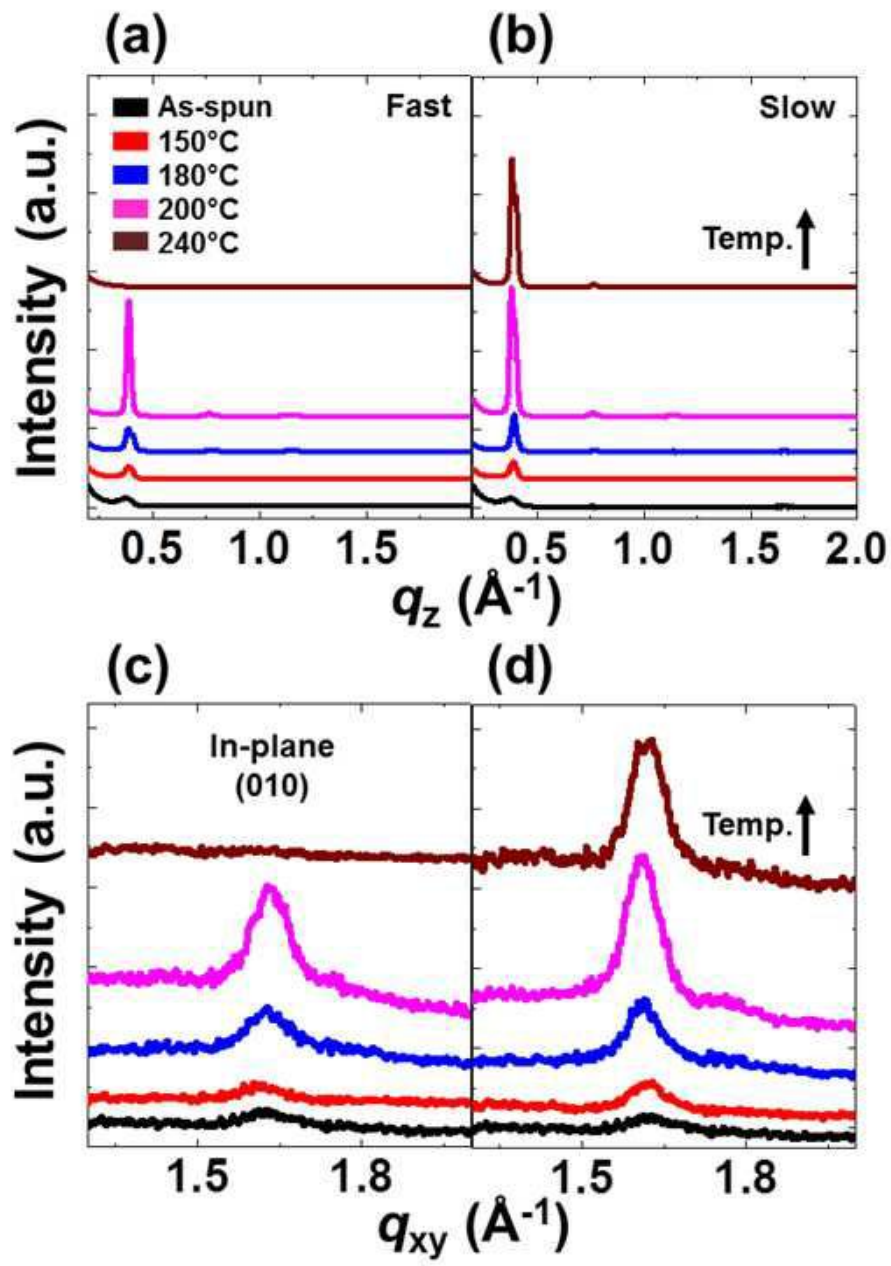
도면3



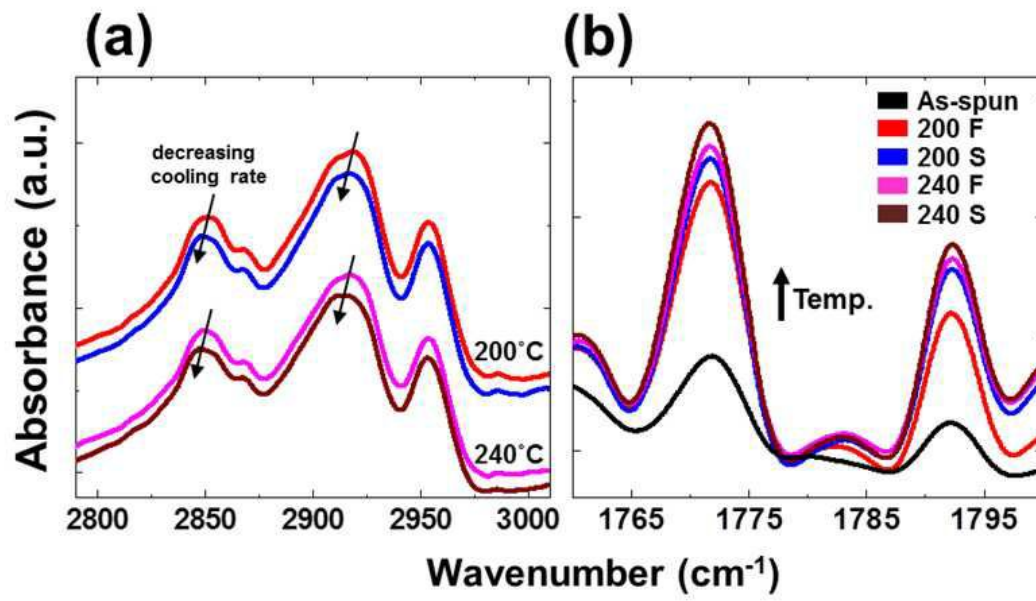
도면4



도면5



도면6



도면7

