



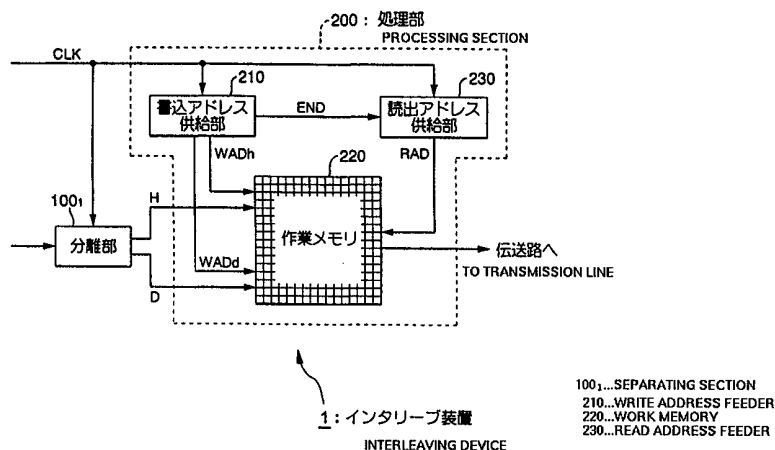
PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 H03M 13/22		A1	(11) 国際公開番号 WO99/62184
			(43) 国際公開日 1999年12月2日(02.12.99)
(21) 国際出願番号 PCT/JP99/02799		(74) 代理人 鈴木 敬(SUZUKI, Takashi)[JP/JP] 〒239-0841 神奈川県横須賀市野比4-18-4-104 Kanagawa, (JP)	
(22) 国際出願日 1999年5月27日(27.05.99)		(74) 代理人 川崎研二, 外(KAWASAKI, Kenji et al.) 〒103-0027 東京都中央区日本橋三丁目2番16号 八重洲マスカビル5階 朝日特許事務所 Tokyo, (JP)	
(30) 優先権データ 特願平10/146191 1998年5月27日(27.05.98) JP 特願平10/346016 1998年12月4日(04.12.98) JP		(81) 指定国 AU, CA, CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)	
(71) 出願人 (米国を除くすべての指定国について) エヌ・ティ・ティ移動通信網株式会社 (NTT MOBILE COMMUNICATIONS NETWORK INC.)[JP/JP] 〒105-8436 東京都港区虎ノ門二丁目10番1号 Tokyo, (JP)		添付公開書類 国際調査報告書	
(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてののみ) 河原敏朗(KAWAHARA, Toshiro)[JP/JP] 〒238-0315 神奈川県横須賀市林2-1-3-2-506 Kanagawa, (JP) 三木俊雄(MIKI, Toshio)[JP/JP] 〒236-0057 神奈川県横浜市金沢区能見台3-51-1 ふれあいの街H-1005 Kanagawa, (JP) 保谷早苗(HOTANI, Sanae)[JP/JP] 〒232-0025 神奈川県横浜市南区高砂町1-7-1-510 Kanagawa, (JP)			

(54)Title: INTERLEAVING METHOD AND DEVICE, AND DEINTERLEAVING METHOD AND DEVICE

(54)発明の名称 インタリーブを行うための方法および装置並びにデ・インタリーブを行うための方法および装置



(57) Abstract

A write address feeder (210) feeds a work memory (220) with a write address for writing bits constituting a bit string corresponding to a header (H) contained in a frame to be transmitted or recorded and bits constituting a bit string corresponding to data (D) contained in the frame. A read address feeder (230) feeds the work memory (220) alternately with addresses for reading consecutive bits corresponding to the header (H) from the work memory (220) and an address for reading one bit corresponding to the data (D), and reads from the work memory (220) a bit string where the bits constituting the bit string corresponding to the header (H) are distributed in the bit string constituting the data (D). By using such interleaving device, sets of information constituting a frame are separately randomized, and bits constituting the sets of information are transmitted in a mode most suitable for the information.

(57)要約

書き込みアドレス供給部 210 は、伝送または記録すべきフレームに含まれるヘッダ H に対応したビット列および当該フレームに含まれるデータ D に対応したビット列を構成する各ビットを書き込むための書込アドレスを作業メモリ 220 に供給する。読出アドレス供給部 230 は、ヘッダ H に対応した複数の連続したビットを作業メモリ 220 から読み出すための複数のアドレスと、データ D に対応した 1 個のビットを作業メモリ 220 から読み出すためのアドレスとを交互に作業メモリ 220 に供給し、ヘッダ H に対応したビット列を構成する各ビットがデータ D を構成するビット列内に分散配置されたビット列を作業メモリ 220 から読み出す。

かかるインタリーブ装置によれば、フレームを構成する各情報に対し、個別的にランダム化を施し、各情報を構成するビットを当該情報にとって最適な態様に伝送することができる。

PCTに基づいて公開される国際出願のパフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソト	SK スロヴァキア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シェラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV ラトヴィア	SZ スワジランド
BF ブルギナ・ファソ	GH ガーナ	MA モロッコ	TD チャード
BG ブルガリア	GM ガンビア	MC モナコ	TG トーゴ
BJ ベナン	GN ギニア	MD モルドヴァ	TJ タジキスタン
BR ブラジル	GW ギニア・ビサオ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TM トルクメニスタン
CA カナダ	HR クロアチア	共和国	TR トルコ
CF 中央アフリカ	HU ハンガリー	ML マリ	TT トリニダード・トバゴ
CG コンゴ	ID インドネシア	MN モンゴル	UA ウクライナ
CH スイス	IE アイルランド	MR モーリタニア	UG ウガンダ
CI コートジボアール	IL イスラエル	MW マラウイ	US 米国
CM カメルーン	IN インド	MX メキシコ	UZ ウズベキスタン
CN 中国	IS アイスランド	NE ニジェール	VN ヴィエトナム
CR コスタ・リカ	IT イタリア	NL オランダ	YU ユーゴスラビア
CU キューバ	JP 日本	NO ノールウェー	ZA 南アフリカ共和国
CY キプロス	KE ケニア	NZ ニュー・ジーランド	ZW ジンバブエ
CZ チェッコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

明細書

インタリーブを行うための方法および装置並びにデ・インタリーブを行うための方法および装置

技術分野

この発明は、デジタル通信システムの送信装置や記録媒体にデジタル情報を記録するデジタル記録装置に用いられるインタリーブ方法およびインタリーブ装置並びにデジタル通信システムの受信装置や記録媒体からデジタル情報を再生する再生装置に用いられるデ・インタリーブ方法およびデ・インタリーブ装置に関する。

背景技術

デジタル情報の伝送を行うデジタル通信システムでは、伝送過程においてデジタル情報中に符号誤りが発生し得るので、伝送すべきデジタル情報に対し、誤り訂正符号による符号化が行われる。

この誤り訂正符号化を行った場合、1つの符号語に含まれる誤ったビットの数が所定値以下ならば、受信側での誤り訂正復号時にその全ての誤りを訂正することができる。この符号語当たりの訂正可能なビット数は、その誤り訂正符号の誤り訂正能力と呼ばれている。

移動通信などの通信環境は、平均符号誤り率自体は小さいものの、バースト誤りが発生し易い。従って、誤り訂正符号化を行ってデータ伝送を行ったとしても、その誤り訂正能力を越える連続ビット数のバースト誤りが発生することが多い。

このため、移動通信環境では、ランダム符号誤りが発生する通信環境と比較すると、誤り訂正符号を用いることによる効果が小さくなる。そこで、この問題を解決するため、インタリーブが用いられる。

このインタリーブは、伝送すべきビット列を並び替え、本来の並びとは異なった順序で各ビットを伝送する技術である。

ここで、一例として、 n ビットからなる符号語を m 個集めた $m \times n$ ビットのビット列を一単位としてインタリーブを行う方法について説明する。なお、以下では便宜上、1回のインタリーブの対象となるビット列をフレームと呼ぶ。

一般にインタリーブは、メモリを用いて行われる。この例では、メモリにおける $m \times n$ 個の連続した記憶エリアを利用してインタリーブが行われる。

図20は、このインタリーブ用の記憶エリアを2次元的に表現したメモリ空間を示すものである。このメモリ空間における各記憶エリアは、 n 通りの値をとり得る下位アドレスと、 m 通りの値をとり得る上位アドレスとからなる所定ビット数のアドレスデータとにより特定される。図20では、上位アドレスを同じくする各記憶エリアが下位アドレス順に左から右へと並べられており、下位アドレスを同じくする各記憶エリアが上位アドレス順に上から下へと並べられている。なお、以下では便宜上、上位アドレスを同じくする一連の記憶エリアを行、下位アドレスを同じくする一連の記憶エリアを列という。

インタリーブを行うに当たり、まず、その対象となるビット列が1ビットずつ $m \times n$ 個の記憶エリアの各々に順次書き込まれる。この書き込みを行う際の書込アドレスは、例えば図21に示すようなアドレス発生回路により発生される。このアドレス発生回路は、 n 進カウンタ11と m 進カウンタ12とにより構成されている。ここで、 n 進カウンタ11は、インタリーブ対象である各ビットの入力タイミングに同期したビットクロックのカウントを行う。また、 m 進カウンタ12は、 n 進カウンタ11のカウント値が n 回変化する毎に「1」だけそのカウント値を増加させる。そして、 n 進カウンタ11のカウント値を下位アドレス、 m 進カウンタ12のカウント値を上位アドレスとする書込アドレスが、図20に示すメモリに対して与えられ、メモリに対する書き込みが行われる。

この結果、図22に示すように、ビット列のうち最初の n ビットの符号語がメモリ空間における第1行に書き込まれ、次の符号語が第2行に書き込まれ、…、最後に m 番目の符号語が第 m 行に書き込まれることとなる。

次に、このようにしてメモリに書き込まれた各ビットが、書き込みの場合とは異なった順序で読み出される。

この読み出し動作では、図23に示すアドレス発生回路により読出アドレスが発生される。この図23に示す構成では、 m 進カウンタ22によりビットクロックのカウントが行われ、この m 進カウンタ22のカウント値が m 回変化する毎に n 進カウンタ21のカウント値が「1」だけインクリメントされる。そして、 n

進カウンタ 2 1 のカウント値を下位アドレス、 m 進カウンタ 2 2 のカウント値を上位アドレスとする読出アドレスがビットクロックに同期してインタリーブ用のメモリに供給され、メモリの読み出しが行われる。

この結果、図 2 4 に示すように、メモリ空間の第 1 列の各記憶エリアに記憶された m ビットが上位アドレス順に読み出され、次いで第 2 列の各記憶エリアに記憶された m ビットが上位アドレス順に読み出され、…、最後に第 n 列の各記憶エリアに記憶された m ビットが上位アドレス順に読み出されることとなる。

このようにフレームを構成する各符号語がメモリに書き込まれるとともに、各符号語を構成する各ビットが書き込み時とは異なった順序で読み出されることにより、各符号語を構成する各ビットがフレーム内の全域に分散される。さらに具体的に説明すると、各符号語を構成する n 個のビットは、インタリーブの結果、他の符号語に属していた $m - 1$ 個のビットを間に挟んで離間した状態でフレーム内に分散配置されるのである。

フレームは、このようなインタリーブが施された後、伝送路に送信される。

受信側では、このフレームを伝送路を介して受信すると、インタリーブとは逆の並べ替え操作を実行して元通りの順序で各ビットが並んだフレームを復元する。この受信側で行われる並べ替え操作がデ・インタリーブである。

このようなインタリーブおよびデ・インタリーブを利用した伝送方法によりフレームの伝送を行った場合、伝送過程においてバースト符号誤りがフレームに生じたとしても、受信側においてこの符号誤りを訂正することが容易になる。

さらに詳述すると、次の通りである。

まず、例えば伝送過程において、インタリーブの施されたフレームに $m \times k$ ビット長のバースト符号誤りが発生したとする。

ここで、バースト符号誤りが生じている $m \times k$ ビットは、 m 個の符号語を構成していたビットを各符号語当たり k ビットずつ含んでいる。このため、デ・インタリーブにより復元された m 個の符号語において、バースト符号誤りの影響を受けているビットは、1 符号語当たり k ビットしかない。すなわち、インタリーブされたフレームにバースト符号誤りが生じたとしても、その符号誤りはデ・インタリーブ後のフレームにとってはランダム符号誤りになってしまうのである。

従って、 k ビット以上の符号誤りを訂正し得る誤り訂正符号を用いて符号語の誤り訂正符号化が行われている場合には、 $m \times k$ ビット長のバースト符号誤りが発生したとしても受信側において全ての符号誤りを訂正することが可能となる。

なお、このインタリーブがもたらす効果のことを、以下では便宜上、バースト符号誤りのランダム化あるいは単にランダム化と呼ぶ。

ここで、フレームを構成する符号語の数 m が大きい場合には、ビット長の長いバースト符号誤りが生じたとしても、1符号語当たりの誤ったビットの数を少なくすることができる。この意味において、インタリーブによるランダム化の効果は、フレームを構成する符号語の数 m が大きい程大きいといえることができる。

しかしながら、送信側においてインタリーブを、受信側においてデ・インタリーブをそれぞれ実行するには、少なくとも1フレーム分のビットを蓄積する必要があるため、遅延が必然的に生じる。そこで、インタリーブのフレーム長として、遅延が小さくなる長さを選択する必要がある。このため、例えば、インタリーブの処理単位としてのフレーム長を、コーデックなどで定まるフレーム長と同一に設定するなどが望ましいと考えられている。

ところで、音声や画像などの情報のデジタル通信では、伝送の単位である1フレームを構成するビット列が、誤り訂正符号化されたヘッダと誤り訂正符号化されていない部分とから構成される場合がある。このような1フレームを構成するビット列全体に対して上記インタリーブを実行すると、誤り訂正符号化されていない部分もバースト符号誤りのランダム化が行われるため、次のような問題が生じる。

(1) 第1の問題点

音声などの情報を取り扱うコーデックでは、誤り訂正符号化が行われない部分に誤りがあることが推定された場合にその部分が無音区間に置き換えるコンシールメントと呼ばれる動作などが実行される。このような動作を適切に行うためには、符号誤りが集中している方が望ましい。従って、誤り訂正符号化が行われていない部分に関しては、インタリーブによるランダム化は、むしろ望ましくない。

(2) 第2の問題点

インタリーブによるランダム化の効果を最大限に発揮するためには、上述した

ように、誤り訂正符号化された符号語のビット長 n を基準としてインタリーブを実行し、各符号語を構成する n ビットを1フレーム内に広く分散させるのが望ましい。しかし、実際には、伝送すべきデータの種類により異なった種類の誤り訂正符号化が行われ、符号長が区々の複数種類の符号語（誤り訂正符号）により1フレームが構成されることが多い。このような場合に、フレーム内の特定の誤り訂正符号の符号長を基準としてフレーム全体にインタリーブを施すと、その特定の誤り訂正符号については十分なランダム化の効果が得られるが、これと符号長の異なった他の誤り訂正符号については十分なランダム化の効果が得られないという問題が生じる。

（３）第３の問題点

ランダム化が好ましいか否かは、誤り訂正符号化がなされているデータか否かのみにより決定されるとは限らない。すなわち、誤り訂正符号化されたビット列と誤り訂正符号化されていないビット列とから構成されるフレームにおいて、誤り訂正符号化されていないビット列が、その性質上、ランダム化を行った方がよいデータに対応したものと、ランダム化を行わない方がよいデータに対応したものとにより構成されているような場合がある。フレームを構成する各データ毎に、ランダム化を行うか否か当該データの性質に合った適切な措置を採ることができれば好都合であるが、そのための技術的手段はこれまで提供されていない。

発明の開示

本発明は、このような事情に鑑みてなされたもので、その目的とするところは、フレームを構成する各情報に対し、個別的にランダム化を施し、各情報を構成するビットを当該情報にとって最適な態様で伝送することを可能にするインタリーブ方法、インタリーブ装置、デ・インタリーブ方法およびデ・インタリーブ装置を提供することにある。

この目的を達成するため、本発明は、伝送または記録すべきフレームに含まれる第１の情報に対応したビット列内に当該フレームに含まれる第２の情報に対応したビット列を構成する各ビットを分散配置することを特徴とするインタリーブ方法およびこれに対応したデ・インタリーブ方法を提供するものである。

かかる発明によれば、第2の情報に対してのみインタリーブによるランダム化の効果が及ぶので、各情報に適した伝送を行うことができる。

図面の簡単な説明

図1は、この発明の第1の実施形態に係るインタリーブ装置の構成を示すブロック図である。

図2は、同インタリーブ装置の書込アドレス供給部の構成例を示すブロック図である。

図3は、同インタリーブ装置の読出アドレス供給部の構成例を示すブロック図である。

図4は、同実施形態においてインタリーブ時にフレームを構成する各ビットを作業メモリの各記憶エリアに書き込む順序およびデ・インタリーブ時にフレームを構成する各ビットを作業メモリの各記憶エリアから読み出す順序を示す図である。

図5は、同実施形態においてインタリーブ時にフレームを構成する各ビットを作業メモリの各記憶エリアから読み出す順序およびデ・インタリーブ時にフレームを構成する各ビットを作業メモリの各記憶エリアに書き込む順序を示す図である。

図6は、同実施形態に係るデ・インタリーブ装置の構成を示すブロック図である。

図7は、同実施形態の動作を示すタイムチャートである。

図8は、この発明の第2の実施形態に係る2段インタリーブ装置の構成を示すブロック図である。

図9は、同実施形態に係る2段デ・インタリーブ装置の構成を示すブロック図である。

図10は、同実施形態の動作を示すタイムチャートである。

図11は、同実施形態に係る多段インタリーブ装置の一般的構成を示すブロック図である。

図12は、同実施形態に係る多段デ・インタリーブ装置の一般的構成を示すブ

ロック図である。

図13は、この発明の第3の実施形態が適用されるオーディオ信号の圧縮符号化データの生成方法を説明する図である。

図14は、同実施形態の動作を示すタイムチャートである。

図15は、同実施形態に係るインタリーブ装置の構成を示すブロック図である。

図16は、同実施形態に係るデ・インタリーブ装置の構成を示すブロック図である。

図17は、同実施形態と対比される比較例1におけるインタリーブ方法およびその符号誤りに対する耐性を説明する図である。

図18は、同実施形態と対比される比較例2におけるインタリーブ方法およびその符号誤りに対する耐性を説明する図である。

図19は、同実施形態におけるインタリーブ方法の符号誤りに対する耐性を説明する図である。

図20は、インタリーブに使用されるメモリの記憶エリアを2次元的に示した図である。

図21は、インタリーブ時にメモリに対する書込アドレスを発生する装置の構成例を示すブロック図である。

図22は、インタリーブ時にメモリの各記憶エリアにフレームを構成する各ビットを書き込む順序を示す図である。

図23は、インタリーブ時にメモリに対する読出アドレスを発生する装置の構成例を示すブロック図である。

図24は、インタリーブ時にメモリの各記憶エリアからフレームを構成する各ビットを読み出す順序を示す図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照して説明する。

A. 第1の実施形態

(1) インタリーブ装置

図1はこの発明の第1の実施形態であるデジタル通信システムの送信側装置に

設けられたインタリーブ装置 1 の構成を示すブロック図である。

このインタリーブ装置 1 は、図 1 に示すように、分離部 100₁と、処理部 200 とからなる。

インタリーブ装置 1 には、受信側装置に伝送すべきフレームが順次供給される。各フレームは、多数のビットからなるビット列であり、これらのビットは、ビットクロック CLK に同期して、インタリーブ装置 1 に順次供給される。

各フレームを構成する情報をその種類により分けると、ヘッダ H と、これに続くデータ D とに分けることができる。

以下説明する例では、ヘッダ H は、p 個のビットによって構成されており、データ D は、m × p 個のビットにより構成されている。

また、ヘッダ H は、誤り訂正符号化がされている。これに対し、データ D は、誤り訂正符号化がなされていない。

分離部 100₁は、順次供給されるフレームを、ヘッダ H とデータ D とに分離して出力する装置である。この分離は、例えば次のような方法により行うことができる。すなわち、ビットクロック CLK に同期して供給されるビットの個数をカウントし、先頭 1 ビットから p ビットまでをヘッダ H とし、それ以降の部分をデータ D とするのである。

処理部 200 は、分離部 100₁からヘッダ H とデータ D とを受け取り、ヘッダ H を構成する各ビットを、データ D 内に分散配置させる装置である。この処理部 200 は、書込アドレス供給部 210 と、作業メモリ 220 と、読出アドレス供給部 230 とを主要な構成要素として含んでいる。

ここで、作業メモリ 220 は、インタリーブの対象であるフレームを構成する各ビットを記憶するための記憶装置である。本実施形態においては、この作業メモリ 220 の全記憶エリアのうちアドレスの連続した複数の記憶エリアを使用し、各記憶エリアに 1 フレームを構成する各ビットを各々格納する。

インタリーブは、この作業メモリ 220 に対しフレームを構成する各ビットを順次書き込む処理と、この作業メモリ 220 から書き込み時とは異なった順序で各ビットを読み出す処理とにより構成される。

書込アドレス供給部 210 は、フレームを構成する各ビットの作業メモリ 22

0への書き込みが行われる際に、所定のアドレス発生プログラムに従って、ヘッダHを構成する各ビットの書き込み先を特定する書込アドレスWAD_hと、データDを構成する各ビットの書き込み先を特定する書込アドレスWAD_dとを、それぞれビットクロックCLKに同期して生成し、作業メモリ220に供給する装置である。

また、書込アドレス供給部210は、1フレームを構成する各ビットを作業メモリ220に書き込むのに必要な全ての書込アドレスの生成を終えると、その旨を示す信号ENDを読出アドレス供給部230に供給する。

読出アドレス供給部230は、信号ENDを受けると、所定のアドレス発生プログラムに従って、作業メモリ220に記憶された各ビットを読み出すための読出アドレスRADを、ビットクロックCLKに同期して発生し、作業メモリ220に供給する装置である。

図2は、書込アドレス供給部210のアドレス発生アルゴリズムをハードウェア的に示したブロック図である。

この書込アドレス供給部210のアドレス発生アルゴリズムは、p進カウンタ210Aと、p進カウンタ210Bと、m進カウンタ210Cと、ANDゲート210Dと、加算器210Eとにより構成されている。ここで、p進カウンタ210Aは、ビットクロックCLKをカウントする。ヘッダHを構成する各ビットの書込アドレスWAD_hは、このp進カウンタ210Aのカウント値を下位アドレスとし、「0」を上位アドレスとするものである。

p進カウンタ210Aは、カウント値がp回変化してカウントオーバーとなり、ビットクロックCLKのカウントを停止する。

ANDゲート210Dは、p進カウンタ210Aがカウントオーバーとなった後に供給されるビットクロックCLKをm進カウンタ210Cに供給する。

m進カウンタ210Cは、このANDゲート210Dを介して供給されるビットクロックCLKのカウントを行う。m進カウンタ210Cは、そのカウント値がm回変化するとカウントオーバーとなるが、その後、ビットクロックCLKが供給される限り、再び初期値「0」からカウントを繰り返す。p進カウンタ210Bは、m進カウンタ210Cがカウントオーバーとなる毎に「1」ずつカウン

ト値を増加させる。加算器210Eは、m進カウンタ210Cのカウンタ値に「1」を加算して出力する。

データDを構成する各ビットの書き込み先を特定する書込アドレスWADdは、p進カウンタ210Bのカウンタ値を下位アドレスとし、加算器210Eの出力データを上位アドレスとするものである。

図3は、読出アドレス供給部230のアドレス発生アルゴリズムをハードウェア的に示したブロック図である。この読出アドレス供給部230のアドレス発生アルゴリズムは、p進カウンタ230Aと、m+1進カウンタ230Bとにより構成されている。m+1進カウンタ230Bは、ビットクロックCLKのカウンタを行う。p進カウンタ230Aは、m+1進カウンタ230Bのカウンタ値がm+1回変化し、初期値「0」に戻る毎に「1」だけカウンタ値を増加させる。

読出アドレスRADは、このp進カウンタ230Aのカウンタ値を下位アドレスとし、m+1進カウンタ230Bのカウンタ値を上位アドレスとするものである。

以上がインタリーブ装置1の構成の詳細である。

次に、このインタリーブ装置1によって行われるインタリーブを図4および図5を参照して説明する。

本実施形態では、作業メモリ220における $(m+1) \times p$ 個の連続した記憶エリアを利用してインタリーブを行う。

図4および図5には、このインタリーブ用の作業メモリ220の記憶エリアを2次元的に表現したメモリ空間が示されている。このメモリ空間における各記憶エリアには、各々固有のアドレスが対応している。アドレスは、p通りの値をとりうる下位アドレスと、m+1通りの値をとりうる上位アドレスとにより構成されている。

図4および図5では、上位アドレスを同じくする各記憶エリアが下位アドレス順に左から右へと並べられており、下位アドレスを同じくする各記憶エリアが上位アドレス順に上から下へと並べられている。既に述べたように、上位アドレスを同じくする一連の記憶エリアを行、下位アドレスを同じくする一連の記憶エリアの列という。

インタリーブを行うに当たり、まず、その対象となるビット列が1ビットずつ $m \times n$ 個の記憶エリアの各々に順次書き込まれる。この書き込みを行う際の書込アドレスは、既に図2を参照して説明した書込アドレス供給部210により発生される。

ヘッダHを構成する p ビットがビットクロックCLKに同期して作業メモリ220に供給される間、書込アドレス供給部210では、 p 進カウンタ210AによりビットクロックCLKのカウントが行われる。そして、 p 進カウンタ210Aのカウント値を下位アドレス、「0」を上位アドレスとして含む書込アドレスWADhが生成され、ビットクロックCLKに同期して作業メモリ220に供給される。

この結果、図4に示すように、ヘッダHを構成する p 個のビットが、作業メモリ220のインタリーブ用の記憶エリアのうち最初の行に書き込まれる。

次に、ヘッダHに続いて、データDを構成する $m \times p$ 個のビットがビットクロックCLKに同期して作業メモリ220に供給される。

この間、書込アドレス供給部210では、 m 進カウンタ210CによりビットクロックCLKのカウントが行われるとともに、 m 進カウンタ210Cがカウントオーバーとなる毎に p 進カウンタ210Bのカウント値のインクリメントが行われる。そして、 p 進カウンタ210Bのカウント値を下位アドレス、 m 進カウンタ210Cのカウント値に「1」を加えたものを上位アドレスとして含む書込アドレスWADdが生成され、ビットクロックCLKに同期して作業メモリ220に供給される。

この結果、図4に示すように、データDを構成する $m \times p$ 個のビットのうち最初の m ビットが、作業メモリ220における第1列の第2行から第 $m+1$ 行に対応した各記憶エリアに書き込まれ、次の m ビットは第2列の第2行から第 $m+1$ 行に対応した各記憶エリアに書き込まれ、…、最後（すなわち、 p 番目の）の m ビットは、第 p 列の第2行から第 $m+1$ 行に対応した各記憶エリアに書き込まれる。

次に、このようにして作業メモリ220に書き込まれた各ビットが、書き込みの場合とは異なった順序で読み出される。

この読み出し動作では、図3を参照して説明した読出アドレス供給部230により読出アドレスが発生される。

すなわち、 $m+1$ 進カウンタ230BによりビットクロックCLKのカウンタが行われるとともに、この $m+1$ 進カウンタ230Bがカウントオーバーとなる毎に p 進カウンタ230Aのカウント値が「1」だけインクリメントされる。そして、 p 進カウンタ230Aのカウント値を下位アドレス、 $m+1$ 進カウンタ230Bのカウント値を上位アドレスとする読出アドレスがビットクロックCLKに同期して作業メモリ220に供給される。

この結果、図5に示すように、まず、作業メモリ220における第1列の各記憶エリアに記憶された $m+1$ ビットが読み出され、次いで第2列の各記憶エリアに記憶された $m+1$ ビットが読み出され、…、最後に第 p 列の各記憶エリアに記憶された $m+1$ ビットが読み出されることとなる。

以上説明したインタリーブにより、ヘッダHを構成する p 個のビットをデータDを構成するビット列の中に等間隔に分散配置したフレームが得られる。なお、このインタリーブ後のフレームについては、後で図面を参照して詳細に説明する。

(2) デ・インタリーブ装置

送信側装置においてインタリーブを施されたフレームは、伝送路を介して受信側装置に伝送される。図6は、この受信側装置に設けられたデ・インタリーブ装置2の構成を示すブロック図である。

このデ・インタリーブ装置2は、書込アドレス供給部310と、作業メモリ320と、読出アドレス供給部330とにより構成されている。

ここで、作業メモリ320は、インタリーブ装置1における作業メモリ220と同様な記憶装置である。作業メモリ320には、伝送路を介して受信されたフレームを構成する $(m+1) \times p$ 個のビットが、ビットクロックCLKに同期して供給される。

デ・インタリーブは、これらの各ビットを作業メモリ320に書き込む処理と、これらの各ビットを書き込み時とは異なった順序で作業メモリ320から読み出す処理とにより構成されている。

受信フレームを構成するビットがビットクロックCLKに同期して作業メモリ

320に供給される間、書込アドレス供給部310は、書込アドレスWADをビットクロックCLKに同期して作業メモリ320に供給する。

この書込アドレス供給部310は、インタリーブ装置1における読出アドレス供給部230（図3参照）と同一の構成を有している。

そして、この書込アドレス供給部310では、 $m+1$ 進カウンタによりビットクロックのカウンタが行われるとともに、この $m+1$ 進カウンタがカウントオーバーとなる毎に p 進カウンタのカウント値が「1」だけインクリメントされる。そして、 p 進カウンタのカウント値を下位アドレス、 $m+1$ 進カウンタのカウント値を上位アドレスとする書込アドレスWADがビットクロックに同期して作業メモリ320に供給されるのである。

この結果、図5に示すように、受信フレームを構成する $(m+1) \times p$ 個のビットのうち最初の $m+1$ ビットが作業メモリ320における第1列の各記憶エリアに書き込まれ、次の $m+1$ ビットが第2列の各記憶エリアに書き込まれ、…、最後（すなわち、 p 番目の）の $m+1$ ビットが第 p 列の各記憶エリアに書き込まれることとなる。

このとき作業メモリ320における各ビットの配置は、それらの各ビットが送信側装置から送信されるに先立ってインタリーブ装置1の作業メモリ220に書き込まれたときの配置と一致している。

受信フレームを構成する全ビットの作業メモリ320への書き込みが終わると、その旨を示す信号ENDが書込アドレス供給部310から読出アドレス供給部330に供給される。

この読出アドレス供給部330は、インタリーブ装置1における書込アドレス供給部210（図2参照）と同一の構成を有している。

そして、この読出アドレス供給部330では、まず、 p 進カウンタによりビットクロックCLKのカウンタが行われる。そして、この p 進カウンタのカウント値を下位アドレス、「0」を上位アドレスとして含む読出アドレスRADhが生成され、ビットクロックCLKに同期して作業メモリ320に供給される。

この結果、図4に示すように、ヘッダHを構成する p 個のビットが、作業メモリ310における最初の行に対応した各記憶エリアから読み出される。

次に、読出アドレス供給部 330 では、 m 進カウンタによりビットクロック CLK のカウントが行われるとともに、 m 進カウンタがカウントオーバーとなる毎に p 進カウンタのカウント値のインクリメントが行われる。そして、 p 進カウンタのカウント値を下位アドレス、 m 進カウンタのカウント値に「1」を加えたものを上位アドレスとして含む読出アドレス R A D d が生成され、ビットクロック CLK に同期して作業メモリ 320 に供給される。

この結果、図 4 に示すように、作業メモリ 320 における第 1 列の第 2 行から第 $m+1$ 行に対応した各記憶エリアから、データ D を構成する $m \times p$ 個のビットのうち最初の m 個のビットが読み出される。そして、作業メモリ 320 における第 2 列の第 2 行から第 $m+1$ 行に対応した各記憶エリアから次の m ビットが読み出され、第 3 列の第 2 行から第 $m+1$ 行に対応した各記憶エリアからその次の m ビットが読み出され、…、第 p 列の第 2 行から第 $m+1$ 行に対応した各記憶エリアから最後（すなわち、 p 番目の）の m ビットが読み出される。

このようにしてデ・インタリーブ装置 2 では、インタリーブ装置 1 におけるインタリーブと全く逆の操作が行われ、インタリーブ前の元のフレームが復元される。

(3) 本実施形態の効果

次に、図 7 (a) ~ (d) を参照し、本実施形態の効果について説明する。

まず、送信側装置においてインタリーブの対象となるフレームの構成を図 7 (a) に示す。この図に示すように、インタリーブの対象となるフレームは、誤り訂正符号によって誤り訂正符号化されたヘッダ H と、誤り訂正符号化されていないデータ D とにより構成されている。

この例では、ヘッダ H は、 k 1 個の符号語からなり、各符号語の符号長は m 1 ビットである。そして、ヘッダ H は、 p ($=k$ 1 $\times m$ 1) ビットからなるビット列である。

誤り訂正符号化されていないデータ D は、 q ($=m \times p$) ビットからなるビット列である。

このフレームに対し、図 1 に示すインタリーブ装置 1 によってインタリーブが施されると、図 7 (b) に示すように各ビットが配列されたフレームが得られる。

すなわち、ヘッダHを構成していたp個のビットは、インタリーブにより、データDを構成するビット列内に等間隔に分散配置されるのである。ここで、ヘッダHを構成していたp個のビットのインタリーブ後における間隔は、インタリーブ装置1において書込アドレスの下位アドレスを変化させつつ作業メモリ220にヘッダHの各ビットを書き込んだ後、データDの各ビットを書き込むときの書込アドレスの上位アドレスの変化幅に対応したビット長、すなわち、mビットとなる。なお、図7(b)には $m=10$ とした場合におけるインタリーブ後のフレームの構成が示されている。

さて、図7(b)に示すインタリーブ後のフレームが伝送される過程において、図7(c)に示すようなバースト符号誤りが発生した場合を考える。この図7(c)に示す例では、ヘッダHを構成していたビット列のうち2番目のビットと、データDを構成していたビット列のうち8番目～15番目の各ビットがバースト符号誤りの影響を受けている。

このようなバースト符号誤りが発生したフレームに対し、図6に示すデ・インタリーブ装置2によってデ・インタリーブが施されると、図7(d)に示すようなフレームが復元される。

図7(d)に示すように、復元されたフレームのうちヘッダHに関しては、2番目のビットのみがバースト符号誤りの影響を受けている。このように本実施形態では、伝送過程においてフレームにバースト符号誤りが生じたとしても、ヘッダHはその影響を受けにくく、たとえ受けたとしてもその影響はデ・インタリーブ後のヘッダHにランダム符号誤りとなって現れるのみである。すなわち、本実施形態において実施されるインタリーブは、ヘッダHに対してはバースト符号誤りのランダム化の効果をもたらすのである。

ここで、ヘッダHにおける誤りビット数が誤り訂正符号の誤り訂正能力以内であれば、受信側装置において、その符号誤りを訂正することができる。

これに対し、復元されたフレームのうちデータDに関しては、第8番目～第15番目までの連続したビットがバースト符号誤りの影響を受けている。このように本実施形態では、伝送過程においてフレームにバースト符号誤りが生じた場合、デ・インタリーブ後のデータDにはそのバースト符号誤りがそのまま現れる。す

なわち、本実施形態におけるインタリーブは、データDに対してはバースト符号誤りのランダム化の効果をもたらさないのである。

この誤り訂正符号化されていないデータDについては、符号誤りが集中しているので、上記コンシールメント処理等を実行する場合には都合が良い。

以上説明したように、本実施形態によれば、音声や画像などのデータDに対し、誤り訂正符号により誤り訂正符号化されたヘッダHを付加して伝送する過程においてバースト符号誤りが発生しても、その符号誤りはヘッダHについてのみランダム化され、誤り訂正符号化されていないデータDについてはランダム化されない。ヘッダHについては受信側での誤り訂正が容易になり、データDについては受信側でのコンシールメント処理等の実行が容易になるという効果が得られる。

(4) 本実施形態の変形例

以上説明した実施形態には、次のような変形例がある。

- ①インタリーブ装置やデ・インタリーブ装置において、作業メモリに対する書込アドレスや読出アドレスは、プロセッサが所定のソフトウェアを実行することにより発生してもよいし、専用のハードウェアにより発生するようにしてもよい。
- ②インタリーブのためのアドレス発生アルゴリズムは上記実施形態のものに限定されるものではない。例えば上位アドレスと下位アドレスの関係あるいは作業メモリにおける行と列との関係を上記実施形態におけるものと逆にしてもよい。また、例えば作業メモリ内の別々のエリアにヘッダとデータを格納しておき、ヘッダを構成するビットを1ビット読み出す処理と、データを構成するビットをmビット読み出す処理とを交互に繰り返すという簡単な方法により本実施形態に係るインタリーブを実行することも可能である。
- ③上記実施形態では、インタリーブ時にヘッダHの全ビットを作業メモリ220における1行分の記憶エリアに書き込むようにしたが、複数行の記憶エリアに書き込むようにしても良い。
- ④インタリーブやデ・インタリーブの対象となるフレームは、各フレーム毎に長さが異なってもよい。
- ⑤上記実施形態では、ヘッダを構成する各ビットをその整数倍のビット長を有す

るデータ内に分散配置させたが、ヘッダとデータとの長さの比は整数である必要はない。ヘッダとデータとの長さが整数比を構成しない場合には、例えばデータにダミービットを追加することによりヘッダの長さの整数倍としてインタリーブを実施し、その後、ダミービットを取り除くという方法を採用しても良い。また、ヘッダを構成する各ビットは、必ずしも等間隔にデータ内に分散配置させる必要はない。どのような方法によりヘッダを構成する各ビットの分散配置を行うかが受信側において既知であれば、たとえ非均一な間隔で分散配置が行われたとしても、受信側でのデ・インタリーブは可能である。

B. 第2の実施形態

図8は本実施形態に係る多段インタリーブ装置の一例である2段インタリーブ装置3の構成を示すブロック図である。また、図9は本実施形態に係る多段デ・インタリーブ装置の一例である2段デ・インタリーブ装置4の構成を示すブロック図である。図10(a)～(f)は本実施形態の動作を示す図である。また、図11は本実施形態を一般化したr段インタリーブ装置5の構成を示すブロック図である。さらに図12は本実施形態を一般化したr段デ・インタリーブ装置6の構成を示すブロック図である。既に第1の実施形態において説明したように、各インタリーブ装置はデジタル通信システムの送信側装置に設けられ、各デ・インタリーブ装置は受信側装置に設けられる。以下、図8～図12を順次参照し、本実施形態について説明する。

(1) 2段インタリーブ装置

まず、図8を参照し、本実施形態に係る2段インタリーブ装置3について説明する。

この2段インタリーブ装置3は、分離部100₂と、処理部200₁と、処理部200₂とにより構成されている。

この2段インタリーブ装置3の処理対象であるフレームの構成を図10(a)に示す。

上記第1の実施形態では、インタリーブの対象であるフレームのヘッダHが、1種類の誤り訂正符号のみによって誤り訂正符号化された符号語により構成されていた。

本実施形態におけるインタリーブの対象であるフレームは、上記第1の実施形態と同様、誤り訂正符号化のなされたヘッダHと、誤り訂正符号化のなされていないデータDとにより構成されているが、ヘッダHはヘッダH₁とヘッダH₂とにより構成されている。ここで、ヘッダH₁とヘッダH₂は、異なった種類の誤り訂正符号によって誤り訂正符号化されている。なお、以下では、説明の便宜上、データDのビット長を63ビット、ヘッダH₁のビット長を9ビット、ヘッダH₂のビット長を3ビットとする。

分離部100₂は、1フレームを構成するビット列を、誤り訂正符号化されたヘッダHと、誤り訂正符号化がなされていないデータDとに分離する点において第1実施形態にかかる分離部100₁と同様である。しかし、本実施形態に係る分離部100₂は、これに加えて、データDから分離したヘッダHをさらに第1の誤り訂正符号によって誤り訂正符号化されたヘッダH₁と、第2の誤り訂正符号によって誤り訂正符号化された部分H₂とに分離する。

図10(b)は、この分離部100₂による分離によって得られたヘッダH₂とヘッダH₁とデータDとを示している。

そして、分離部100₂は、データDおよびヘッダH₁を処理部200₁に供給し、ヘッダH₂を処理部200₂に供給する。処理部200₂には、ヘッダH₂の他、処理部200₁の処理結果が供給される。

処理部200₁および200₂の各々は、第1の実施形態の処理部200とほぼ同一の構成を有している。

そして、処理部200₁は、データDのビット列の中にヘッダH₁を構成する9個のビットを分散配置するインタリーブを実行する。このインタリーブを行うための構成および動作は既に第1の実施形態において図1～図5を参照して説明した通りである。

図10(c)は、このインタリーブが施されて処理部200₁から出力されるビット列を示すものである。

図10(c)に示すように、処理部200₁から出力される72(=8×9)ビットのビット列において、ヘッダH₁を構成していた9個のビットは、データDを構成するビット列の中に等間隔に分散配置される。ここで、ヘッダH₁を構成して

いた各ビット間には、データDにおける7 ($= 63/9$) 個の連続したビットが挟まれている。このヘッダの各ビット間に挟まれているデータDのビット列の長さは7ビットとなる。

次に、処理部200₂は、ヘッダH₂を構成する3個のビットを、処理部200₁から出力される72ビットのビット列の中に等間隔に分散配置させるインタリーブを実行する。この処理部200₂によって行われるインタリーブの処理内容は、処理部200₁によって行われるイタリーブと同様である。

この処理部200₂のインタリーブを経たビット列を図10 (d) に示す。

図10 (d) に示すように、インタリーブ後のビット列において、ヘッダH₂を構成していた3個のビットの各々の間には、処理部200₁から出力されたビット列中の連続した24 ($= 72/3$) ビットが挟まれている。

この処理部200₂から得られるビット列が2段インタリーブを経たフレームとして、伝送路を介して受信側装置へ送られるのである。

(2) 2段デ・インタリーブ装置

次に、受信側装置に設けられた2段デ・インタリーブ装置4について説明する。

この2段デ・インタリーブ装置4は、図9に示すように、処理部300₂と、処理部300₁と、合成部400₂とにより構成されている。

処理部300₁および300₂の各々は、第1の実施形態におけるデ・インタリーブ装置2 (図6参照) と同様な構成を有している。

処理部300₂は、処理部200₂によって行われるインタリーブと全く逆の操作であるデ・インタリーブを、伝送路から受信したフレームに施す。

例えば図10 (d) に示す内容のフレームが処理部300₂に与えられた場合、処理部300₂が行うデ・インタリーブにより図10 (c) に示すビット列が得られる。

このビット列は、ヘッダH₂を構成する3ビットのビット列と、ヘッダH₁を構成する各ビットをデータDのビット列に分散配置したビット列とにより構成されている。

これらのうちヘッダH₂は、合成部400₂に供給される。一方、ヘッダH₁を構成する各ビットをデータDのビット列に分散配置したビット列は、処理部300

に供給される。

処理部300₁は、処理部200₁によって行われるインタリーブと全く逆の操作であるデ・インタリーブを実行する。このデ・インタリーブにより、ヘッダH₁を構成する各ビットをデータDのビット列に分散配置したビット列から、図10(b)に示す7個のビットからなるヘッダH₁と63個のビットからなるデータDとが復元され、各々合成部400₂に供給される。

合成部400₂は、ヘッダH₂とヘッダH₁とデータDとを合成し、図10(a)に示す元のフレームを出力する。

以上が図9に示す2段デ・インタリーブ装置4の詳細である。

(3) 本実施形態の効果

次に図10を参照し、本実施形態の効果を説明する。

まず、図10(d)に示すインタリーブ後のフレームが伝送される過程において、図10(e)に示すバースト符号誤りが発生したとする。この図10(d)に示す例では、ヘッダH₁を構成していたビット列の中の1ビットと、ヘッダH₂を構成していたビット列の中の1ビットと、データDを構成していた連続した幾つかのビットとがバースト符号誤りの影響を受けている。

このようなバースト符号誤りの影響を受けたフレームが受信側装置によって受信され、2段デ・インタリーブ装置4によってデ・インタリーブされると、図10(f)に示すようなフレームが復元される。

この復元後のフレームにおいて、バースト符号誤りの影響は、第1の誤り訂正符号によって誤り訂正符号化されたヘッダH₁および第2の誤り訂正符号によって誤り訂正符号化されたヘッダH₂においては、各々1ビットのランダム符号誤りとなって現れ、誤り訂正符号化されていないデータDにおいては幾つかの連続したビットの符号誤りとなって現れる。すなわち、本実施形態では、ヘッダH₁およびH₂に対してのみインタリーブによるランダム化の効果が及び、データDに対してはインタリーブによるランダム化の効果は及ばない。

ここで、ヘッダH₁およびH₂における誤りビット数が各誤り訂正符号の誤り訂正能力以内であれば、その符号誤りを訂正することができる。また、誤り訂正符号化されていないデータDには、バースト符号誤りが生じているので、上記コン

シールメント処理が実行される。

以上説明したように、本実施形態によれば、上記第1の実施形態と同様に、音声や画像などのデータDに、2つの異なる誤り訂正符号により誤り訂正符号化されたヘッダ H_1 および H_2 を付加して伝送する過程においてバースト符号誤りが発生したとしても、その符号誤りはヘッダ H_1 および H_2 についてのみランダム化され、誤り訂正符号化されていないデータDについてはランダム化されない。従って、各ヘッダについては受信側での誤り訂正が容易になり、データDについては受信側でのコンシールメント処理等の実行が容易になるという効果が得られる。また、本実施形態では、各ヘッダ H_1 および H_2 を分散配置させるインタリーブを2回に分けて実行するので、各ヘッダにとって最適な条件でインタリーブを実施し、各ヘッダ毎に最大のランダム化の効果を得ることができる。

(4) 多段インタリーブ装置および多段デ・インタリーブ装置の一般的構成

以上、誤り訂正符号化されたヘッダが、第1の誤り訂正符号によって誤り訂正符号化されたヘッダ H_1 と、第2の誤り訂正符号によって誤り訂正符号化されたヘッダ H_2 との2つからなる場合について説明したが、本発明はこれに限られず、フレームが、異なる誤り訂正符号によって誤り訂正符号化された3種類以上のヘッダを有する場合にも、もちろん適用可能である。

図11は、フレームが、異なる誤り訂正符号によって誤り訂正符号化された r 個のヘッダを含むフレームのインタリーブを行う r 段インタリーブ装置5の構成を示している。

この図に示されるように、 r 段インタリーブ装置5は、分離部100_rと、 r 個の処理部200₁～200_rとにより構成されている。

分離部100_rは、フレームを r 個のヘッダ H_1 ～ H_r およびデータDに分離する。

処理部200₁は、ヘッダ H_1 を構成する各ビットをデータDを構成するビット列の中に等間隔に分散配置するインタリーブを実行し、この結果得られるビット列を出力する。

処理部200₂は、ヘッダ H_2 を構成する各ビットを、処理部200₁から出力されるビット列の中に等間隔に分散配置するインタリーブを実行する。

他の処理部についても同様である。すなわち、図11における各処理部200

k ($k = 1 \sim r$) は、ヘッダ H_k を構成する各ビットを、処理部 200_{k-1} から出力されるビット列の中に等間隔に分散配置するインタリーブを実行するのである。

そして、最終段 (r 段目) の処理部 200_r から得られるビット列がインタリーブ後のフレームとして伝送路を介して受信側装置に送られる。

受信側装置では、図 12 に示す r 段デ・インタリーブ装置 6 により受信フレームのデ・インタリーブが行われる。

この r 段デ・インタリーブ装置 6 は、 r 個の処理部 300_k ($k = 1 \sim r$) と合成部 400_r とを有している。

処理部 300_k ($k = 1 \sim r$) は、処理部 200_k ($k = 1 \sim r$) によって行われるインタリーブと全く逆の操作であるデ・インタリーブを実行する。

さらに詳述すると、処理部 300_k は、伝送を介して受信したフレームに対し、処理部 200_k によるインタリーブとは逆のデ・インタリーブを施し、連続したビットからなるヘッダ H_r と、他のヘッダを構成する各ビットをデータ D 内に分散配置したビット列とを出力する。そして、処理部 300_k は、ヘッダ H_r を合成部 400_r に送り、後者のビット列を処理部 300_{r-1} に送る。次に処理部 300_{r-1} は、処理部 300_r から出力されたビット列に対し、処理部 200_{k-1} によるインタリーブとは逆のデ・インタリーブを施し、連続したビットからなるヘッダ H_{r-1} と、他のヘッダを構成する各ビットをデータ D 内に分散配置したビット列とを出力する。そして、処理部 300_{r-1} は、ヘッダ H_{r-1} を合成部 400_r に送り、後者のビット列を処理部 300_{r-2} に送る。この処理部 300_{r-2} 以降の各処理部 300_k も同様の動作を行う。そして、最終段の処理部 300_1 は、処理部 300_2 から出力されたビット列に対し、処理部 200_1 によるインタリーブとは逆のデ・インタリーブを施し、連続したビットからなるヘッダ H_1 とデータ D とを合成部 400_r に送る。

合成部 400_r は、このようにして各処理部から出力されたヘッダ $H_1 \sim H_r$ およびデータ D を合成し、元のフレームを復元する。

以上の説明から明らかなように、本発明は、フレームが 2 種類のヘッダを有する場合のみならず、3 種類以上のヘッダを有する場合にも適用可能である。

C. 第 3 の実施形態

上記第 1 および第 2 の実施形態においては、伝送すべきフレームを誤り訂正符号化された部分と、誤り訂正符号化されていない部分とに分け、前者を構成する各ビットを後者のビット列の全域に亘って分散配置させるインタリーブを実行した。

本発明におけるインタリーブの実施態様はこれに限定されるものではない。

例えば、誤り訂正符号化されていないデータの中に、その性質上、インタリーブによるランダム化の効果を及ぼした方がよい種類のものが含まれている場合がある。

本実施形態は、このような場合を想定したものである。本実施形態では、誤り訂正符号化されていないデータを、インタリーブによるランダム化の効果が望まれる部分と、そうでない部分とに分け、前者を構成する各ビットを後者のビット列の中に分散配置するインタリーブを実施する。

本実施形態を適用するのに好適な対象の 1 つに、オーディオ信号を圧縮符号化した符号化データがある。本実施形態におけるインタリーブの説明に先立ち、この符号化データの生成方法について図 13 を参照して説明する。

まず、1 フレームのオーディオ信号のサンプル（この例では 1024 サンプル）に対して時間周波数変換の一種である MDCT (Modified Discrete Cosine Transformation) を実行する。これにより、オーディオ信号は、MDCT 係数と呼ばれる周波数軸上でのパラメータに変換される。

次に、MDCT 係数を予め定められた周波数領域（スケールファクタバンド）単位に分割する。一般に MDCT の周波数分解能は、このスケールファクタバンドのバンド幅よりも細かいため、各スケールファクタバンドには複数の MDCT 係数が存在することとなる。

次に、各スケールファクタバンド毎に、各々に属する複数の MDCT 係数 X から、スケールファクタ SF とスペクトラルデータ ML とを求める。ここで、スケールファクタ SF は、MDCT 係数を浮動小数点表示したときの指数部に相当するものであり、スペクトラルデータ ML は仮数部に相当するものである。

各スケールファクタバンドには複数の MDCT 係数が属しているが、スケールファクタ SF は、各スケールファクタバンド毎に 1 個ずつ生成する。一方、スペ

クトラルデータMLは、当該スケールファクタバンドに属する各MDCT係数Xに各々対応して生成する。

以上説明したMDCT係数X、スケールファクタSFおよびスペクトラルデータMLとの間には、次の式(1)に示す関係がある。

$$\text{abs}(X) = \text{int}((\text{abs}(ML) * (2^{(1/4 * (SF - \text{OFFSET}))}))^{(3/4)} + \text{MAGIC NUMBER}) \dots (1)$$

ただし、上記式(1)において、関数abs(X)はその変数Xの絶対値を表す。また、OFFSETとMAGIC NUMBERとは定数であり、例えば、OFFSET=100、MAGIC NUMBER=0.4054である。

式(1)によれば、1つのMDCT係数Xに対して、スケールファクタSFとスペクトラルデータMLの組が複数得られることになる。このため、スケールファクタSFの選択には自由度がある。そこで、各スケールファクタバンド毎に、当該スケールファクタバンドに属する各MDCT係数に対応したスペクトラルデータMLのデータ量が最も少なくなるように、スケールファクタSFを選択する。このスケールファクタSFは、式(1)の演算を繰り返し行う反復法によって求める。

次に、各スケールファクタバンドに対応した各スケールファクタSFの差分符号化を行う。

まず、スケールファクタバンドが例えばバンド1～バンドnまでであるとした場合、バンド1のスケールファクタSFとバンド2のスケールファクタSFの差分、バンド2のスケールファクタSFとバンド3のスケールファクタSFとの差分、…、バンドn-1のスケールファクタSFとバンドnのスケールファクタSFとの差分を求める。

次に、このようにして求めた各差分をRVLC (Reversible Variable Length Code) を用いて符号化する。このRVLCは、前からも後からも復号可能な可変長符号である。

このRVLCの例として、一定個数の“1”を含んだ可変長符号が挙げられる。例えば“1”の個数を「3」と予め決めておくものとする、“111”、“1011”、“1101”、“11001”、“10101”、…という一連のR

VLCを生成することができる。

また、他の例としては、等しい個数の“0”と“1”を含む可変長符号もRVLCとなる（例えば、“01”、“10”、“0011”、“1100”、“001011”、“000111”、“110100”、…）。また、符号が完全に左右対称なRVLCの例もある（例えば、“0”、“101”、“111”、“1001”、“11011”、“10001”、…）。

スペクトラルデータMLについては、ハフマン符号化を行い、ハフマン符号並べ替えを施す。このハフマン符号並べ替えを行った場合、復号する際に誤りが伝搬するのを防止することが可能である。

次に、このようにして得られた各情報を用いて、ヘッダHと、スケールファクタSFに対応するデータD₁と、スペクトラルデータMLに対応するデータD₂とからなるフレームを組み立てる。

このフレームにおいて、ヘッダHには、バンド1およびnにおける各スケールファクタSFや有効なスケールファクタバンド数等の重要な情報に対して誤り訂正符号化を行った符号語が含まれている。ここで、バンド1およびnにおける各スケールファクタSFは、受信側装置において各バンドのスケールファクタSFを逐次復号してゆく際の初期スケールゲイン情報として利用されるものである。この初期スケールゲイン情報やスケールファクタバンド数に誤り訂正符号化を施してヘッダHに含めるのは、受信側装置においてこれらの情報を正しく復号することができないと、そのフレームに属する全てのスケールファクタSFの復号が不可能になるからである。

データD₁には、各バンドのスケールファクタSF間の差分を符号化したRVLCが含まれている。データD₂には、スペクトラルデータMLをハフマン符号化し、さらにハフマン符号並べ替えを行ったデータが含まれている。なお、データD₁およびD₂は、誤り訂正符号化がなされていない。

以上整理すると、本実施形態の適用対象となるフレームの内容は次の通りである。

a. 誤り訂正符号化されたヘッダH

初期スケールゲイン情報（バンド1およびnにおける各スケールファクタSF）

有効なスケールファクタバンド数

b. 誤り訂正符号化されていないデータ D_1

各バンドのスケールファクタ SF 間の差分を符号化した $RVL C$

c. 誤り訂正符号化されていないデータ D_2

スペクトラルデータ ML をハフマン符号化し、さらにハフマン符号並べ替えを行ったデータ

ヘッダ H 、データ D_1 および D_2 のビット数は、各フレームによって可変であるが、例えば、 $40\text{ kbps}/48\text{ kHz}$ サンプルレートの条件では、図 14 (a) に示すように順に 320 ビット、80 ビット、1200 ビット程度となる。

以上が本実施形態における伝送対象の詳細である。

図 15 は、この伝送対象であるフレームにインタリーブを施す本実施形態に係るインタリーブ装置の構成を示すブロック図である。

この図に示すように、本実施形態に係るインタリーブ装置は、分離部 100₃ と、2 つの処理部 200₃ および 200₄ とにより構成されている。

このうち、分離部 100₃ は、1 フレームを、誤り訂正符号化されたヘッダ H と、誤り訂正符号化されていないデータとに分離する点において第 1 の実施形態にかかる分離部 100₁ と同様である。しかしながら、本実施形態に係る分離部 100₃ は、誤り訂正符号化されていないデータを、さらにスケールファクタ SF に対応したデータ D_1 とスペクトラルデータ ML に対応したデータ D_2 とに分離する。そして、分離部 100₃ は、ヘッダ H を処理部 200₄ に、データ D_1 および D_2 を処理部 200₃ に送る。

処理部 200₃ および 200₄ の構成は、それぞれ第 1 の実施形態の処理部 200 とほぼ同一である。

そして、処理部 200₃ は、データ D_1 を構成する各ビットをデータ D_2 のビット列の中に等間隔に分散配置させるインタリーブを実行し、この結果得られるビット列を出力する。

処理部 200₄ は、ヘッダ H を構成する各ビットを、処理部 200₃ から出力されたビット列の全域に亘って等間隔に分散配置させるインタリーブを行い、この

インタリーブ後のフレームを伝送路を介して受信側装置に送る。

次に、図14を参照し、本実施形態に係るインタリーブ装置の動作の具体例を説明する。

まず、伝送対象であるフレームの内容は、既に参照した図14(a)に示す通りである。

このフレームは、図14(b)に示すように、ヘッダHと、データD₁と、データD₂とに分離される。この例では、ヘッダHは320ビット、データD₁は80ビット、データD₂は1200ビットにより構成されている。

処理部200₃では、図14(c)に示すように、作業メモリにおける80×(15+1)個の連続した記憶エリアを用いて、データD₁を構成する80個のビットを、データD₂を構成する1200(=15×80)ビットのビット列内に等間隔に分散配置させるインタリーブが行われる。

図14(c)には、このインタリーブ用の記憶エリアが2次元的に表されている。

まず、図14(c)に示すように、データD₁を構成する80ビットが、作業メモリの第1行に対応した80個の記憶エリアに書き込まれる。

次に、作業メモリの第1列の第2行～第16行に対応した15個の記憶エリアにデータD₂における最初の15ビットが書き込まれ、第2列の第2行～第16行に対応した15個の記憶エリアに次の15ビットが書き込まれ、…、第80列の第2行～第16行に対応した15個の記憶エリアに最後(すなわち、80番目の)の15ビットが書き込まれる。

そして、作業メモリの第1列の第1行～第16行に対応した各記憶エリアから16ビットが読み出され、第2列の第1行～第16行に対応した各記憶エリアから16ビットが読み出され、…、第80列の第1行～第16行に対応した各記憶エリアから最後の16ビットが読み出される。

このようにして、図14(d)に示すように、データD₁を構成する各ビットを、データD₂のビット列内に等間隔に分散配置させた1280ビットのビット列が得られ、処理部200₄へ出力される。

処理部200₄では、ヘッダHを構成する320個のビットを、処理部200₃

から出力される1280 (= 4 × 320) ビットのビット列内に等間隔に分散配置させるインタリーブが行われる。

この処理部200₄によるインタリーブにより、図14 (e) に示す1600ビットのビット列が得られる。

このビット列は、インタリーブ後のフレームとして受信側装置に伝送される。

以上が本実施形態に係るインタリーブ装置の詳細である。

受信側装置では、図16に示すデ・インタリーブ装置により、受信フレームのデ・インタリーブが行われる。

このデ・インタリーブ装置は、2個の処理部300₄および300₃と、合成部400₃とにより構成されている。

処理部300₃および300₄の各々は、第1の実施形態におけるデ・インタリーブ装置2 (図6参照) と同一の構成を有している。合成部400₂は、第2の実施形態における合成部400₂と同じ機能を有している。

このデ・インタリーブ装置により、受信フレームのデ・インタリーブが行われ、各ビットが元通りの順番に並んだヘッダH、データD₁およびデータD₂が得られる。

そして、ヘッダH、データD₁およびD₂に基づいてオーディオ信号の再生が行われる。

具体的には、まず、ヘッダHから初期スケールファクタゲイン情報 (バンド1およびバンドnの各スケールファクタSF) や有効スケールファクタバンド数などの復号に必要な情報を取り出す。

次に、データD₁に含まれている各RVL Cから各バンドのスケールファクタSF間の差分を求め、これらの差分と初期スケールファクタゲイン情報とを用いて各バンド1～nのスケールファクタSFを復号する。この場合、低周波から高周波の方向の復号および高周波から低周波の方向の復号の両方が可能なので、いずれかのRVL Cに符号誤りが生じた場合でも、多くのバンドのスケールファクタSFを復号することができる。

すなわち、例えば周波数が高いバンドn-1のスケールファクタSFを求めるのに必要な差分が符号誤りにより得られない場合には、バンド1のスケールファ

クタ S F（初期スケールゲイン情報）にバンド 1 および 2 の各スケールファクタ間の差分を加算してバンド 2 のスケールファクタ S F を求め、次にこれに対しバンド 2 および 3 の各スケールファクタ間の差分を加算してバンド 3 のスケールファクタ S F を求め、…という具合に、低周波側から高周波側に向けて各バンドのスケールファクタ S F を求めてゆく。これに対し、例えば周波数が低いバンド 2 のスケールファクタ S F を求めるのに必要な差分が符号誤りにより得られない場合には、バンド n のスケールファクタ S F（初期スケールゲイン情報）からバンド $n-1$ および n の各スケールファクタ間の差分を減算してバンド $n-1$ のスケールファクタ S F を求め、次にこれからバンド $n-3$ および $n-2$ の各スケールファクタ間の差分を減算してバンド $n-3$ のスケールファクタ S F を求め、…という具合に、高周波側から低周波側に向けて各バンドのスケールファクタ S F を求めてゆけばよいのである。

次に各バンドのスケールファクタ S F と、データ D_2 に含まれている各バンドの各 MDCT 係数のスペクトラルデータ ML とを上述した式（1）に代入し、各バンドに属する各 MDCT 係数 X を再生する。

そして、符号誤りにより復号することができないスケールファクタ S F がある場合には、そのスケールファクタ S F に対応したバンドについてコンシールメント処理を施す。すなわち、当該バンドに関しては、スペクトラルデータ ML を「0」に設定する。

次に、MDCT 係数 X に逆 MDCT 変換を施すとともに、逆 MDCT 変換結果とヘッダ情報とに基づいてオーディオ信号を再生する。

以上が受信側装置の動作である。

次に、本実施形態の効果について説明する。

ここでは、本実施形態の効果がより正確に理解されるよう、最初に本実施形態によるインタリーブ方法以外のインタリーブ方法を比較例として挙げ、これを採用した場合における符号誤りに対する耐性を説明する。その後、これとの比較において、本実施形態によるインタリーブ方法を採用した場合における符号誤りに対する耐性を説明する。

まず、本実施形態以外のインタリーブ方法の比較例 1 として、上記第 1 の実施

形態のように、誤り訂正符号化されたヘッダHを構成する各ビットを、誤り訂正符号化されていないデータD₁およびD₂の両方に対応したビット列の中に分散させる場合を考える。なお、本実施形態との比較の便宜のため、ヘッダHは320ビット、データD₁は80ビット、データD₂は1200ビットのビット長を有しているものとする。

この場合のインタリーブは、図17(a)に示すように、作業メモリにおける320×(1200+1)個の連続した記憶エリアを用いて行われる。

図17(a)には、このインタリーブ用の記憶エリアが2次元的に表されている。

まず、図17(a)に示すように、ヘッダHを構成する320ビットが、作業メモリの第1行に対応した320個の記憶エリアに書き込まれる。

次に、作業メモリの第1列の第2行～第5行に対応した4個の記憶エリアにデータD₁における最初の4ビットが書き込まれ、第2列の第2行～第5行に対応した4個の記憶エリアに次の4ビットが書き込まれ、…、第20列の第2行～第5行に対応した4個の記憶エリアに最後の4ビットが書き込まれる。

このようにしてデータD₁を構成する80個のビットの書き込みが終了すると、これに続けてデータD₂を構成する1200個のビットの書き込みが行われる。すなわち、作業メモリの第21列の第2行～第5行に対応した各記憶エリアにデータD₂における最初の4ビットが書き込まれ、第22列の第2行～第5行に対応した各記憶エリアに次の4ビットが書き込まれ、…、第320列の第2行～第5行に対応した各記憶エリアに最後の4ビットが書き込まれるのである。

このようにしてヘッダH、データD₁およびD₂を構成する各ビットの作業メモリへの書き込みが終了すると、作業メモリに記憶された各ビットが書き込み時とは異なった順序で読み出される。すなわち、作業メモリの第1列の第1行～第5行に対応した各記憶エリアから5ビットが読み出され、第2列の第1行～第5行に対応した各記憶エリアから5ビットが読み出され、…、第320列の第1行～第5行に対応した各記憶エリアから最後の5ビットが読み出される。

このようにして、ヘッダHを構成する320個のビットを、データD₁およびD₂を構成する1280ビットのビット列に等間隔に分散配置させた1600ビット

のビット列が得られ、伝送路を介して受信側装置へ伝送される。

この伝送過程において、図17(b)に示すように、バースト符号誤りが生じたとする。この図17(b)に示す例では、ヘッダHを構成する320ビットのうち9ビット目から13ビット目までの5ビットと、データD₁を構成している連続した幾つかのビットがバースト符号誤りの影響を受けている。

ここで、ヘッダHに関しては、インタリーブによるランダム化が行われ、バースト符号誤りの影響がランダム符号誤りとなって現れる。従って、この誤りビット数(図17(b)に示す例では4ビット)が誤り訂正能力以内であれば、受信側装置において、その符号誤りを訂正することができる。

一方、図17(b)に示す例では、各バンドのスケールファクタSFを逐次求めるのに必要なRVLCを含むデータD₁がバースト誤りの影響を受けている。

ここで、受信側装置では、復元されたスケールファクタSFとスペクトラルデータMLとに基づいて、各スケールファクタバンド毎にMDCT係数Xを生成する。従って、データD₁とデータD₂のうち一方にバースト符号誤りが生じると、他方に誤りがなくとも、誤り部分に対応したスケールファクタバンドが復号不能となる。

そして、図17(b)に示す例では、データD₁のビット列、すなわち、各バンドのスケールファクタSFを求めるのに必要なRVLCのビット列のうち19ビット目から～38ビット目までの連続したビット列に誤りが発生している。このため、符号誤りの生じたRVLCをスケールファクタSFの復号に必要とする全てのスケールファクタバンドが復号不能区間となる。図17(b)に示すようにRVLCのビット列のうちの多くのビット列に誤りが発生した場合、図17(c)に示すように多くのバンドを含む復号不能期間が生じてしまう。

次に、比較例2を挙げて説明する。この比較例2では、図15に示すようなインタリーブ装置によりフレームにインタリーブを施す。ただし、この比較例2によって行われるインタリーブは、本実施形態によって行われるインタリーブとは異なっている。

この比較例2において、処理部200₃は、図18(a)に示すように、スケールファクタSFの復号に必要なデータD₁を構成する80ビットを、作業メモリの

第1行および第2行に40ビットずつ分けて書き込む。次いで処理部200₃は、作業メモリの第1列の第3行～第32行までの各記憶エリアにデータD₂を構成する1200個のビットのうちの最初の30ビットを書き込み、第2列の第3行～第32行までの各記憶エリアに次の30ビットを書き込み、…、第40列の第3行～第32行までの各記憶エリアに最後の30ビットを書き込む。そして、この書き込みが終わると、処理部200₃は、作業メモリの第1列の第1行～第32行までの各記憶エリアから32ビットを読み出し、第2列の第1行～第32行までの各記憶エリアから32ビットを読み出し、…、第40列の第1行～第32行までの各記憶エリアから最後の30ビットを読み出す。そして、処理部200₃は、このようにして読み出した1280ビットのビット列を処理部200₄へ送る。

次に、処理部200₄では、ヘッダHを構成する320個のビットを、処理部200₃から出力された1280ビットのビット列内に等間隔に分散配置させるインタリーブを行う。

図18(b)は、このインタリーブにより得られたビット列の構成を示すものである。

このビット列は、インタリーブ後のフレームとして、受信側装置へ伝送される。

このフレームの伝送過程において、図18(b)に示すようなバースト符号誤りが生じたとする。

この図18(b)に示す例では、スケールファクタSFの復号に必要なデータD1の第3ビット、第4ビット、第43ビットおよび第44ビットがバースト符号誤りの影響を受けている。従って、これらのビット誤りによりスケールファクタSFの復号をすることができないスケールファクタバンドが復号不能区間になる。

ところで、スケールファクタSFの符号にはRVLCが使用されており、また、最も低周波のバンド1に対応するスケールファクタSFと最も高周波nのバンドに対応するスケールファクタSFは、初期スペクトルゲイン情報としてヘッダHに含まれている。従って、周波数の高いバンドに対応したRVLCに符号誤りが生じているときには低周波から高周波に向けての復号を行い、逆に周波数の低いバンドに対応したRVLCに符号誤りが生じている場合には、高周波から低周波

に向けての復号を行うことで、極力広範囲のバンドのスケールファクタ SF を復元することが可能である。

しかしながら、上述したようにデータ D_1 を構成する各ビットを作業メモリにおける複数行に対応した各記憶エリアに書き込んでインタリーブを行うと、インタリーブ後のフレームにおいてスケールファクタ SF の復号に必要な各 $RVL C$ の構成ビットが2個連続して現れることとなる（図18（b）参照）。このため、スケールファクタ SF の復号に必要な各ビットのうちバースト符号誤りの影響を受けるビットの個数が増加することとなる。しかも、スケールファクタ SF の復号に必要な各 $RVL C$ の構成ビットのうち周波数軸上において離れた2またはそれ以上のバンドに対応した各 $RVL C$ の構成ビットがバースト符号誤りの影響を受ける可能性が高い。

そして、周波数軸上において離れた複数のバンドに対応した各 $RVL C$ の構成ビットに符号誤りが生じると、図18（c）に示すように、それらのバンドのうち最も周波数の低いバンドから最も周波数の高いバンドまでの区間が復号不能区間となる。

これらの比較例1および2に対し、本実施形態では、処理部200₃においてインタリーブを行う際に、スケールファクタ SF に対応したデータ D_1 を構成する全ビットを作業メモリの第1行に書き込むようにしたので、スケールファクタ SF に復号に必要な $RVL C$ の構成ビットをフレーム内に等間隔に分散配置させることができる。また、各バンドのスケールファクタ SF の復号に必要な $RVL C$ の構成ビットは、周波数軸上における各バンドの順序と同じ順序で、インタリーブ後のビット列中に現れる。従って、伝送中のフレームに図19（a）に示すようなバースト符号誤りが生じたとしても、周波数軸上において接近したバンドに対応したスケールファクタ SF の復号が不可能になるに過ぎない。従って、スケールファクタ SF の喪失に伴う復号不能区間を図19（b）に示すように短くすることができる。

このように本実施形態によれば、誤り訂正符号化がなされたヘッダ H と、誤り訂正符号化が行われていないデータ D_1 および D_2 とがある場合に、データ D_2 中にデータ D_1 に含まれるスケールファクタ SF の復号のための各ビットを分散配置し、

さらに、この結果得られるビット列にヘッダHを構成する各ビットを分散配置するようにしたので、バースト誤りが発生してもスケールファクタS Fが復号不能となる確率を低減させることができる。このため、再生されるオーディオ信号の品質を向上させることができる。

さらに、スケールファクタS Fの復号に必要な各ビットの分散配置を行う際に、各ビットを作業メモリの第1行のみに書き込むようにしたので、周波数軸上における各バンドの順序と同じ順序で、各バンドのスケールファクタS Fの復号に必要な各ビットがフレーム内に分散配置されることとなる。

このため、バースト誤りが発生しても、これにより失われるスケールファクタS Fを周波数軸上において集中させることができる。従って、復号不能となるバンドをごく狭い範囲に集中させることができる。この結果、再生されるオーディオ信号の品質を向上させることができる。

D. 以上説明した各実施形態の変形例

第1～第3の実施形態に係るインタリーブ装置およびデ・インタリーブ装置については、図示されたハードウェア的な構成のほか、上述した動作と同等なプログラムを実行するようなソフトウェア的な構成でも実現可能である。

また、上記各実施形態では、誤り訂正符号化されたヘッダHを構成する各ビットをそうでないデータのビット列中に分散配置させるようにしたが、本発明はこれに限定されるものではなく、誤り訂正符号化されていない部分に上述したインタリーブとデ・インタリーブを適用してもよいことは勿論である。

また、第3実施形態では、1つの信号を表す3種類のパラメータに本発明を適用した場合を例に挙げたが、本発明はこれに限定されるものではなく、1つの信号を4種類以上のパラメータによって表すものに適用してもよいことは勿論である。この場合には、あるパラメータに対応する各ビットを、残りのパラメータのうち1つのパラメータに対応するビット列中に分散配置し、この分散処理をパラメータの種類の数に対応して複数回繰返して実行することにより、インタリーブを実行すればよい。

請求の範囲

1. 伝送または記録すべきフレームに含まれる第1の情報に対応したビット列内に当該フレームに含まれる第2の情報に対応したビット列を構成する各ビットを分散配置することを特徴とするインタリーブ方法。
2. 一定個数の前記第1の情報に対応したビットを間に挟むように、前記第2の情報に対応したビット列を構成する各ビットを等間隔に前記第1の情報に対応したビット列内に分散配置することを特徴とする請求項1に記載のインタリーブ方法。
3. 前記第2の情報に対応したビット列を構成する各ビットを1ビットずつ前記第1の情報に対応したビット列内に分散配置することを特徴とする請求項1に記載のインタリーブ方法。
4. 前記第2の情報に対応したビット列を構成する各ビットを複数ビットずつ前記第1の情報に対応したビット列内に分散配置することを特徴とする請求項1に記載のインタリーブ方法。
5. 前記第2の情報に対応したビット列が誤り訂正符号化されたビット列であり、前記第1の情報に対応したビット列が誤り訂正符号化されていないビット列であることを特徴とするインタリーブ方法。
6. 前記第1の情報に対応したビット列および前記第2の情報に対応したビット列がいずれも誤り訂正符号化されていないビット列であることを特徴とする請求項1に記載のインタリーブ方法。
7. 前記分散配置のなされたビット列に対し、当該ビット列に含まれていない別の情報に対応したビット列を構成する各ビットを分散配置する処理を当該別の情報を追加しながら再帰的に繰り返すことを特徴とする請求項1に記載のインタリーブ方法。
8. 前記分散配置のなされたビット列に対し、既に当該ビット列に含まれている情報とは異なる符号長で誤り訂正符号化された符号語を構成する各ビットを分散配置する処理を当該符号語を追加しながら再帰的に繰り返すことを特徴とする請求項1に記載のインタリーブ方法。

9. 前記第1の情報は伝送過程において符号誤りが生じた場合にコンシールメント処理の対象となる情報であり、前記第1の情報に対応したビット列を構成する各ビットは、他の情報に対応したビット列内に分散配置されないことを特徴とする請求項1に記載のインタリーブ方法。

10. 前記第1の情報は、伝送または記録すべき信号を差分符号化したときの差分に対応した情報であり、前記第2の情報は、前記差分を逐次用いて前記信号を復号するときに初期値として用いられる情報であることを特徴とする請求項1に記載のインタリーブ方法。

11. デ・インタリーブの対象であるビット列の中に分散配置された各ビットを当該ビット列から取り出し、異なる情報に対応した2つのビット列を復元することを特徴とするデ・インタリーブ方法。

12. 前記分散配置された各ビットを前記ビット列から取り出す処理を逐次繰り返すことにより、異なる情報に対応した3以上のビット列を復元することを特徴とする請求項11に記載のデ・インタリーブ方法。

13. 伝送または記録すべきフレームに含まれる第1の情報に対応したビット列内に当該フレームに含まれる第2の情報に対応したビット列を構成する各ビットを分散配置することを特徴とするインタリーブ装置。

14. 作業メモリと、

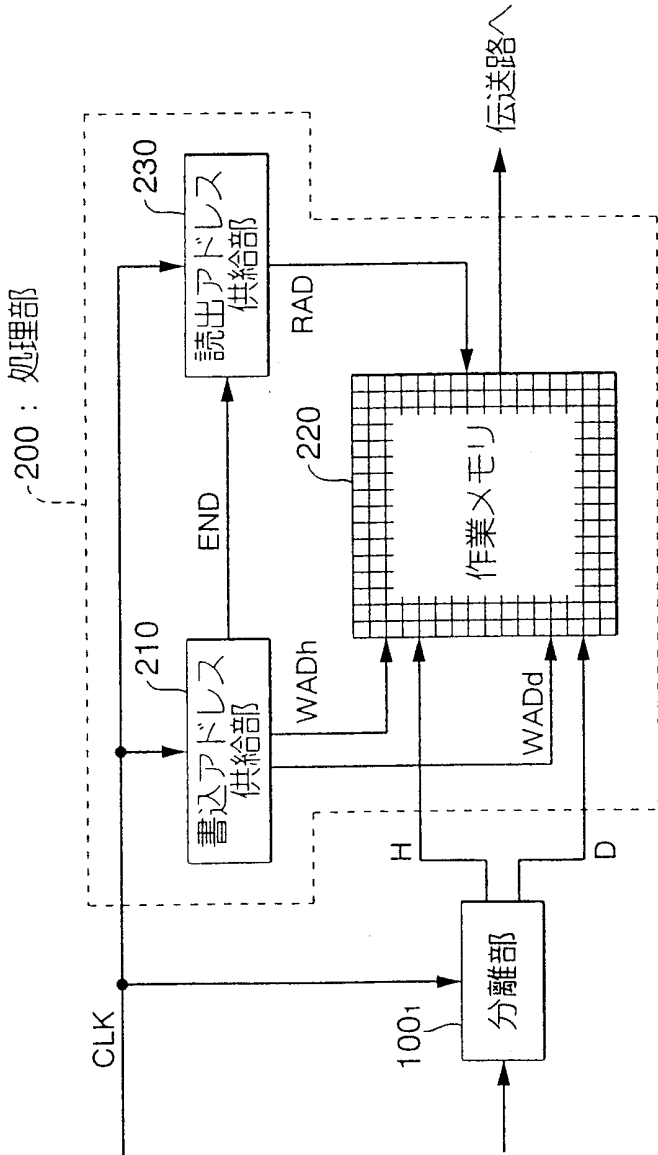
伝送または記録すべきフレームに含まれる第1の情報に対応したビット列および当該フレームに含まれる第2の情報に対応したビット列を構成する各ビットを前記作業メモリに書き込むための書込アドレスを前記作業メモリに供給する書込アドレス供給部と、

前記第1の情報に対応した複数の連続したビットを前記作業メモリから読み出すための複数のアドレスと、前記第2の情報に対応した1個または2個以上のビットを前記作業メモリから読み出すための複数のアドレスとを交互に前記作業メモリに供給し、前記第2の情報に対応したビット列を構成する各ビットが前記第1の情報を構成するビット列内に分散配置したビット列を前記作業メモリから読み出す読出アドレス供給部と

を具備することを特徴とするインタリーブ装置。

15. デ・インタリーブの対象であるビット列の中に分散配置された各ビットを当該ビット列から取り出し、異なる情報に対応した2つのビット列を復元することを特徴とするデ・インタリーブ装置。

図 1



1: インタリーブ装置

2/18

図2

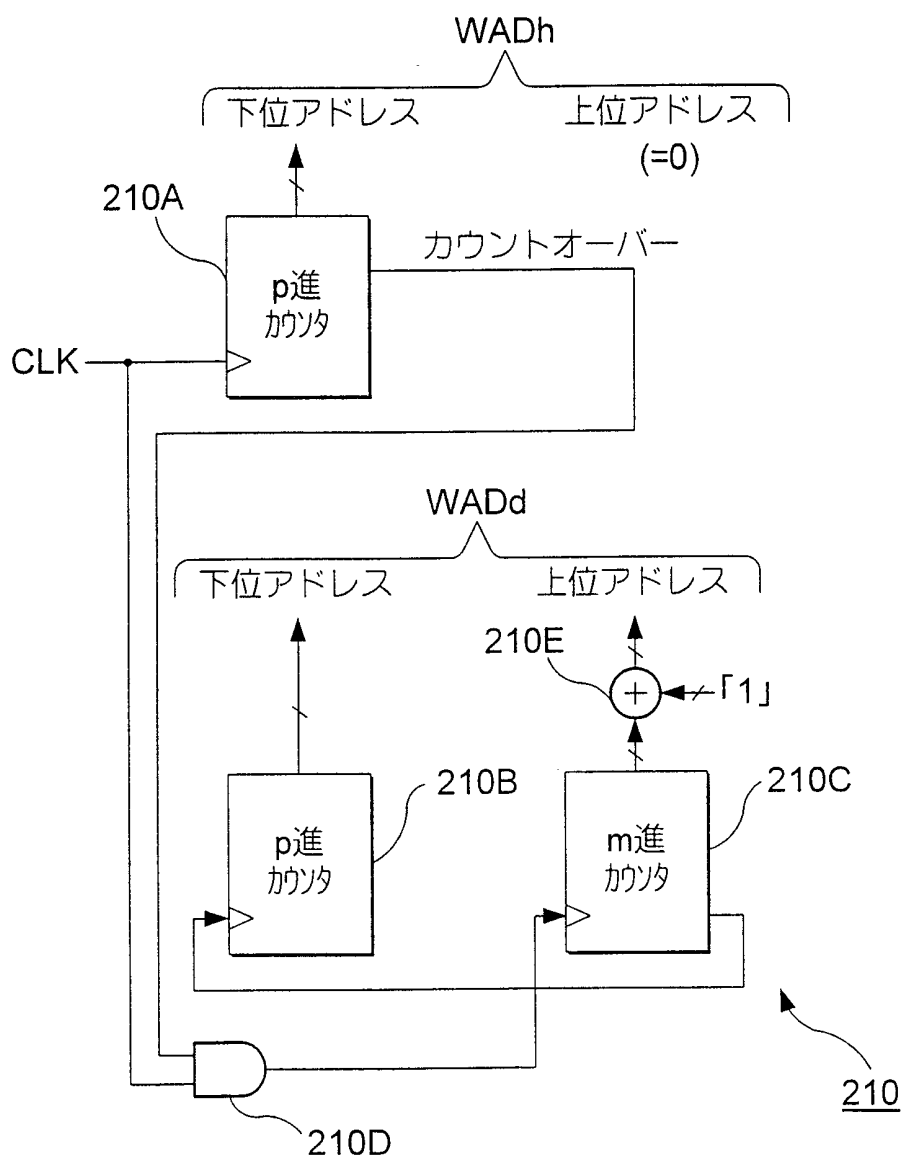
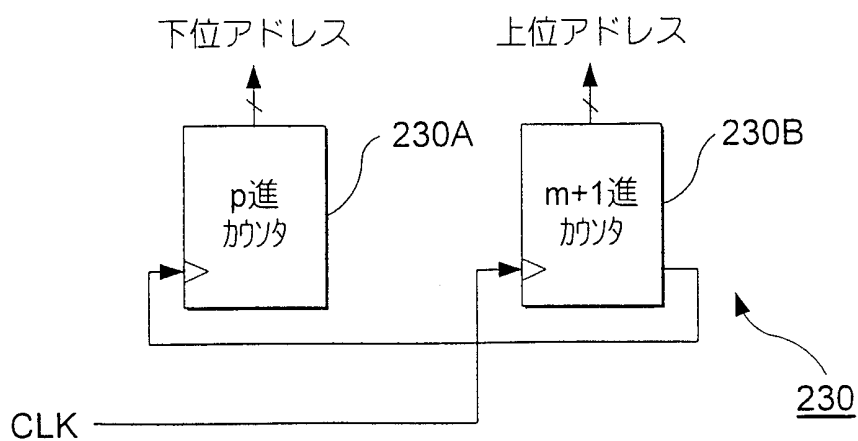


図3



3/18

図 4

インタリーブ時の書込順序
(デ・インタリーブ時の読出順序)

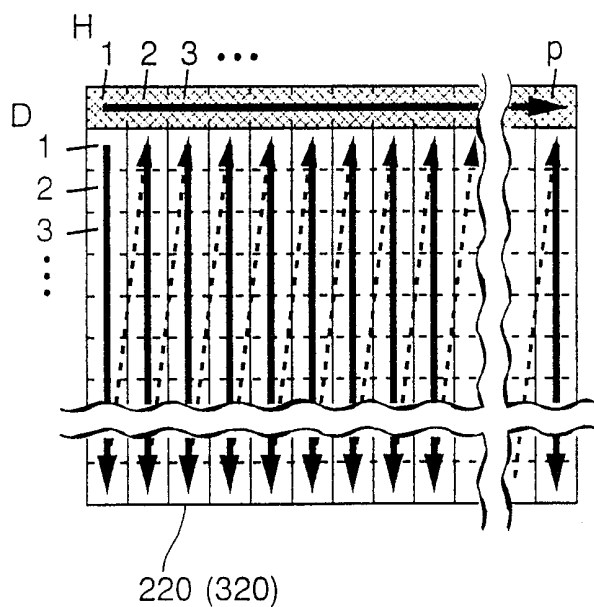
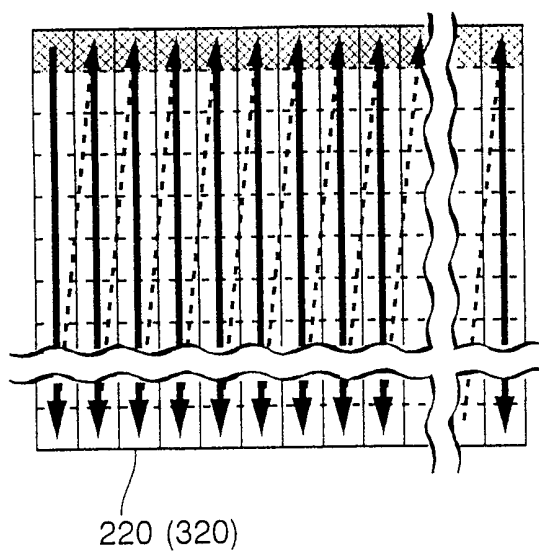


図 5

インタリーブ時の読出順序
(デ・インタリーブ時の書込順序)



4/18

図 6

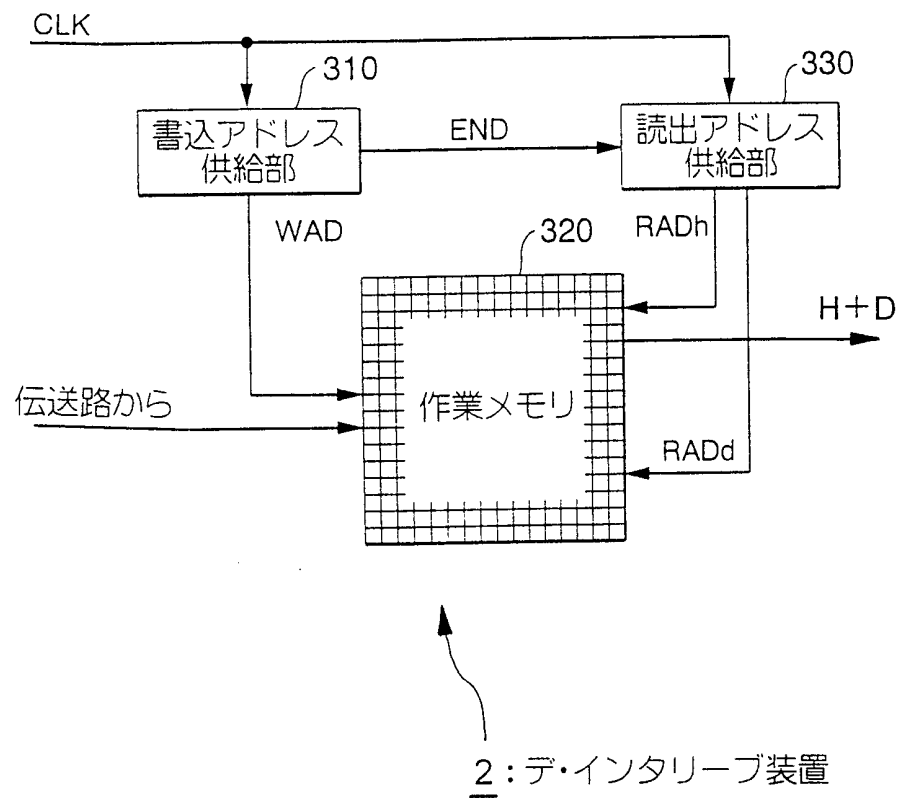
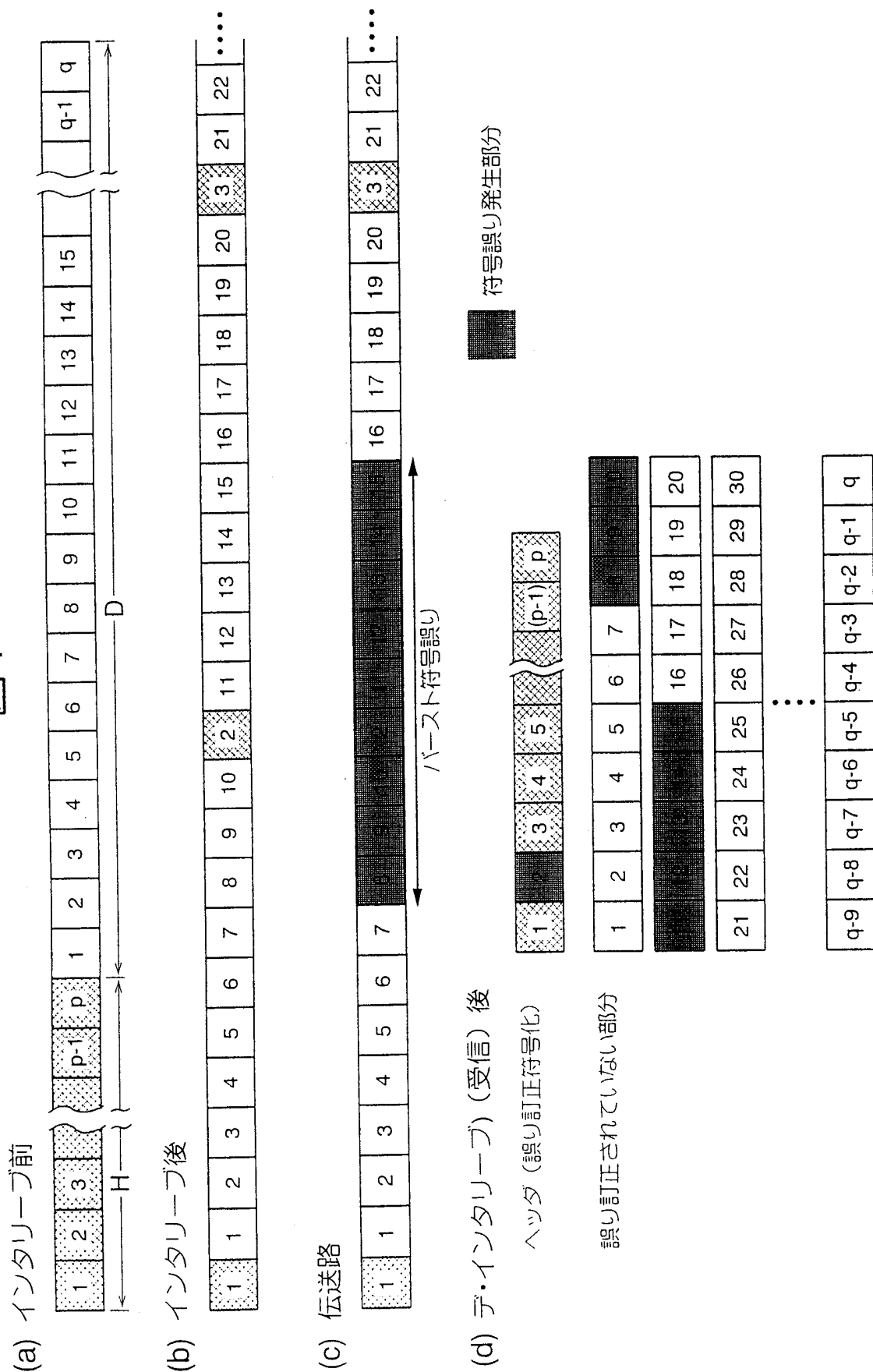


図 7



6/18

図 8

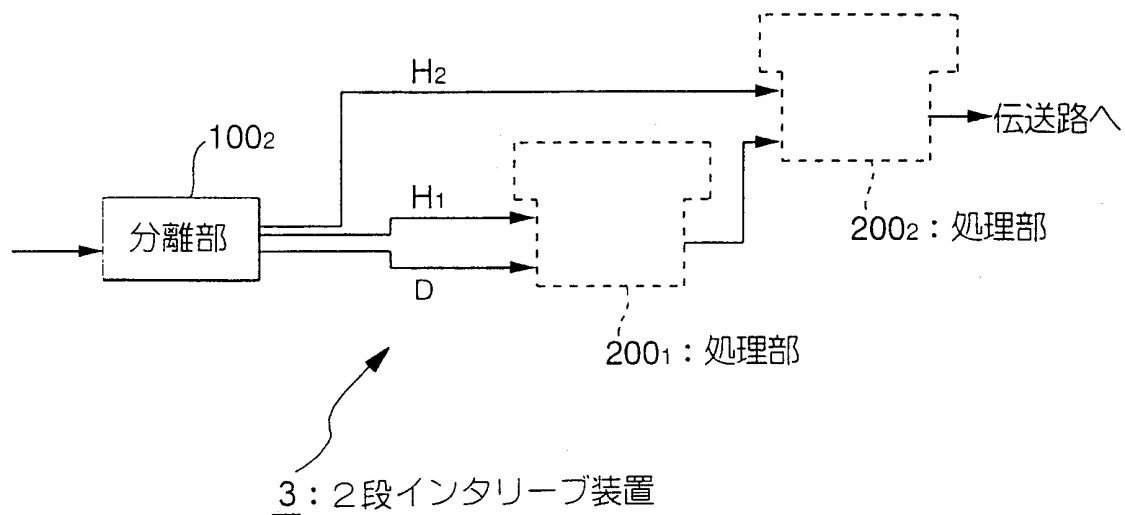


図 9

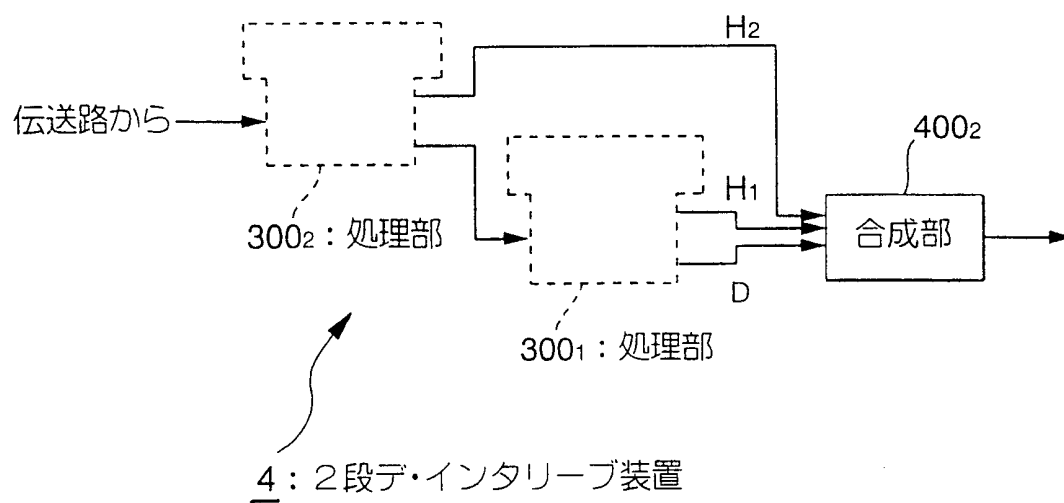
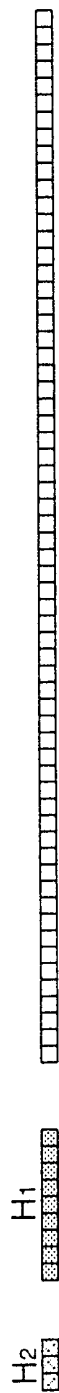


図 10

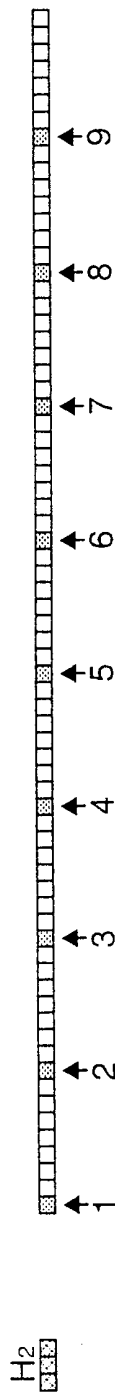
(a) インタリーブ前



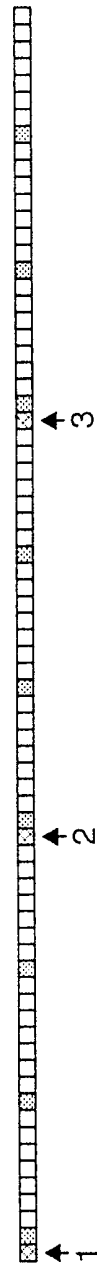
(b) ヘッダの分離



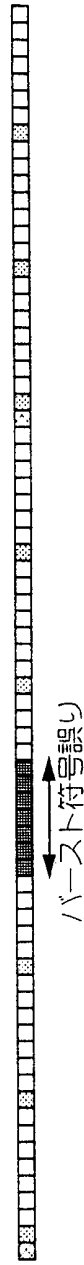
(c) 第1回目のインタリーブ後



(d) 第2回目 (最終回) のインタリーブ後



(e) 伝送路



(f) デ・インタリーブ (受信) 後



図 11

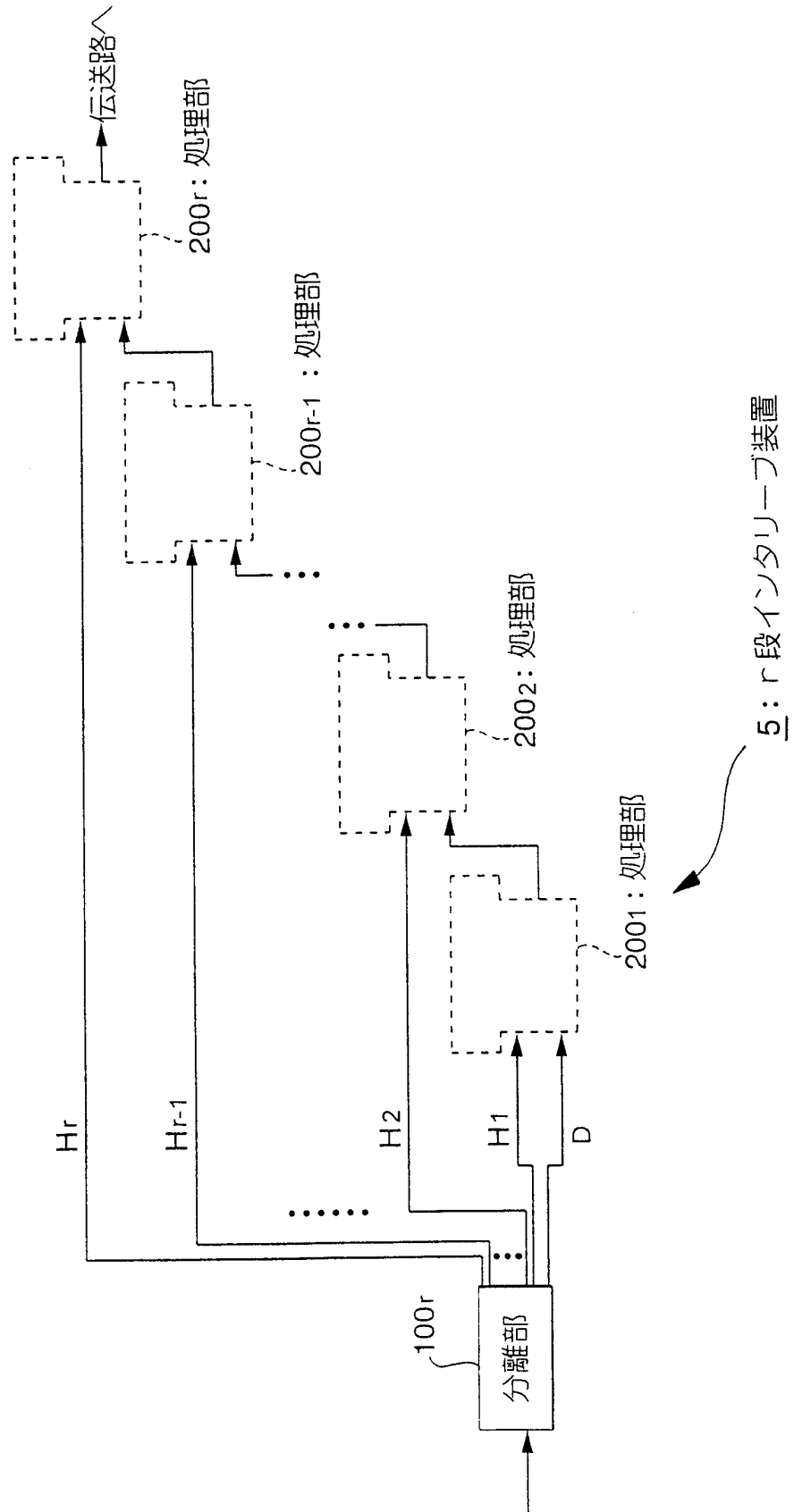
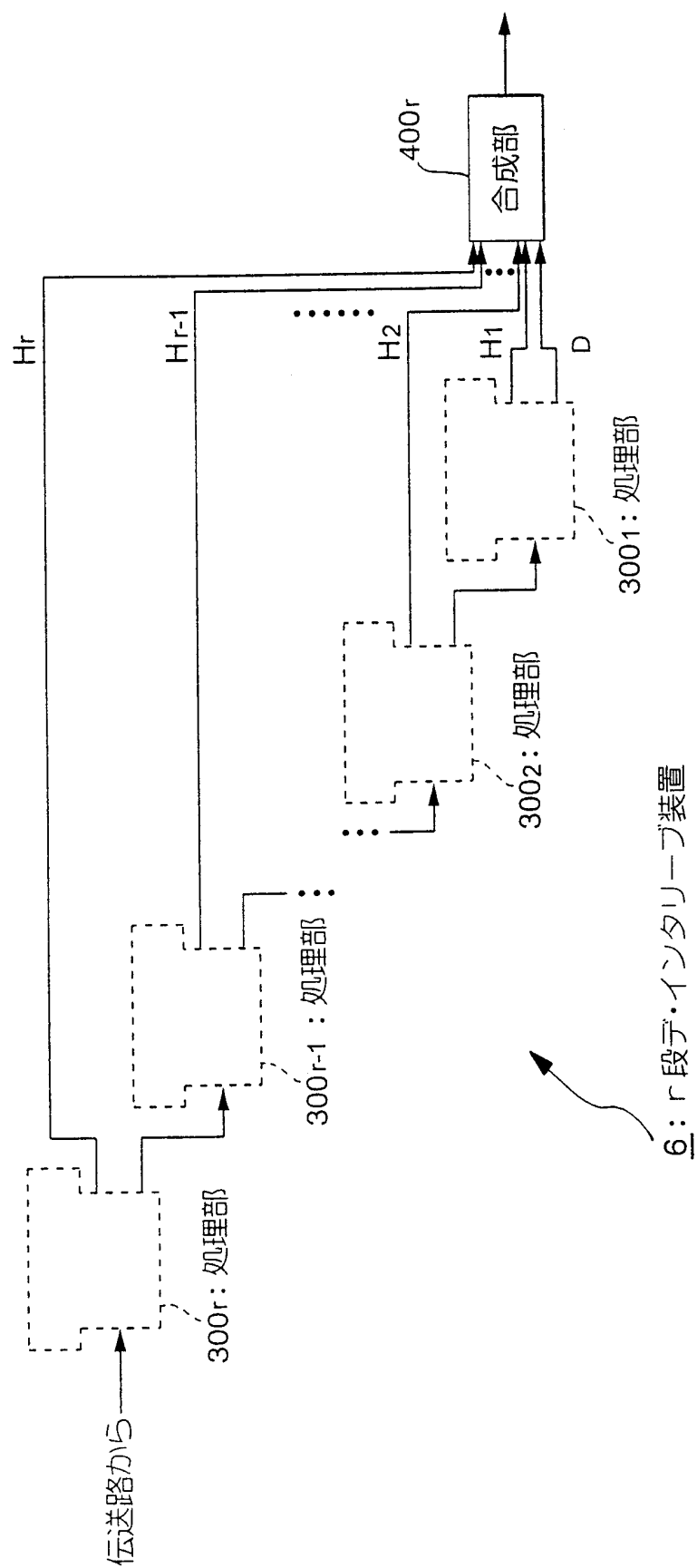


図 12



10/18

図 13

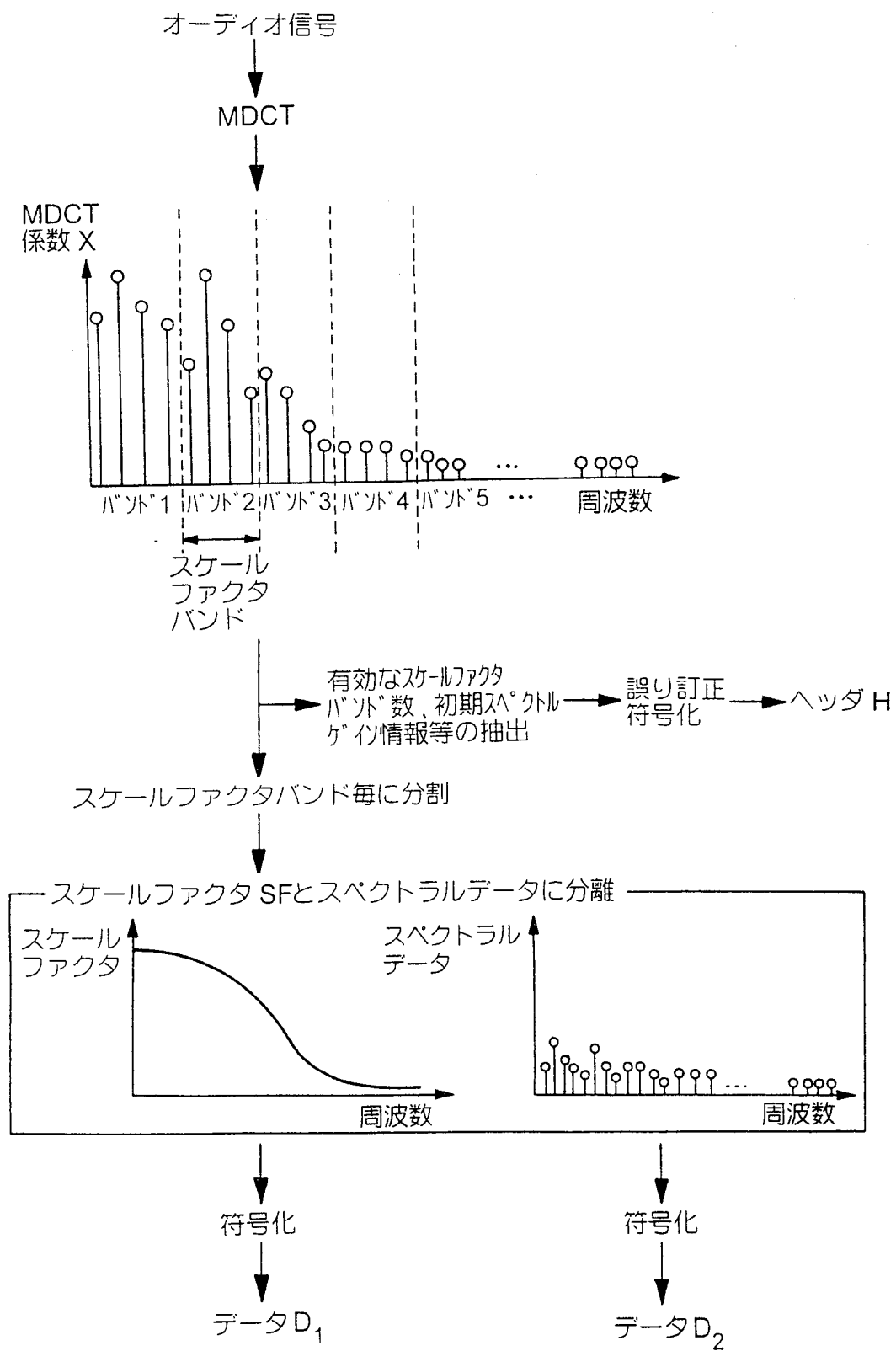
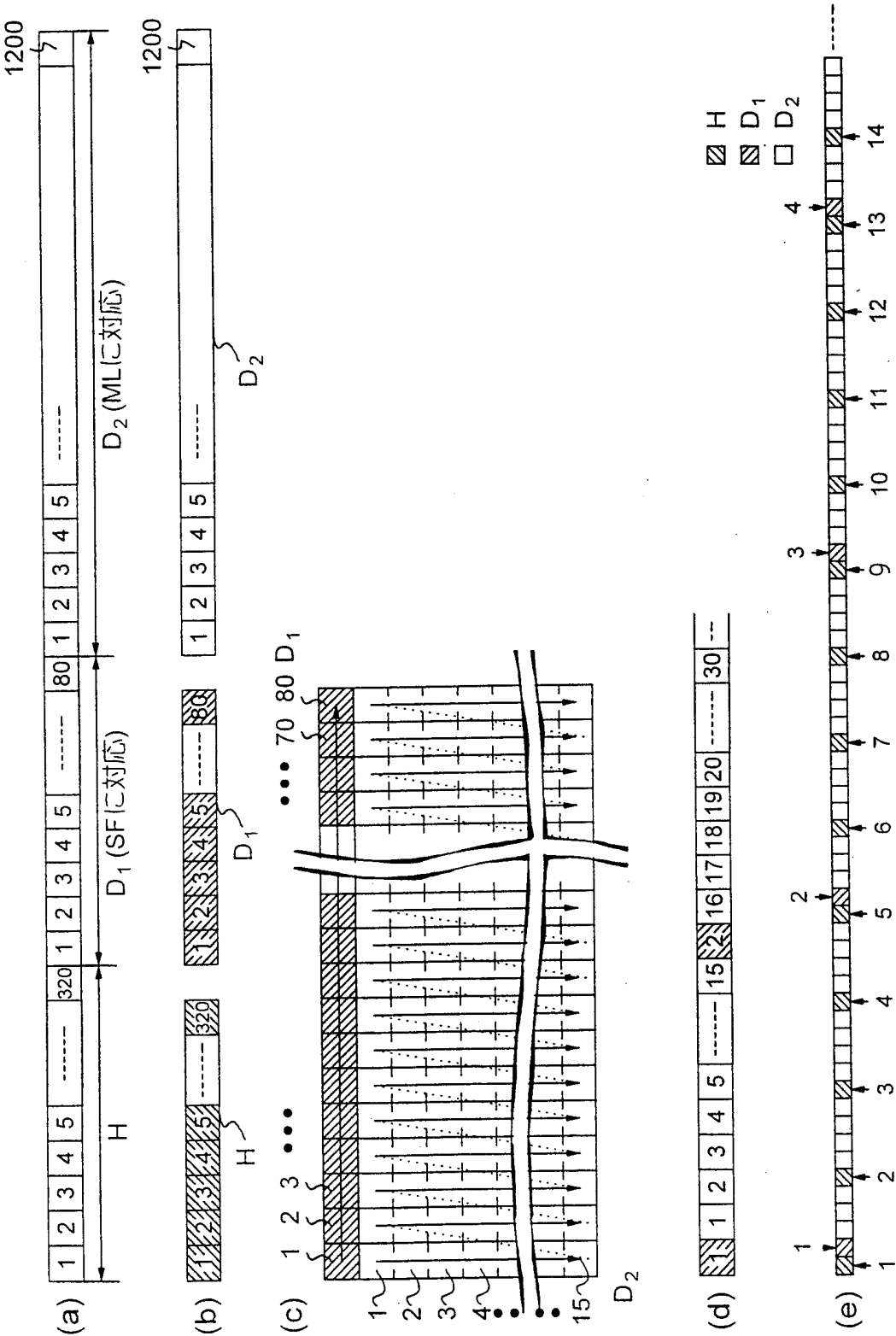


図 14



12/18

図 15

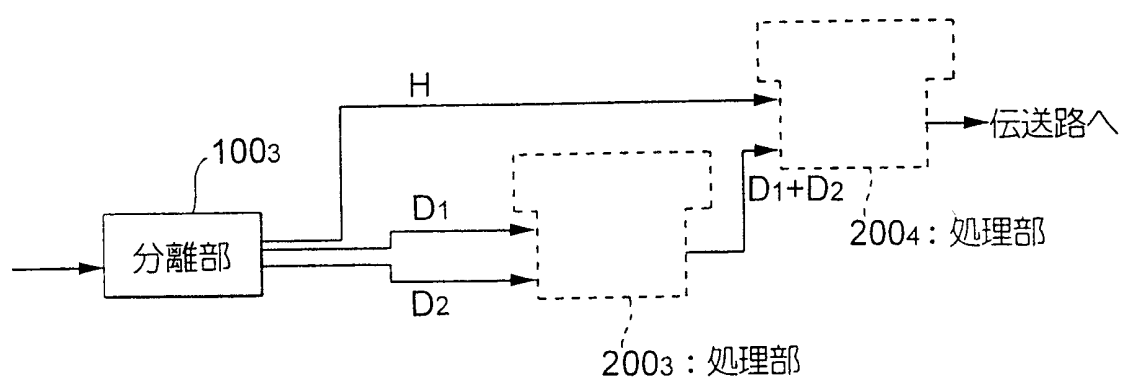


図 16

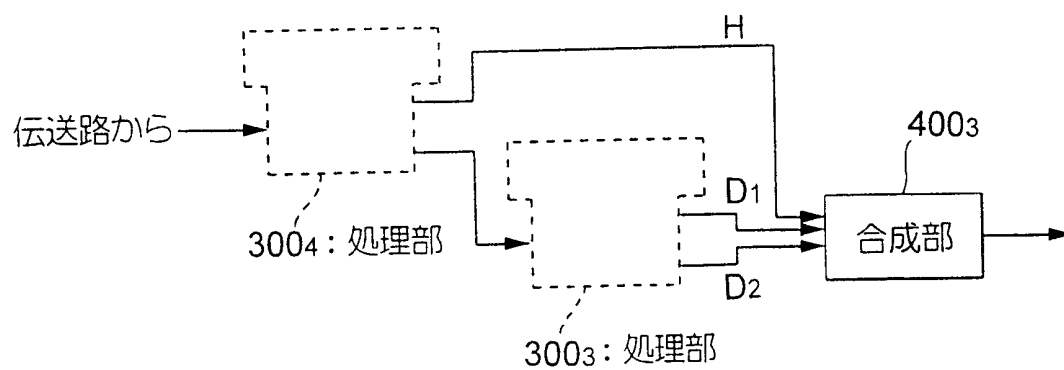


図 17

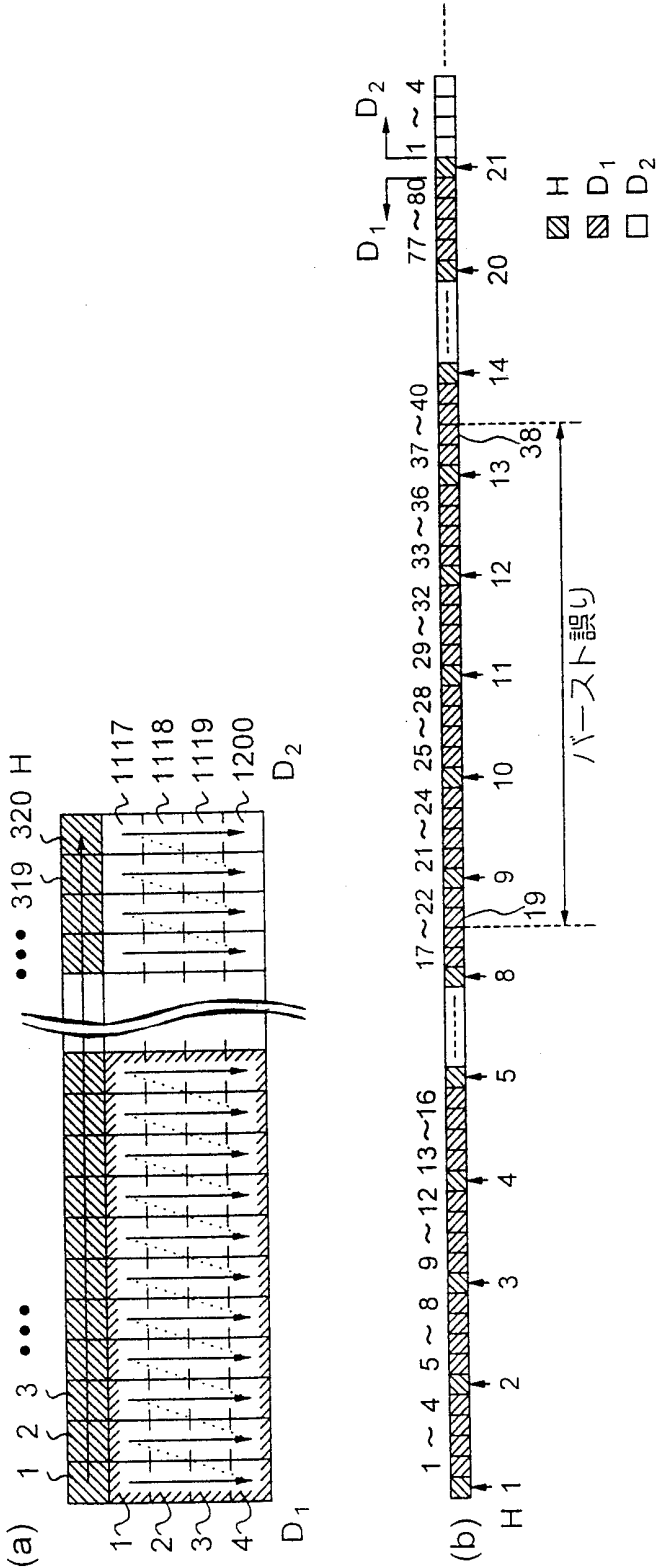
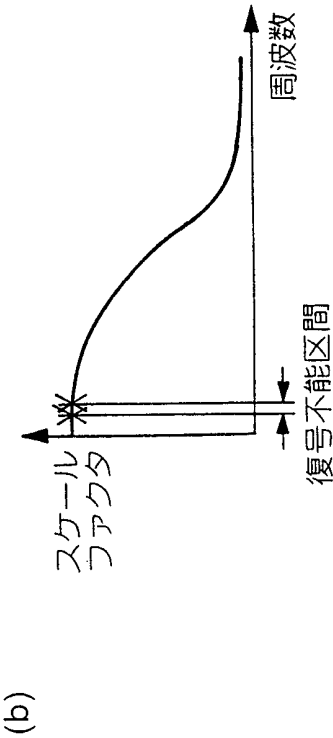
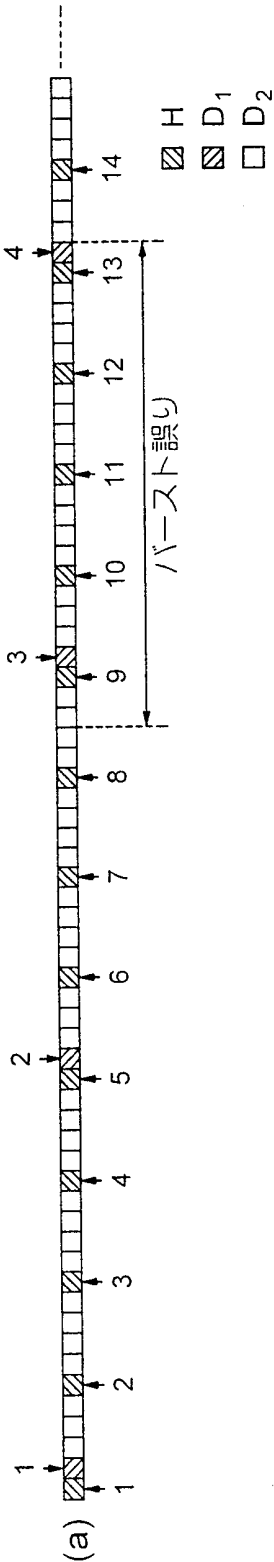


図 19



16/18

图 20

下位アドレス

上位アドレス ↓

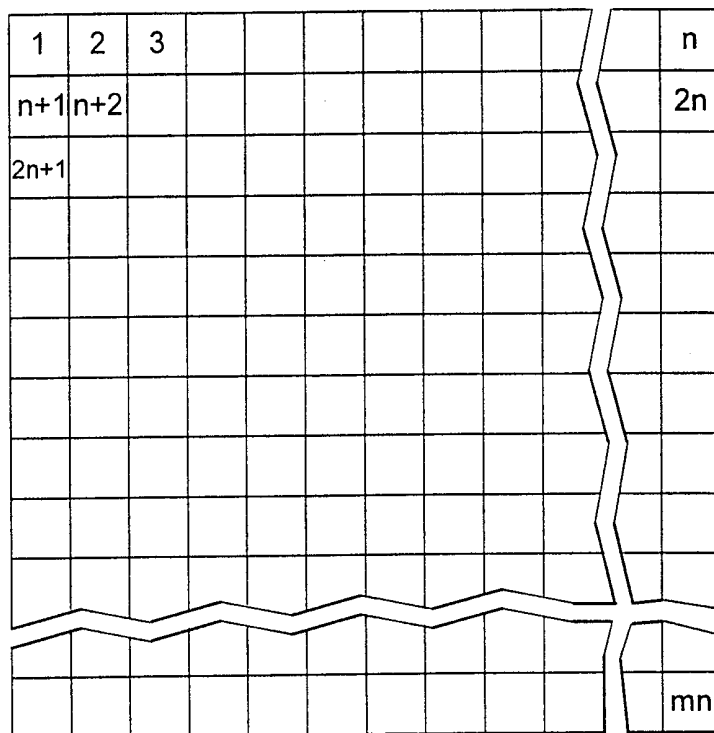


图 21

書込アドレス

下位アドレス

上位アドレス

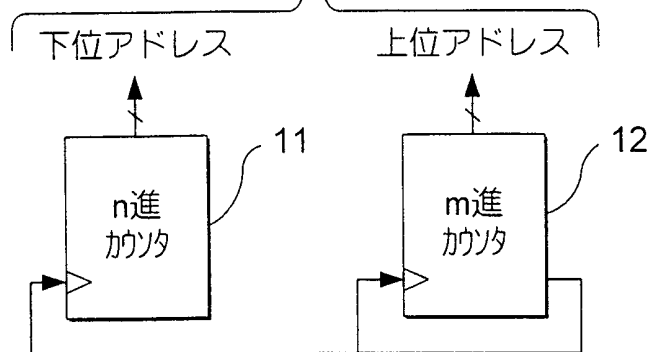
n進
カウソク

カウンタ

m進
加ノタ

カウソタ

ビットクロック



17/18

図 22

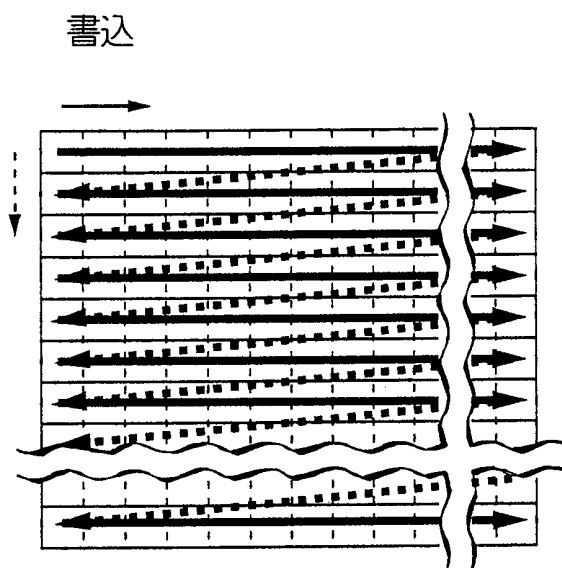


図 23

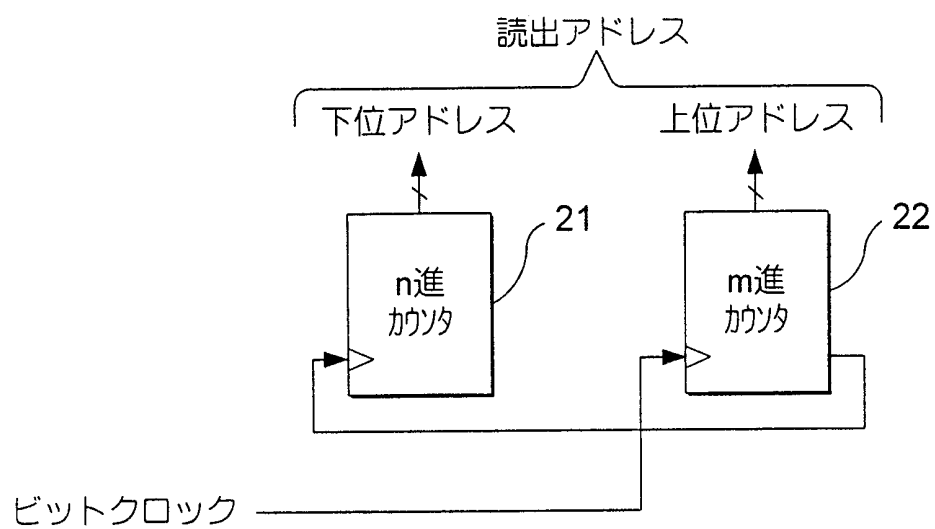
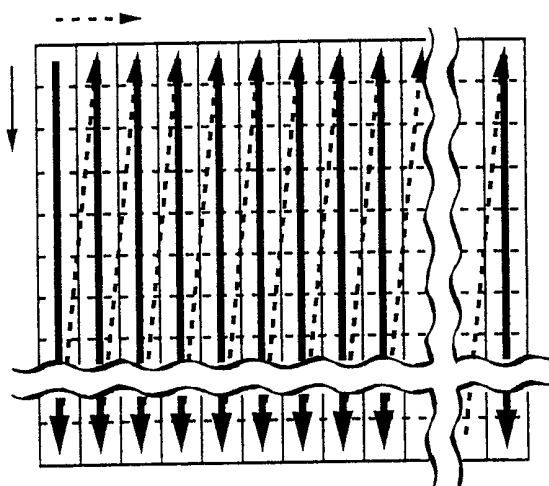


図 24

読出



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/02799

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H03M13/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H03M13/00-13/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho (Y1, Y2) 1926-1996 Toroku Jitsuyo Shinan Koho (U) 1994-1999
 Kokai Jitsuyo Shinan Koho (U) 1971-1999 Jitsuyo Shinan Toroku Koho (Y2) 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	Makoto Yamamoto, Shunji Nakahara, Ken'ichi Tsuchida, Yasuhiro Itou, Iroiro na jōuhou o kasanete okuru tajuu houhou no iroiro, "Electronics Life", January 1994, the January 1 issue, 1994, Nippon Housou Shuppan Kyoukai, pages 60 to 74 ; Fig. 6(a)	1-4, 6, 11, 13, 15
Y A		5, 9 7, 8, 10, 12, 14
Y	JP, 09-130269, A (Oki Electric Industry Co., Ltd.), 16 May, 1997 (16. 05. 97), Abstract (Family: none)	5
Y	JP, 09-161417, A (Sony Corp.), 20 June, 1997 (20. 06. 97), Abstract & US, 5805469, A & KR, 97031388, A	9

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 July, 1999 (29. 07. 99)Date of mailing of the international search report
17 August, 1999 (17. 08. 99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁶ H03M13/22

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁶ H03M13/00 - 13/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y1, Y2) 1926-1996年
 日本国公開実用新案公報 (U) 1971-1999年
 日本国登録実用新案公報 (U) 1994-1999年
 日本国実用新案登録公報 (Y2) 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	山本真 中原俊二 土田健一 伊藤泰宏 著, いろいろな情報を束ねて送る多重方法のいろいろ, 「エレクトロニクスライフ」, 1994年1月号, 1994年1月1日発行, 日本放送出版協会, p. 60-74, 図6 (a)	1-4, 6, 11, 13, 15
Y A		5, 9 7, 8, 10, 12, 14
Y	JP, 09-130269, A (沖電気工業株式会社), 16.5月.1997 (16.05.97), 【要約】, (ファミリーなし)	5
Y	JP, 09-161417, A (ソニー株式会社), 20.6月.1997 (20.06.97), 【要約】 & US, 5805469, A & KR, 97031388, A	9

☐ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

29.07.99

国際調査報告の発送日

17.08.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 紀和

5K

4240

電話番号 03-3581-1101 内線 3556