

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 7 月 7 日 (07.07.2016)



(10) 国际公布号
WO 2016/106899 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) G02F 1/136 (2006.01)
H01L 21/77 (2006.01)
- (21) 国际申请号: PCT/CN2015/071208
- (22) 国际申请日: 2015 年 1 月 21 日 (21.01.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410854124.6 2014 年 12 月 31 日 (31.12.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 戴天明 (DAI, Tianming); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 广州三环专利代理有限公司 (GUANGZHOU SCIHEAD PATENT AGENT CO., LTD); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,

[见续页]

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 阵列基板及阵列基板制造方法

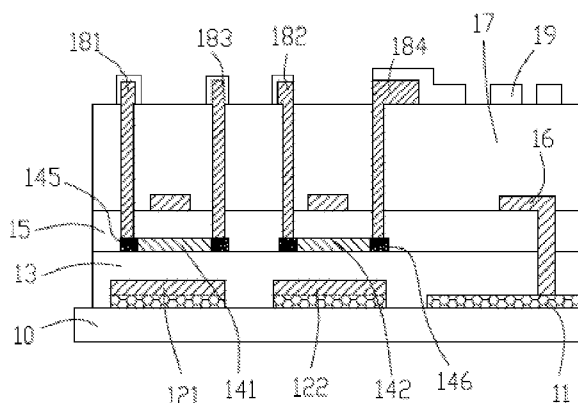


图 1 / FIG. 1

(57) Abstract: An array substrate and a manufacturing method therefor. The array substrate comprises a substrate (10), a common electrode (11), a light shielding layer (12), an insulation layer (13), a polycrystalline silicon layer (14), a gate insulation layer (15), a gate (16), a medium layer (17), and sources and drains (181, 182, 183, 184). The common electrode (11) is formed on the substrate (10). The light shielding layer (12) is located on the common electrode (11). The insulation layer (13) is located on the light shielding layer (12) and the common electrode (11). The gate (16) is connected to the common electrode (11) through a via hole (151). In the manufacturing method for the array substrate, a transparent conducting layer (21) and a first metal layer (22) are formed on the substrate (10), and then the patterned common electrode (11) and the light shielding layer (12) are formed by using one mask process and multiple times of etching, and accordingly one mask process is saved; then, an electrode via hole (151) in communication with the common electrode (11) and the gate (16) is formed after one mask process and etching, and subsequently, the medium layer (17) and the sources and drains (181, 182, 183, 184) are manufactured. The whole manufacturing process adopts seven mask processes, the machining process steps for an array substrate transistor are simplified, and the manufacturing cost of the array substrate is reduced.

(57) 摘要:

[见续页]

WO 2016/106899 A1



IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种阵列基板及其制造方法，所述阵列基板包括基板（10）、公共电极（11）、遮光层（12）、绝缘层（13）、多晶硅层（14）、栅极绝缘层（15）、栅极（16）、介质层（17）及源漏极（181，182，183，184），其中，所述公共电极（11）形成所述基板（10）上，所述遮光层（12）位于所述公共电极（11）上，所述绝缘层（13）位于所述遮光层（12）及公共电极（11）上，所述栅极（16）与所述公共电极（11）通过过孔（151）连接。该阵列基板制造方法通过在基板（10）上形成透明导电层（21）及第一金属层（22）后再通过一次光罩及多次蚀刻形成图案化后的公共电极（11）及遮光层（12），节省了一道光罩；然后通过一次光罩蚀刻后形成连通公共电极（11）及栅极（16）的电极过孔（151），后续再进行介质层（17）及源漏极（181，182，183，184）制作，整体工艺之采用七道光罩，简化阵列基板管的加工工艺步骤，降低阵列基板的制作成本。

阵列基板及阵列基板制造方法

5 本发明要求 2014 年 12 月 31 日递交的发明名称为“阵列基板及阵列基板制造方法”的申请号 201410854124.6 的在先申请优先权，上述在先申请的内容以引入的方式并入本文本中。

技术领域

本发明涉及 LTPS 薄膜晶体管的制造领域，尤其涉及一种阵列基板及阵列基板制造方法。

背景技术

10 低温多晶硅（low temperature poly-silicon，简称为 LTPS）薄膜晶体管液晶显示器有别于传统的非晶硅薄膜晶体管液晶显示器，其电子迁移率可以达到 $200\text{cm}^2/\text{V}\cdot\text{sec}$ 以上，可有效减小薄膜晶体管器件的面积，从而达到提高开口率，并且在增进显示器亮度的同时还可以降低整体的功耗。另外，较高的电子迁移率可以将部分驱动电路集成在玻璃基板上，减少了驱动 IC，还可以大幅提升液晶显示面板的可靠度，从而使得面板的制造成本大幅降低。因此，LTPS 薄膜晶体管液晶显示器逐步成为研究的热点。LTPS 薄膜晶体管液晶显示器主要包括阵列基板和与其相对设置的彩膜基板。

20 但目前由于 LTPS 阵列基板的制程道数大概在 9 道左右，相对于非晶硅的制程而言，导致整体的设备投入过大和良率过低，生产工艺要复杂，制作成本相应增加，所以 LTPS mask 减少技术一直是 LTPS 研发的重点。

发明内容

25 本发明提供一种阵列基板及阵列基板制造方法，能够简化制造工艺，降低成本。

提供一种阵列基板，所述阵列基板包括基板、公共电极、遮光层、绝缘层、多晶硅层、栅极绝缘层、栅极、介质层及源漏极，所述公共电极形成所述基板上，所述遮光层位于所述公共电极上，所述绝缘层位于所述遮光层及公共电极

上,所述栅极与所述公共电极通过过孔连接。

其中,所述多晶硅层包括第一多晶硅区域及第二多晶硅区域,所述多晶硅层位于所述绝缘层上,所述栅极绝缘层位于所述多晶硅层及绝缘层上。

其中,所述栅极位于所述栅极绝缘层上并正投影于所述第一多晶硅区域及第二多晶硅区域,所述介质层位于所述栅极及所述栅极绝缘层上。

其中,所述阵列基板还包括与所述第一多晶硅区域及第二多晶硅区域位于同一层的第一类参杂区及第二类参杂区,在介质层上相对应所述第一多晶硅区域及第二多晶硅区域的源漏极,所述源漏极均通过过孔与所述第一参杂区及第二类参杂区连接。

10 本发明还提供一种阵列基板制造方法,包括,

提供一基板,并在所述基板上依次沉积形成透明导电层及第一金属层;

在所述第一金属层上形成光阻层,通过一次光罩图案化所述光阻层,使图案化的光阻层包括两个第一区域及第二区域,其中,所述第一区域的厚度大于所述第二区域的厚度;

15 通过两次蚀刻工艺对所述透明导电层及第一金属层进行图案化,形成公共电极及遮光层;其中,所述遮光层包括在同一层的间隔设置的第一遮光区、第二遮光区及边缘区,所述边缘区正投影于所述公共电极上,所述第二区域正投影于边缘区上,所述两个第一区域正投影于所述第一遮光区及第二遮光区上;

通过两次蚀刻工艺去除图案化的光阻层及位于所述公共电极上的边缘区;

20 在所述遮光层及公共电极上形成绝缘层;

在所述绝缘层上形成图案化的多晶硅层;其中,所述多晶硅层包括第一多晶硅区域及第二多晶硅区域,所述第一多晶硅区域正投影于所述第一遮光区上,所述第二多晶硅区域正投影于所述第二遮光区上。

25 在所述多晶硅层及所述绝缘层上形成栅极绝缘层,通过光罩及蚀刻工艺在所述栅极绝缘层上形成电极过孔并定义第一类掺杂区;其中,所述过孔贯穿所述栅极绝缘层及绝缘层露出所述公共电极;所述第一类参杂区位于所述第一多晶硅区域两侧;

对所述第一类掺杂区注入第一类型离子;

在所述栅极绝缘层上形成第二金属层,图案化第二金属层形成栅极,所述

栅极通过电极过孔与所述公共电极连接。

其中，所述阵列基板制造方法还包括，定义第二类掺杂区及对所述第二类掺杂区注入第二类型离子；其中第二类掺杂区位于所述第二多晶硅区域两侧；对所述第二类掺杂区注入第二类型离子；

- 5 在栅极及所述栅极绝缘层上形成介质层，并且在介质层上形成源漏极层；
通过光罩蚀刻工艺对源漏极层图案化，形成相对应所述第一多晶硅区域的源漏极，及相对应第二多晶硅区域的源漏极，其中，所述源漏极通过过孔分别与所述第一类掺杂区及第二类掺杂区连接；

在所述源漏极上及介质层上形成图案化的像素层。

- 10 其中，所述“通过两次蚀刻工艺对所述透明导电层及第一金属层进行图案化，形成公共电极及遮光层”的步骤包括，对两个所述第一区域之间及第一区域与第二区域之间露出的第一金属层进行干蚀刻，形成所述遮光层的第一遮光区、第二遮光区及边缘区；

对露出遮光层的所述透明导电层进行湿蚀刻，形成所述公共电极。

- 15 其中，所述“通过蚀刻工艺去除遮光层及位于所述公共电极上的边缘区”的步骤包括，通过干蚀刻去除所述第二区域及部分第一区域后，再通过干蚀刻工艺去除剩下的第一区域部分及位于所述公共电极的所述边缘区。

- 其中，所述“通过光罩及蚀刻工艺在所述栅极绝缘层上形成电极过孔，并定义第一类掺杂区”的步骤包括，通过半透膜光罩在所述栅极绝缘层上形成
20 图案化的光阻层，形成电极孔位及两个植入孔位；

对所述电极孔位所对应的栅极绝缘层及绝缘层进行干蚀刻形成所述电极过孔；

通过蚀刻去除部分光阻层并打通所述两个植入孔位形成与栅极绝缘层连通的两个植入孔，所述两个植入孔对应位置为所述第一类掺杂区。

- 25 其中，所述第一类型离子为 P 型离子，所述第二类型离子为 N 型离子，或者，所述第二类型离子为 P 型离子，所述第一类型离子为 N 型离子。。

本发明的阵列基板制造方法通过在基板上形成透明导电层及第一金属层后再通过一次光罩及多次蚀刻形成图案化后的公共电极及遮光层，节省了一道光罩；然后通过一次光罩蚀刻后形成连通公共电极及栅极的电极过孔，后续再

进行介质层及源漏极制作，节省钝化层（Passivation layer）层，整体工艺之采用七道光罩，简化阵列基板管的加工工艺步骤，降低阵列基板的制作成本。

附图说明

5 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本发明较佳实施方式的阵列基板结构剖面示意图。

10 图 2 为本发明较佳实施方式的阵列基板的制造方法的流程图。

图 3 至图 17 为本发明较佳实施方式的阵列基板的各个制造流程中的剖面图。

具体实施方式

15 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

请参阅图 1，本发明提供一种 LTPS 薄膜晶体管显示中的阵列基板。所述
20 阵列基板包括基板、公共电极 11、遮光层 12、绝缘层 13、多晶硅层 14、栅极绝缘层 15、栅极 16、介质层 17 及源漏极。所述公共电极 11 形成所述基板 10 上，所述遮光层 12 位于所述公共电极 11 上，所述绝缘层 13 位于所述遮光层 12 及公共电极 11 上。本实施例中，所述源漏极上还形成有像素层 19。本实施例中列举的阵列基板以一个 PTFT 和一个 NTFT 为例。所述源漏极分别为源极
25 181、182 及漏极 183、184。

本实施例中，所述多晶硅层 14 包括第一多晶硅区域 141 及第二多晶硅区域 143，所述多晶硅层 14 位于所述绝缘层 13 上，所述栅极绝缘层 15 位于所述多晶硅层 14 及绝缘层 13 上。

本实施例中，所述栅极 16 位于所述栅极绝缘层 15 上并正投影于所述第一

多晶硅区域及第二多晶硅区域,所述介质层 17 位于所述栅极 16 及所述栅极绝缘层 15 上。

本实施例中,所述阵列基板还包括与所述第一多晶硅区域及第二多晶硅区域位于同一层的第一类参杂区 145 及第二类参杂区 146,在介质层 17 上相对应所述第一多晶硅区域及第二多晶硅区域的源漏极,所述源漏极通过过孔与所述第一参杂区 145 及第二类参杂区 146 连接。

请参阅图 2,图中所示的是本发明较佳实施方式的阵列基板的制造方法的流程图,本发明的阵列基板制造方法包括如下步骤,

请参阅图 3,步骤 S1,提供所述基板 10,并在所述基板 10 上依次沉积形成透明导电层 21 及第一金属层 22。本实施例中,所述基板 10 为玻璃层。

请参阅图 4,步骤 S2,在所述第一金属层 21 上形成光阻层并通过一次光罩图案化所述光阻层,使图案化的光阻层 23 包括两个第一区域 231 及第二区域 232。其中,所述第一区域 231 的厚度大于所述第二区域 232 的厚度。所述光罩(图未示)包括设置于所述光阻层的上方的三个透光部、半透光部及遮光部,通过光照射形成所述的两个第一区域 231 及第二区域 232。本步骤中使用第一道光罩工艺。该光罩技术为本领域常用技术,再次不做赘述。

请参阅图 5,步骤 S3,通过两次蚀刻工艺对所述透明导电层 21 及第一金属层 22 进行图案化,形成公共电极 11 及遮光层 12;其中,所述遮光层 12 包括在同一层的间隔设置的第一遮光区 121、第二遮光区 122 及边缘区 123。所述边缘区 123 正投影于所述公共电极 24 上,所述第二区域 232 正投影于边缘区 123 上,所述两个第一区域 231 正投影于所述第一遮光区 121 及第二遮光区 122 上。

在本步骤中包括步骤 S31,对两个所述第一区域 231 之间及第一区域 231 与第二区域 231 之间露出的第一金属层 22 进行干蚀刻,形成所述遮光层 12 的第一遮光区 121、第二遮光区 122 及边缘区 123。

步骤 S32,对露出遮光层 23 的所述透明导电层 32 进行湿蚀刻,形成所述公共电极 11。

本实施例中,所述干蚀刻的气体为 CF_4 , SF_6 或 CL_2 和 O_2 的混合气体,湿蚀刻液为草酸,硫酸,盐酸,或草酸、硫酸及盐酸的混合液。

请参阅图 6 与图 7，步骤 S4，通过两次蚀刻工艺去除图案化的光阻层 23 及位于所述公共电极 24 上的边缘区 123。本步骤中包括通过干蚀刻去除所述第二区域 232 及部分第一区域 231 后，再通过干蚀刻工艺去除剩下的第一区域 231 部分及位于所述公共电极 11 的所述边缘区 123。具体的，第一次干蚀刻去
5 除所述第二区域 232 及与所述第二区域 232 厚度相同的部分第一区域 231 后，露出公共电极 11 的上的所述边缘区 123，使第一区域 231 厚度减小，第二次干蚀刻一次性去除所述边缘区 123 及剩下的第一区域 231，不会因为过度蚀刻而破坏所述公共电极 11。

请参阅图 8，步骤 S5，在所述遮光层 12 及公共电极 24 上形成绝缘层 13。

10 请参阅图 9，步骤 S6，在所述绝缘层 13 上形成图案化的多晶硅层 14。其中，所述多晶硅层包括第一多晶硅区域 141 及第二多晶硅区域 142，所述第一多晶硅区域 141 正投影于所述第一遮光区 121 上，所述第二多晶硅区域 142 正投影于所述第二遮光区 122 上。本步骤的图案化即指通过第二道光罩工艺形成多晶硅层 14。

15 请参阅图 10，步骤 S7，在所述多晶硅层 14 及所述绝缘层 13 上形成栅极绝缘层 15，通过光罩及蚀刻工艺在所述栅极绝缘层 15 上形成电极过孔 151，并且定义第一类掺杂区 145。其中，所述过孔贯穿所述栅极绝缘层 15 及绝缘层 13 露出所述公共电极 12，所述第一类掺杂区 145 位于所述第一多晶硅区域 141 两侧；本步骤中，通过半透膜光罩定义出并且定义第一类掺杂区 145 及所
20 述电极过孔的位置，再通过干蚀刻形成所述电极过孔 151。所述光罩指通过第三道光罩。

请参阅图 11，具体包括步骤 S71，在所述栅极绝缘层 15 上形成光阻层并通过光罩图案化所述光阻层，使图案化的光阻层 20 包括电极孔位 2001 及两个植入孔位 2002。所述电极孔位 2001 位于所述公共电极 24 正上方。所述两个
25 植入孔位 2002 与所述第一多晶硅区域 141 两侧相对。

请参阅图 12，步骤 S72，对所述电极孔位 2001 所对应的栅极绝缘层 15 及绝缘层 13 进行干蚀刻，形成所述电极过孔 151。

请参阅图 13，步骤 S73，通过蚀刻去除部分光阻层 20 并打通所述两个植入孔位 2002 形成与栅极绝缘层 15 连通的两个植入孔 2004。其中，所述两个

植入孔 2004 对应位置为第一类掺杂区 145。

请参阅图 14，步骤 S8，穿过两个植入孔 2004 对所述第一类掺杂区 145 注入第一类型离子；所述第一类型离子为 P 型离子或 N 型离子。本实施例中为 P 型离子。本步骤中还包括步骤 S81，通过蚀刻工艺去除图案化的光阻层 20。

5 请参阅图 15，步骤 S9，在所述栅极绝缘层 15 上形成第二金属层（图未示），图案化第二金属层形成栅极 16，所述栅极 16 通过电极过孔与所述公共电极 12 连接。本实施例中，所述图案化第二金属层为采用第四道光罩工艺形成栅极。所述过孔位于所述公共电极 11 一侧。所述栅极 16 包括分别正投影于所述第一多晶硅区域 141 及第二多晶硅区域 142 的两部分。

10 所述阵列基板制造方法还包括，

步骤 S10，定义第二类掺杂区 146，第二类掺杂区 146 位于所述第二多晶硅区域 142 两侧。对所述第二类掺杂区 146 注入第二类型离子。所述第一类型离子为 N 型离子或 P 型离子。本实施例中为 N 型离子。定义第二类掺杂区 146 通过现有技术实现。

15 请参阅图 16，步骤 S11，在栅极 16 及所述栅极绝缘层 15 上形成介质层 17，并且在介质层 17 上形成源漏极层。在本步骤中，还包括对通过第五道光罩在所述介质层 17 上形成与所述第一类掺杂区 145 连通的过孔 171 及与第二类掺杂区 146 连通的过孔 172。

20 请参阅图 17，步骤 S12，通过光罩蚀刻工艺对源漏极层图案化形成相对应所述第一多晶硅区域 141 的源漏极，及第二多晶硅区域 142 的源漏极。所述源漏极通过过孔分别与所述第一类掺杂区 145 及第二类掺杂区 146 连接。具体的，所述源漏极分别为源极 181、182 及漏极 183、184。所述源极 181 及漏极 183 与所述第一掺杂区 145 通过过孔 171 连接。所述源极 182 及漏极 184 与第二类掺杂区 146 通过过孔 172 连接。本步骤中的光罩为第六道光罩。

25 请再次参阅图 1，步骤 S13，在所述源漏极上及介质层 17 上形成图案化的像素层 19，最后形成如图 1 所示的阵列基板。本步骤中的图案化采用第七道光罩工艺。

本实施例中，所述第一遮光区 121、第一多晶硅区域 141、正投影于第一多晶硅区域 141 的栅极，第一类掺杂区 145 所在区域为 PTFT。所述第二遮光

区 122、第二多晶硅区域 142、正投影于第二多晶硅区域 142 的栅极、第二类掺杂区 146 所在区域为 NTFT。

本发明针对上述两种实施例还提供了薄膜晶体管的制造方法，在阐述具体制备方法之前，应该理解，在本发明中，所述图案化即是指构图工艺，可包括
5 光刻工艺，或，包括光刻工艺以及刻蚀步骤，同时还可以包括打印、喷墨等其他用于形成预定图形的工艺；光刻工艺，是指包括成膜、曝光、显影，等工艺过程的利用光刻胶、掩模板、曝光机等形成图形的工艺。可根据本发明中所形成的结构选择相应的构图工艺。

10 本发明的阵列基板制造方法通过在基板上形成透明导电层及第一金属层后再通过一次光罩及多次蚀刻形成图案化后的公共电极及遮光层，节省了一道光罩；然后通过一次光罩蚀刻后形成连通公共电极 11 及栅极 16 的电极过孔，后续再进行介质层及源漏极制作，节省钝化层（Passivation layer）层，整体工艺之采用七道光罩，简化阵列基板管的加工工艺步骤，降低阵列基板的制作成本。

15 通过本发明实施例薄膜晶体管的制造方法形成的显示器件，可以为：液晶面板、液晶电视、液晶显示器、OLED 面板、OLED 电视、电子纸、数码相框、手机等。

20 以上所揭露的仅为本发明一种较佳实施例而已，当然不能以此来限定本发明之权利范围，本领域普通技术人员可以理解实现上述实施例的全部或部分流程，并依本发明权利要求所作的等同变化，仍属于发明所涵盖的范围。

权利要求

1、一种阵列基板，所述阵列基板包括基板、公共电极、遮光层、绝缘层、多晶硅层、栅极绝缘层、栅极、介质层及源漏极，其中，所述公共电极形成所述基板上，所述遮光层位于所述公共电极上，所述绝缘层位于所述遮光层及公共电极上，所述栅极与所述公共电极通过过孔连接。

2、如权利要求1所述的阵列基板，其中，所述多晶硅层包括第一多晶硅区域及第二多晶硅区域，所述多晶硅层位于所述绝缘层上，所述栅极绝缘层位于所述多晶硅层及绝缘层上。

3、如权利要求2所述的阵列基板，其中，所述栅极位于所述栅极绝缘层上并正投影于所述第一多晶硅区域及第二多晶硅区域，所述介质层位于所述栅极及所述栅极绝缘层上。

4、如权利要求3所述的阵列基板，其中，所述阵列基板还包括与所述第一多晶硅区域及第二多晶硅区域位于同一层的第一类参杂区及第二类参杂区，在介质层上相对应所述第一多晶硅区域及第二多晶硅区域的源漏极，所述源漏极均通过过孔与所述第一参杂区及第二类参杂区连接。

5、一种阵列基板制造方法，所述方法包括，

提供一基板，并在所述基板上依次沉积形成透明导电层及第一金属层；

在所述第一金属层上形成光阻层，通过一次光罩图案化所述光阻层，使图案化的光阻层包括两个第一区域及第二区域，其中，所述第一区域的厚度大于所述第二区域的厚度；

通过两次蚀刻工艺对所述透明导电层及第一金属层进行图案化，形成公共电极及遮光层；其中，所述遮光层包括在同一层的间隔设置的第一遮光区、第二遮光区及边缘区，所述边缘区正投影于所述公共电极上，所述第二区域正投影于边缘区上，所述两个第一区域正投影于所述第一遮光区及第二遮光区上；

通过两次蚀刻工艺去除图案化的光阻层及位于所述公共电极上的边缘区；

在所述遮光层及公共电极上形成绝缘层；

在所述绝缘层上形成图案化的多晶硅层；其中，所述多晶硅层包括第一多晶硅区域及第二多晶硅区域，所述第一多晶硅区域正投影于所述第一遮光区

上, 所述第二多晶硅区域正投影于所述第二遮光区上;

在所述多晶硅层及所述绝缘层上形成栅极绝缘层, 通过光罩及蚀刻工艺在所述栅极绝缘层上形成电极过孔并定义第一类掺杂区; 其中, 所述过孔贯穿所述栅极绝缘层及绝缘层露出所述公共电极; 所述第一类掺杂区位于所述第一多晶硅区域两侧;

对所述第一类掺杂区注入第一类型离子;

在所述栅极绝缘层上形成第二金属层, 图案化第二金属层形成栅极, 所述栅极通过电极过孔与所述公共电极连接。

6、如权利要求 5 所述的阵列基板制造方法, 其中, 所述阵列基板制造方法还包括, 定义第二类掺杂区及对所述第二类掺杂区注入第二类型离子; 其中第二类掺杂区位于所述第二多晶硅区域两侧;

在栅极及所述栅极绝缘层上形成介质层, 并且在介质层上形成源漏极层;

通过光罩蚀刻工艺对源漏极层图案化, 形成相对应所述第一多晶硅区域的源漏极, 及相对应第二多晶硅区域的源漏极, 其中, 所述源漏极通过过孔分别与所述第一类掺杂区及第二类掺杂区连接;

在所述源漏极上及介质层上形成图案化的像素层。

7、如权利要求 6 所述的阵列基板制造方法, 其中, 所述“通过两次蚀刻工艺对所述透明导电层及第一金属层进行图案化, 形成公共电极及遮光层”的步骤包括, 对两个所述第一区域之间及第一区域与第二区域之间露出的第一金属层进行干蚀刻, 形成所述遮光层的第一遮光区、第二遮光区及边缘区;

对露出遮光层的所述透明导电层进行湿蚀刻, 形成所述公共电极。

8、如权利要求 7 所述的阵列基板制造方法, 其中, 所述“通过蚀刻工艺去除遮光层及位于所述公共电极上的边缘区”的步骤包括, 通过干蚀刻去除所述第二区域及部分第一区域后, 再通过干蚀刻工艺去除剩下的第一区域部分及位于所述公共电极的所述边缘区。

9、如权利要求 6 所述的阵列基板制造方法, 其中, 所述“通过光罩及蚀刻工艺在所述栅极绝缘层上形成电极过孔, 并且定义第一类掺杂区”的步骤包括,

通过半透膜光罩在所述栅极绝缘层上形成图案化的光阻层, 形成电极孔位

及两个植入孔位；

对所述电极孔位所对应的栅极绝缘层及绝缘层进行干蚀刻形成所述电极过孔；

5 通过蚀刻去除部分光阻层并打通所述两个植入孔位形成与栅极绝缘层连通的两个植入孔，所述两个植入孔对应位置为所述第一类掺杂区。

10、如权利要求 1 所述的阵列基板制造方法，其中，所述第一类型离子为 P 型离子，所述第二类型离子为 N 型离子，或者，所述第二类型离子为 P 型离子，所述第一类型离子为 N 型离子。

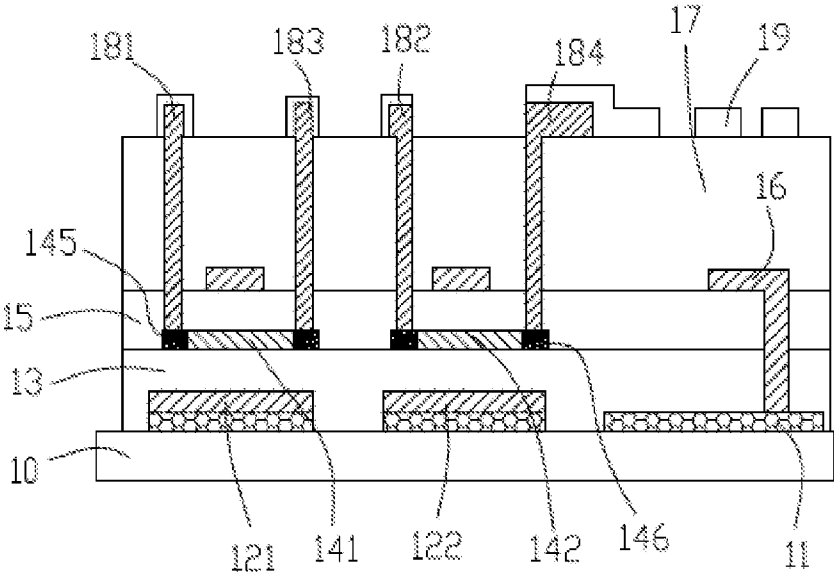


图 1

—2/10—



图 2

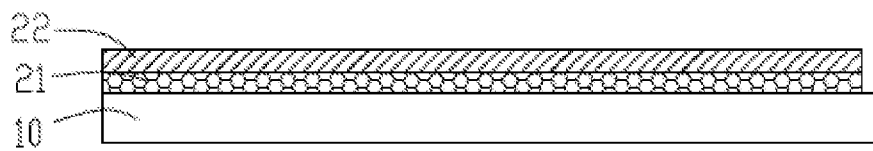


图 3

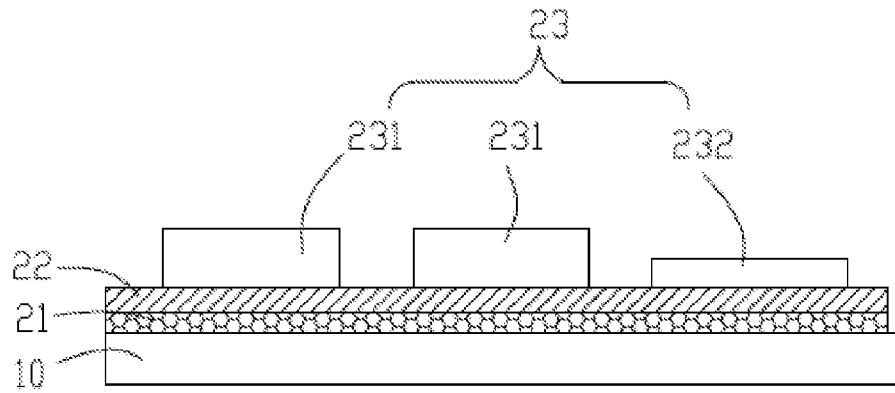


图 4

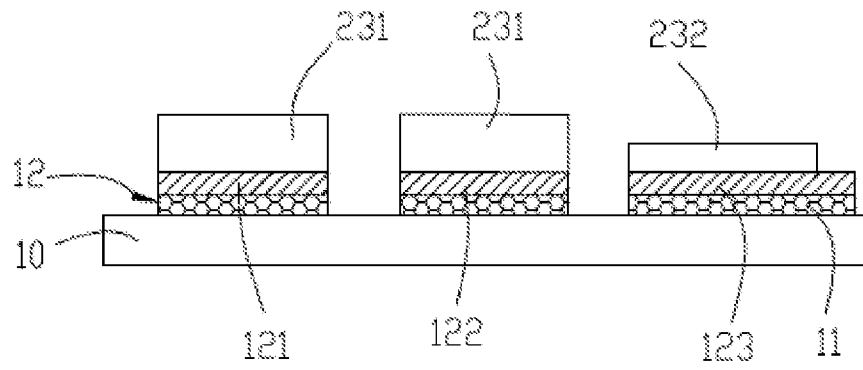


图 5

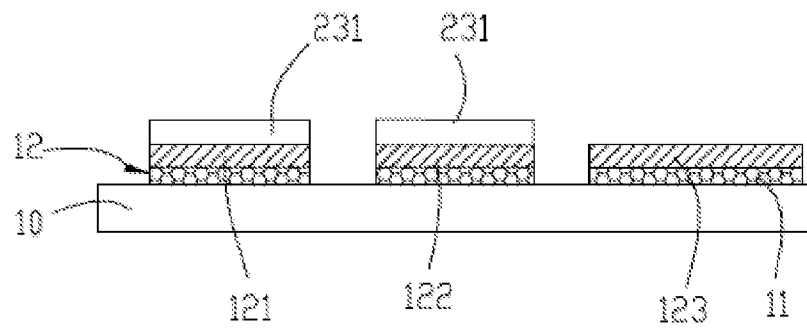


图 6

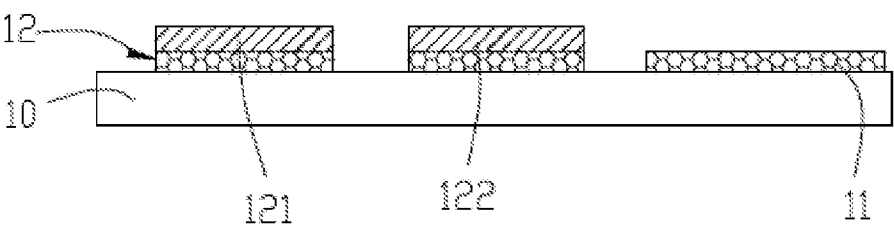


图 7

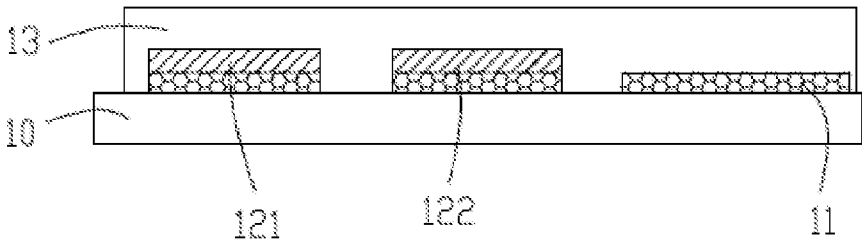


图 8

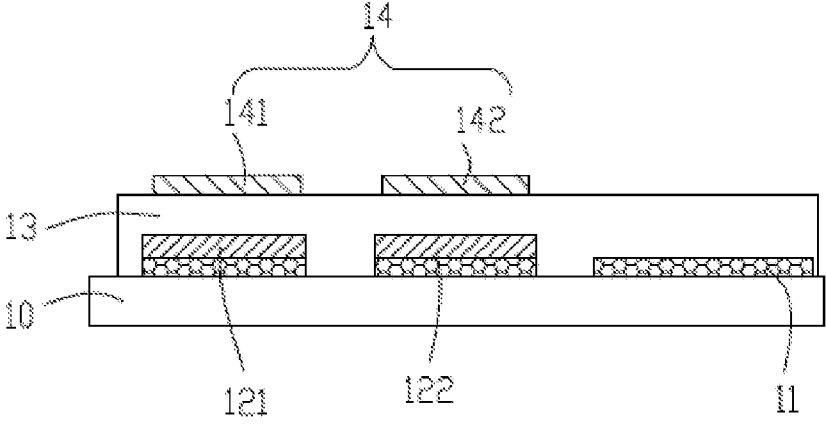


图 9

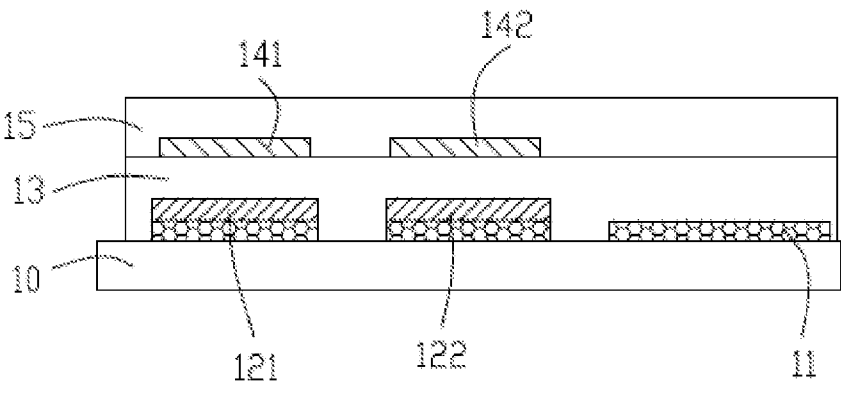


图 10

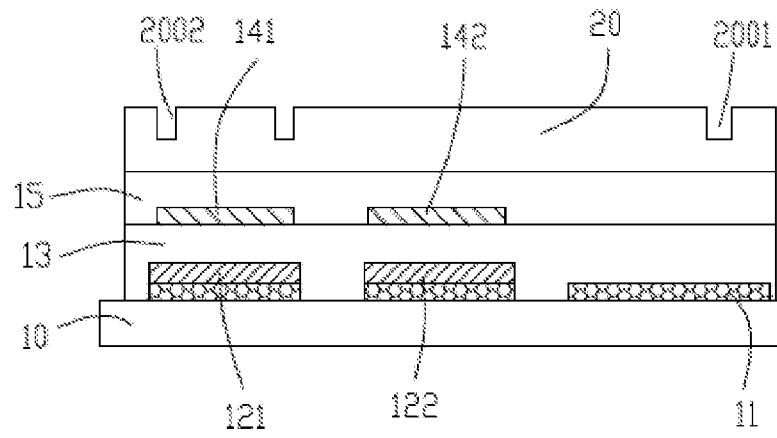


图 11

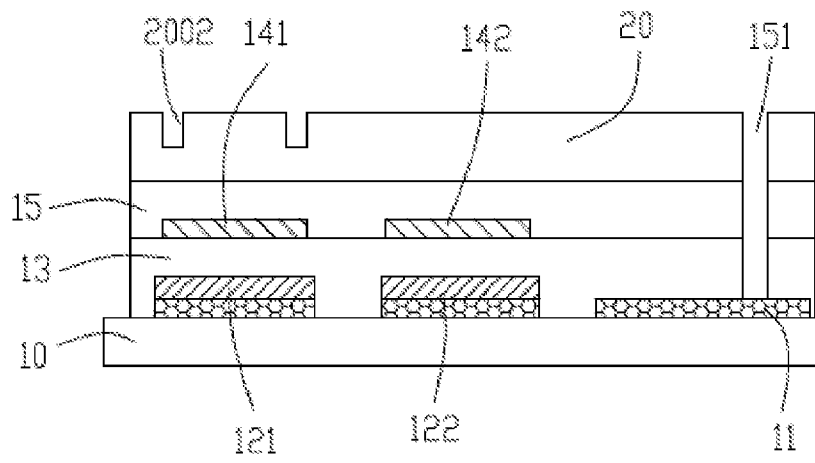


图 12

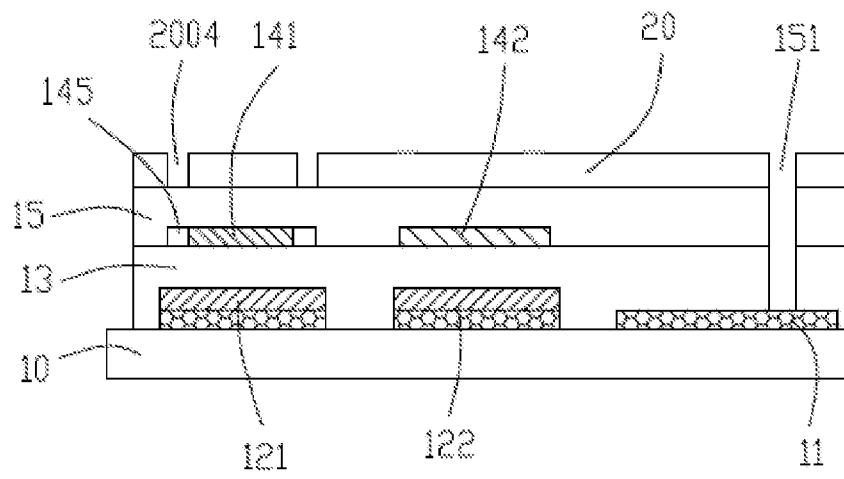


图 13

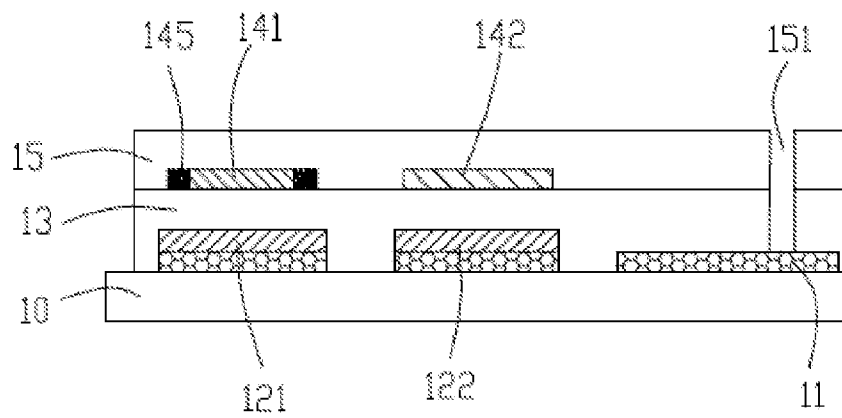


图 14

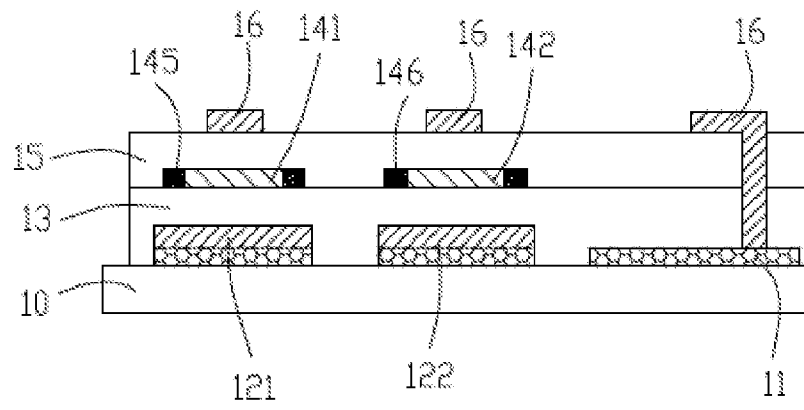


图 15

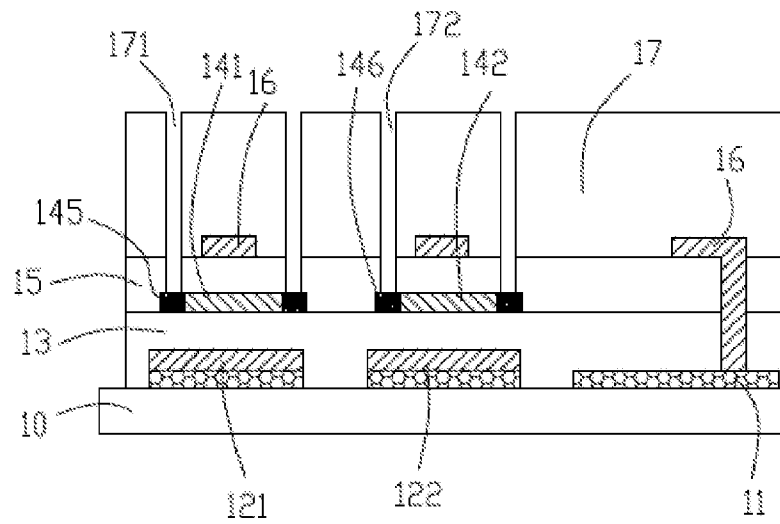


图 16

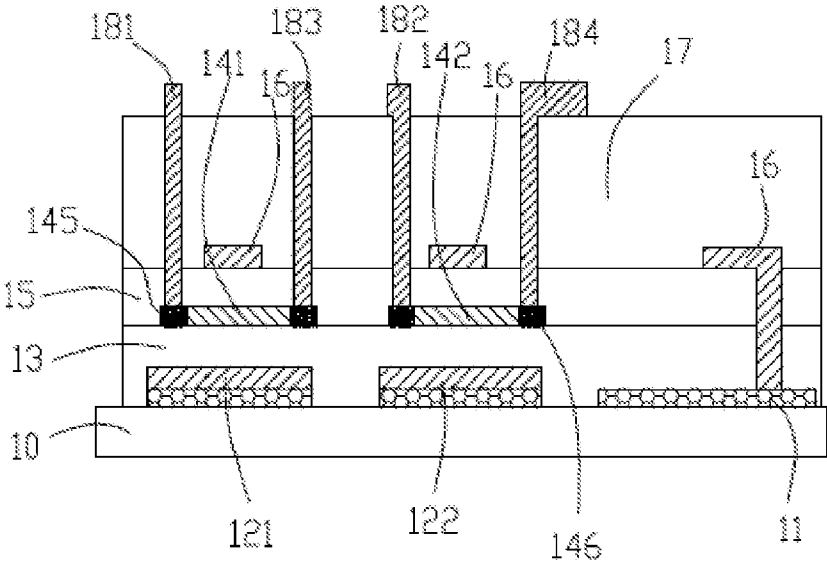


图 17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/071208

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 21/77 (2006.01) i; G02F 1/136 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L, G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: array substrate, low temperature polycrystalline silicon, thin film crystal, gate electrode, common electrode, join, light block, insulate, medium, source, drain, film, channel, procedure, simple, reduce, low, TFT, thin w film w transistor, LTPS, PS, polysilicon, poly-silicon, gate, common, electrode?, pole?, aperture? or bore? or hole?, mask, shade, hood, shield

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1991548 A (LG PHILIPS LCD CO., LTD.), 04 July 2007 (04.07.2007), description, page 6, antepenultimate paragraph to page 8, paragraph 5, and figures 5-7	1-10
A	CN 103268047 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD.), 28 August 2013 (28.08.2013), the whole document	1-10
A	CN 202631914 U (BOE TECHNOLOGY GROUP CO., LTD. et al.), 26 December 2012 (26.12.2012), the whole document	1-10
A	CN 104167418 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD. et al.), 26 November 2014 (26.11.2014), the whole document	1-10
A	US 2008116459 A1 (INNOLUX DISPLAY CORP.), 22 May 2008 (22.05.2008), the whole document	1-10
A	US 8269938 B2 (LG DISPLAY CO., LTD.), 18 September 2012 (18.09.2012), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 September 2015 (08.09.2015)	Date of mailing of the international search report 15 September 2015 (15.09.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHANG, Yue Telephone No.: (86-10) 62413582

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/071208

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1991548 A	04 July 2007	US 7710526 B2	04 May 2010
		US 2010173435 A1	08 July 2010
		JP 2007183628 A	19 July 2007
		CN 100480822 C	22 April 2009
		JP 4718433 B2	06 July 2011
		KR 100978369 B1	30 August 2010
		US 2007153204 A1	05 July 2007
		US 8835925 B2	16 September 2014
		KR 20070070723 A	04 July 2007
CN 103268047 A	28 August 2013	None	
CN 202631914 U	26 December 2012	None	
CN 104167418 A	26 November 2014	None	
US 2008116459 A1	22 May 2008	TW 200824125 A	01 June 2008
		TW I321853 B	11 March 2010
US 8269938 B2	18 September 2012	KR 101192073 B1	17 October 2012
		KR 20070000582 A	03 January 2007
		US 2006290866 A1	28 December 2006

国际检索报告

国际申请号

PCT/CN2015/071208

A. 主题的分类

H01L 27/12(2006.01)i; H01L 21/77(2006.01)i; G02F 1/136(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L, G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPDOC, CNKI:阵列基板, 低温多晶硅, 薄膜晶体, 孔, 栅极, 栅电极, 公共电极, 公用电极, 联, 连, 遮光, 阻光, 挡光, 绝缘, 多晶硅, 介质, 源, 漏, 膜, 道, 工序, 简, 减, 低, TFT, thin w film w transistor, LTPS, PS, polysilicon, poly-silicon, gate, common, electrode?, pole?, aperture? or bore? or hole?, mask, shade, hood, shield

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 1991548 A (LG. 飞利浦LCD株式会社) 2007年 7月 4日 (2007 - 07 - 04) 说明书第6页倒数第3段-第8页第5段, 图5-7	1-10
A	CN 103268047 A (厦门天马微电子有限公司) 2013年 8月 28日 (2013 - 08 - 28) 全文	1-10
A	CN 202631914 U (京东方科技集团股份有限公司 等) 2012年 12月 26日 (2012 - 12 - 26) 全文	1-10
A	CN 104167418 A (厦门天马微电子有限公司 等) 2014年 11月 26日 (2014 - 11 - 26) 全文	1-10
A	US 2008116459 A1 (INNOLUX DISPLAY CORP.) 2008年 5月 22日 (2008 - 05 - 22) 全文	1-10
A	US 8269938 B2 (LG DISPLAY CO., LTD.) 2012年 9月 18日 (2012 - 09 - 18) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 9月 8日

国际检索报告邮寄日期

2015年 9月 15日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

张玥

电话号码 (86-10)62413582

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/071208

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1991548	A	2007年 7月 4日	US	7710526	B2	2010年 5月 4日
				US	2010173435	A1	2010年 7月 8日
				JP	2007183628	A	2007年 7月 19日
				CN	100480822	C	2009年 4月 22日
				JP	4718433	B2	2011年 7月 6日
				KR	100978369	B1	2010年 8月 30日
				US	2007153204	A1	2007年 7月 5日
				US	8835925	B2	2014年 9月 16日
				KR	20070070723	A	2007年 7月 4日
CN	103268047	A	2013年 8月 28日	无			
CN	202631914	U	2012年 12月 26日	无			
CN	104167418	A	2014年 11月 26日	无			
US	2008116459	A1	2008年 5月 22日	TW	200824125	A	2008年 6月 1日
				TW	I321853	B	2010年 3月 11日
US	8269938	B2	2012年 9月 18日	KR	101192073	B1	2012年 10月 17日
				KR	20070000582	A	2007年 1月 3日
				US	2006290866	A1	2006年 12月 28日

表 PCT/ISA/210 (同族专利附件) (2009年7月)