

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 1 月 24 日(24.01.2013)



(10) 国際公開番号

WO 2013/011653 A1

- (51) 国際特許分類:
G06F 15/82 (2006.01)
- (21) 国際出願番号: PCT/JP2012/004420
- (22) 国際出願日: 2012 年 7 月 9 日(09.07.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-157238 2011 年 7 月 15 日(15.07.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 国立大学法人 筑波大学(UNIVERSITY OF TSUKUBA) [JP/JP]; 〒3058577 茨城県つくば市天王台一丁目 1 番 1 Ibaraki (JP). 公立大学法人 高知工科大学(KOCHI UNIVERSITY OF TECHNOLOGY) [JP/JP]; 〒7828502 高知県香美市土佐山田町宮ノ口 1 8 5 番地 Kochi (JP). 学校法人 東海大学(TOKAI UNIVERSITY) [JP/JP]; 〒1518677 東京都渋谷区富ヶ谷 2 丁目 2 8 番 4 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 西川 博昭(NISHIKAWA, Hiroaki) [JP/JP]; 〒3058577 茨城県つくば市天王台一丁目 1 番 1 国立大学法人筑波

大学内 Ibaraki (JP). 三宮 秀次(SANNOMIYA, Shuji) [JP/JP]; 〒3058577 茨城県つくば市天王台一丁目 1 番 1 国立大学法人筑波大学内 Ibaraki (JP). 岩田 誠(IWATA, Makoto) [JP/JP]; 〒7828502 高知県香美市土佐山田町宮ノ口 1 8 5 番地 公立大学法人高知工科大学内 Kochi (JP). 石井 啓之(ISHII, Hiroshi) [JP/JP]; 〒1088619 東京都港区高輪 2-3-23 東海大学内 Tokyo (JP). 宇津 圭祐(UTSU, Keisuke) [JP/JP]; 〒1088619 東京都港区高輪 2-3-23 東海大学内 Tokyo (JP).

(74) 代理人: 亀井 岳行(KAMEI, Takeyuki); 〒1040032 東京都中央区八丁堀三丁目 2 2 番 9 号 石橋ビル 3 F Tokyo (JP).

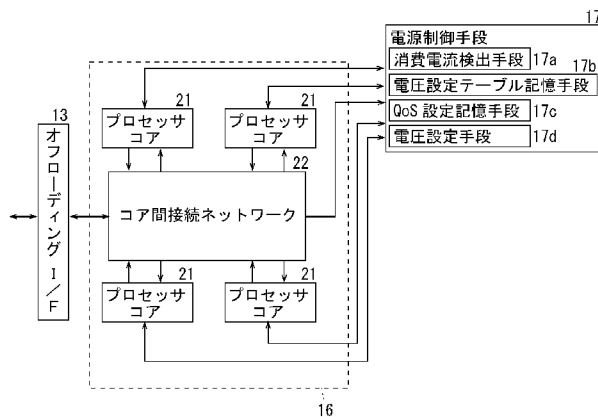
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: ULTRA LOW POWER-DATA DRIVEN NETWORKING PROCESSING DEVICE FOR AVOIDING OVERLOAD

(54) 発明の名称: 過負荷を回避する超低消費電力化データ駆動ネットワーク処理装置

【図3】



- 13... OFFLOADING INTERFACE
17... POWER CONTROL MEANS
17a... CURRENT CONSUMPTION DETECTION MEANS
17b... VOLTAGE SETTING TABLE STORAGE MEANS
17c... QoS SETTING STORAGE MEANS
17d... VOLTAGE SETTING MEANS
21... PROCESSOR CORE
22... INTERCONNECTION NETWORK

(57) Abstract: The present invention is provided with: a data-driven processor (21) comprising at least a firing control (32) which determines whether or not firing conditions have been met by determining whether or not all packets necessary for instruction execution have been received when a packet in which data to be processed has been partitioned has been input, and a data processing unit (37) for performing processing corresponding to the packets transmitted from the firing control (32) if the firing conditions have been met; a power supply circuit (57) for supplying power to the data-driven processor (21); and overload avoidance means (23) which, on the basis of current consumption (I_{ss}) in the data-driven processor (21), refuses input of the packets to the data-driven processor (21) if a determination has been made that a data processing load in the data-driven processor (21) may reach an overloaded state in which the data processing may stall. Accordingly, power consumption in a networking system (S) is reduced.

(57) 要約: 処理されるデータが分割されたパケットが入力されたときに、命令実行に必要な全て受信されたか否かを判別することにより発火条件が成立したか否かを判別する発火制御部(32)と、発火条件が成立した場合に発火制御部(32)から送信されたパケットに応じた処理を実行するデータ処理部(37)と、を少なくとも有するデータ駆動型プロセッサ(21)と、データ駆動型プロセッサ(21)に電力を供給する電源回

路(57)と、データ駆動型プロセッサ(21)における消費電流(I_{ss})に基づいて、データ駆動型プロセッサ(21)におけるデータ処理の負荷が、データ処理が滞る過負荷状態になり得ると判別される場合に、データ駆動型プロセッサ(21)に対するパケットの入力を拒否する過負荷回避手段(23)と、を備えることによりネットワークシステム(S)における消費電力を削減する。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

過負荷を回避する超低消費電力化データ駆動ネットワーキング処理装置

技術分野

[0001] 本発明は、データ駆動型プロセッサを使用した過負荷を回避する超低消費電力化データ駆動ネットワーキング処理装置に関する。

背景技術

[0002] 従来の計算機において、並列処理をオーバーヘッドなく実行可能なデータ駆動型プロセッサの開発が行われている。前記データ駆動型プロセッサ (Data-Driven Processor) は、プログラム中のすべての命令について、必要な入力データがすべて揃った時点で実行可能とするデータ駆動原理に基づいて、設計されている。

このようなデータ駆動原理を使用した技術として、下記の特許文献 1， 2 記載の技術が従来公知である。

[0003] 特許文献 1 (特開 2 0 0 4 - 1 3 6 0 2 号公報) には、データ駆動プロセッサが複数のプロセッシングエレメント (PE) を有し、各プロセッシングエレメント (PE) にデータが分割されたパケットが入力される構成が記載されている。特許文献 1 記載の構成では、プロセッシングエレメント (PE) が、発火制御部 (FC)、関数処理部 (FP)、プログラム記憶部 (PS) 等を有し、入力されてくるパケットに基づいて発火制御部 (FC : Firing Control) において命令実行に必要な全てのパケットが揃ったか否か判別される。そして、全てのパケットが揃うと発火条件が成立したとして、発火制御部 (FC) から関数処理部 (FP : Functional Processor) にパケットが送信されて演算が行われ、その結果を持つパケットがプログラム記憶部 (PS : Program Storage) に送信される。プログラム記憶部 (PS) は、送信されたパケットと、命令メモリ (IM) に指定された新たな命令とに応じて、新たな命令に応じたパケットを生成し、指定された宛先である別のプロセッシ

ングエレメント（PE）に、パケットを送信する。

[0004] また、特許文献1には、各プロセッシングエレメント（PE）が、自己同期式エラスティックパイプラインによるスーパーパイプライン構造を有することが記載されている。すなわち、プロセッシングエレメント（PE）内の発火制御部（FC）、関数処理部（FP）、プログラム記憶部（PS）等の各機能ブロックが、複数のパイプラインステージで構成されている。そして、各パイプラインステージが、パケットを保持するデータラッチ（DL：Data Latch）、保持されたパケットを処理する論理回路（LC：Logic Circuit）、及び、データラッチへの同期信号（クロック信号、トリガー信号）を供給する自己同期式転送制御機構（STCM：Self-timed Transfer Control Mechanism）とを備えている。そして、各パイプラインステージにおいて、パケットの流れの上流側および下流側のパイプラインステージの状態（データが空、または、データ処理中）に応じて、自律的にパケットの転送タイミングが決定されている。

[0005] 特許文献2（特開2005-108086号公報）には、データ駆動型プロセッサに関する技術が記載されている。特許文献2記載の発明では、第1スイッチ（SW1）で接続された各プロセッシングエレメント（PE）において、データ依存関係に基づいて命令が発行されて並列処理されるデータ駆動パケットと、プログラムカウンタに基づいて逐次的に命令発行されて逐次処理される制御駆動パケットとが同一のパイプライン上で処理可能な構成が記載されている。

[0006] 特許文献2記載の各プロセッシングエレメント（PE）は、入力パケットに基づいて命令をフェッチする命令フェッチ部（IF：Instruction Fetch）と、命令フェッチ部（IF）でフェッチされて発行された命令をデコードする命令デコード部（ID：Instruction Decode）と、命令デコード部（ID）から出力された命令を分岐させる第2スイッチ（SW2）と、第2スイッチ（SW2）から送信されたパケットに基づいて発火条件を判別する発火制御部（FC）と、発火条件が成立した場合に発火制御部（FC）から送信さ

れたパケットに基づいて命令を実行（数値の計算や、メモリの読み書き、アドレス・分岐先の計算等）する実行ユニット（EX: Execution）と、実行ユニット（EX）で処理された命令が分岐の計算等の制御駆動命令である場合にレジスター（REG）への書き込みを実行するライトバック部（WB: Write Back）と、を有している。

[0007] 特許文献3（特開2010-20598号公報）には、ネットワーキングシステムにおける消費電力を低減するために、自律分散型通信網（アドホックネットワーク）を利用し、且つ、データ駆動型プロセッサを利用すると共に、パイプラインステージにおいて、下流側のパイプラインステージで処理が行われておらず且つデータラッチ（データの保持）も行われていない場合には、電力供給を停止し、下流側のパイプラインステージで処理が行われておらず且つデータラッチのみが行われている場合には、最小電圧のみが印加されるように電源供給を制御する技術が記載されている。

[0008] 特許文献4（特開2011-30210号公報）には、ネットワークを構成する各ノードにおいて、ノードの負荷状態を把握して、データの再送信を効率よく実行するフラッディング機能を実現するために、送信キューに対応する送信待ちパケット数を計数して、送信待ちパケット数と閾値とを比較して、メッセージを再送信する確率を設定すると共に、比較結果に基づいて再送信を待機する待機時間とを設定し、設定された確率と待機時間とに基づいて、再送信の処理を行う技術が記載されている。

先行技術文献

特許文献

[0009] 特許文献1：特開2004- 13602号公報（「0019」～「0035」）

特許文献2：特開2005-108086号公報（「0025」～「0057」）

特許文献3：特開2010- 20598号公報（「0025」～「0034」）

特許文献4：特開2011-30210号公報（「0002」～「0011」、要約書）

発明の概要

発明が解決しようとする課題

[0010] 前記特許文献1，2記載の発明や、従来の他の発明では、情報処理を高速化することに注視して研究、開発が行われているが、低消費電力化の観点に基づいての研究、開発は不十分であった。すなわち、従来は、端末に搭載されたプロセッサに低消費電力の待機状態を設け、パケットの送受信を行わないときは待機状態とし、さらに、使用されない回路ブロックへの電源供給を停止することで消費電力の低減を図っている程度であった。しかし、待機状態から動作状態への復帰は割り込み処理で行なうため、復帰のためのオーバーヘッドが発生し、待機状態と動作状態の切替が頻発する場合、消費電力低減の効果が限られていた。

[0011] また、特許文献3記載の技術では、各パイプラインステージにおける処理やデータラッチの状態、すなわち、処理の負荷の状態に応じて電源供給を制御して、低消費電力化を図っているが、例えば、全てまたはほとんどのパイプラインステージで処理が行われている間に次々とパケットを受信するような過負荷な状態では、処理が実行されるまでに不必要な待ち時間が発生して処理時間が伸長し、消費電力の低減効果も限られる問題があった。

さらに、特許文献4記載の技術では、自ノード内の処理の負荷の状況に応じて、メッセージの再送信を制御することで、ネットワーク全体において流れる情報量（トラフィック）を抑制し、ネットワークが過負荷の状態を抑制している。しかしながら、特許文献4記載の技術では、負荷を把握するために送信待ちパケット数を基準として用いており、パケットの種類や長さに応じて負荷が変動する場合に、一定の安全率（マージン）を考慮して再送信を待機させる必要があるため、再送信が過剰に抑えられた場合に、単位情報量当たりの消費電力に換算すると、消費電力の低減効果が限られる問題があった。

また、特許文献 1 ～ 4 に記載の従来の技術では、プロセッサに対して送信されたパケットを受信、格納しておき、処理待ちの状態とするキューイングを行っており、キューイングに要する電力も必要になる。

[0012] 特に、震災時のように、電話回線等が切断されたり、大規模な停電状態となって電波の中継局、基地局のような通信インフラが機能しなくなったりした状態では、携帯電話のような電池で駆動する端末どうしでデータを送受信可能なアドホックネットワークを構築して、必要な情報の送受信、中継、転送（再送信）をすることで通信ネットワークとして機能することが望まれる。例えば、緊急地震速報や津波情報のような情報は、通信インフラが機能しない状態でも、できるだけ多くの端末が受信できることが望ましい。このとき、消費電力が多いと、端末の電池の消耗が大きくなり、電池が無くなってしまうと、アドホックネットワークを構成するノードが減って、情報が送信される端末に限られるため、消費電力はできるだけ少ないことが望ましい。

[0013] 本発明は、ネットワーキングシステムにおける消費電力を削減することを技術的課題とする。

課題を解決するための手段

[0014] 前記技術的課題を解決するために、請求項 1 記載の発明の過負荷を回避する超低消費電力化データ駆動ネットワーキング処理装置は、

処理されるデータが分割されたパケットに対して命令実行に必要なパケットが全て受信されたか否かを判別することにより発火条件が成立したか否かを判別する発火制御部と、前記発火条件が成立した場合に前記発火制御部から送信されたパケットに応じた処理を実行するデータ処理部と、を少なくとも有するデータ駆動型プロセッサと、

前記データ駆動型プロセッサに電力を供給する電源回路と、

前記データ駆動型プロセッサにおける消費電流に基づいて、前記データ駆動型プロセッサにおけるデータ処理の負荷が、データ処理が滞る過負荷状態になり得ると判別される場合に、端末に対するパケットの入力を拒否する過負荷回避手段と、

を備えたことを特徴とする。

[0015] 請求項 2 に記載の発明は、請求項 1 に記載の過負荷を回避する超低消費電力化データ駆動ネットワーキング処理装置において、

前記データ駆動型プロセッサにおける消費電流に基づいて、前記データ駆動型プロセッサにおけるデータ処理の負荷が予め設定された高負荷状態よりも高いと判別される場合に、再送パケットの出力を停止する出力制御手段と、

を備えたことを特徴とする。

[0016] 請求項 3 に記載の発明は、請求項 1 または 2 に記載の過負荷を回避する超低消費電力化データ駆動ネットワーキング処理装置において、

前記データ駆動型プロセッサにおける消費電流に基づいて、前記データ駆動型プロセッサに印加する電圧を、前記データ駆動型プロセッサにおけるデータ処理の負荷に応じた電圧に、設定する電圧設定手段と、

前記電源回路を制御して、前記データ駆動型プロセッサに印加する電圧を、前記電圧設定手段で設定された電圧に制御する電源制御手段と、

を備えたことを特徴とする。

[0017] 請求項 4 に記載の発明は、請求項 1 ないし 3 のいずれかに記載の過負荷を回避する超低消費電力化データ駆動ネットワーキング処理装置において、

前記データ駆動型プロセッサに入力されるパケットと前記データ処理部で処理されたデータが合流する第 1 の合流部と、

前記第 1 の合流部から送信されたパケットまたはデータを受信する前記発火制御部と、

前記発火制御部から送信されたデータと前記データ処理部で処理されたデータが合流する第 2 の合流部と、

前記第 2 の合流部から送信されたデータに基づいて命令をフェッチする命令フェッチ部と、

前記命令フェッチ部から送信された命令の解析を行う命令デコード部と、

前記命令デコード部で解析された命令の処理を行う前記データ処理部と、

前記データ処理部で処理されたデータのメモリへの書き込みとメモリからの読み出しを行うメモリアクセス部と、

前記メモリアクセス部で書き込まれたデータに基づいて、前記データが単項演算であり且つ再度前記データ処理部で処理が必要な場合に、前記第2の合流部にデータを送信すると共に、前記データが多項演算である場合および前記データがデータ処理部での処理が必要ない場合に下流側の第1の分流部に送信する第2の分流部と、

前記第2の分流部から送信されたデータに基づいて、前記データが前記データ処理部で再度データ処理が必要なデータである場合に、前記第1の合流部にデータを送信すると共に、前記データが前記データ処理部でデータ処理が必要ない場合に、前記データ駆動型プロセッサから前記データを出力させる前記第1の分流部と、

を有するパイプラインステージ、

を備えたことを特徴とする。

[0018] 前記技術的課題を解決するために、請求項5に記載の発明の過負荷を回避する超低消費電力化データ駆動ネットワーキング処理装置は、

処理されるデータが分割されたパケットに対して命令実行に必要なパケットが全て受信されたか否かを判別することにより発火条件が成立したか否かを判別する発火制御部と、前記発火条件が成立した場合に前記発火制御部から送信されたパケットに応じた処理を実行するデータ処理部と、を少なくとも有するデータ駆動型プロセッサと、

前記データ駆動型プロセッサに電力を供給する電源回路と、

前記データ駆動型プロセッサにおける消費電流に基づいて、前記データ駆動型プロセッサに印加する電圧を、前記データ駆動型プロセッサにおけるデータ処理の負荷に応じた電圧に、設定する電圧設定手段と、

前記電源回路を制御して、前記データ駆動型プロセッサに印加する電圧を、前記電圧設定手段で設定された電圧に制御する電源制御手段と、

を備えたことを特徴とする。

[0019] 前記技術的課題を解決するために、請求項6に記載の発明の過負荷を回避する超低消費電力化データ駆動ネットワーキング処理装置は、

処理されるデータが分割されたパケットが全て受信されたか否かを判別することにより発火条件が成立したか否かを判別する発火制御部と、前記発火条件が成立した場合に前記発火制御部から送信されたデータに応じた処理を実行するデータ処理部と、を少なくとも有するデータ駆動型プロセッサと、

前記データ駆動型プロセッサに入力されるパケットと前記データ処理部で処理されたデータが合流する第1の合流部と、前記第1の合流部から送信されたパケットまたはデータを受信する前記発火制御部と、前記発火制御部から送信されたデータと前記データ処理部で処理されたデータが合流する第2の合流部と、前記第2の合流部から送信されたデータに基づいて命令をフェッチする命令フェッチ部と、前記命令フェッチ部から送信された命令の解析を行う命令デコード部と、前記命令デコード部で解析された命令の処理を行う前記データ処理部と、前記データ処理部で処理されたデータのメモリへの書き込みとメモリからの読み出しを行うメモリアクセス部と、前記メモリアクセス部で書き込まれたデータに基づいて、前記データが単項演算であり且つ再度前記データ処理部で処理が必要な場合に、前記第2の合流部にデータを送信すると共に、前記データが多項演算である場合および前記データがデータ処理部での処理が必要ない場合に下流側の第1の分流部に送信する第2の分流部と、前記第2の分流部から送信されたデータに基づいて、前記データが前記データ処理部で再度データ処理が必要なデータである場合に、前記第1の合流部にデータを送信すると共に、前記データが前記データ処理部でデータ処理が必要ない場合に、前記データ駆動型プロセッサから前記データを出力させる前記第1の分流部と、を有するパイプラインステージと、
を備えたことを特徴とする。

発明の効果

[0020] 請求項1に記載の発明によれば、過負荷の場合でもパケットを受け入れる構成に比べて、過負荷を回避することができ、ネットワーキングシステムに

おける消費電力を削減することができる。

請求項 2 に記載の発明によれば、高負荷の場合にもパケットを再送する場合に比べて、ネットワーク全体のトラフィックを抑制でき、効率的な処理で消費電力を削減することができる。

[0021] 請求項 3、5 に記載の発明によれば、消費電流に基づいてデータ駆動型プロセッサの電圧を設定しない場合に比べて、データ駆動型プロセッサの負荷に応じた電圧を印加することができ、無駄な電力消費を削減でき、ネットワークシステムにおける消費電力を削減することができる。

請求項 4、6 に記載の発明によれば、第 2 の合流部および第 2 の分流部を有しない構成に比べて、単項演算の場合に処理時間を短縮することができ、処理時間を従来と同等に維持または向上しつつ印加電圧を低減して、ネットワークシステムにおける消費電力を削減することもできる。

図面の簡単な説明

[0022] [図1]図 1 は本発明のネットワークシステムの実施例 1 の全体説明図である。

[図2]図 2 は実施例 1 の端末の機能説明図、いわゆる機能ブロック図である。

[図3]図 3 は実施例 1 のチップマルチプロセッサの機能ブロック図である。

[図4]図 4 は実施例 1 のデータ駆動型プロセッサのアーキテクチャの説明図であり、機能ブロック図である。

[図5]図 5 は実施例 1 のデータ駆動型プロセッサの回路への実装の説明図であり、自己同期式エラスティックパイプラインの説明図である。

[図6]図 6 は実施例 1 の電圧設定テーブルの一例の説明図である。

発明を実施するための形態

[0023] 次に図面を参照しながら、本発明の実施の形態の具体例（以下、実施例と記載する）を説明するが、本発明は以下の実施例に限定されるものではない。

なお、以下の図面を使用した説明において、理解の容易のために説明に必要な部材以外の図示は適宜省略されている。

実施例 1

[0024] 図1は本発明のネットワーキングシステムの実施例1の全体説明図である。

図1において、本発明の実施例1の超低消費電力化ネットワーキングシステムSは、複数の端末T1～T4を有する。実施例1の超低消費電力ネットワーキングシステムSでは、端末T1～T4の無線通信により形成される自律分散型通信網、いわゆる、アドホックネットワーク (Ad hoc Network) Nが採用されており、データの一例としての音声データや動画データ（例えば、災害現場のライブ中継映像等）がストリーミング配信可能である。また、実施例1の各端末T1～T4は、アドホックネットワーク通信機能を有する情報処理装置（いわゆるPC：パーソナルコンピュータ、ノート型PCまたはデスクトップ型PC）や、携帯型情報端末（いわゆるPDA：Personal Digital Assistant）、携帯型音楽再生装置、携帯電話、あるいは、通信機能を有する携帯型ゲーム機等により構成することが可能である。

[0025] 図2は実施例1の端末の機能説明図、いわゆる機能ブロック図である。

図2において、実施例1の端末T1～T4の一例であって、過負荷を回避する超低消費電力化データ駆動ネットワーキング処理装置の一例としての携帯電話11は、他の端末T1～T4との間でデータの送受信を行う通信手段12と、前記通信手段12と接続されてデータが分割されたパケットの送受信を行うオフローディングインターフェース13と、前記オフローディングインターフェース13と電氣的に接続されて携帯電話11に内蔵されたカメラや表示画面11aの制御や、入力キー11bからの入力の処理等を行うアプリケーションプロセッサ14と、前記オフローディングインターフェース13と電氣的に接続されて通信処理等のデータ処理を行うチップマルチプロセッサ16と、前記チップマルチプロセッサ16に対する電源供給を制御する電源制御手段17と、を有する。そして、実施例1の携帯電話11では、前記通信手段12に対して、過負荷回避手段の一例としての受入制御手段18と、出力制御手段の一例としての再送信制御手段19から制御信号が入力

される。

なお、実施例１では、前記チップマルチプロセッサ１６は、超低消費電力化データ駆動型チップマルチプロセッサ、ULP-DDCMP: Ultra Low Power - Data Drive Chip Multi Processorにより構成されている。また、実施例１のチップマルチプロセッサ１６では、通信規約の一例としてのUDP/IP (User Datagram Protocol / Internet Protocol) の処理を行っているが、これに限定されず、従来公知の通信規約（例えば、TCP/IP: Transmission Control Protocol / Internet Protocol）等を使用することも可能である。

[0026] 図３は実施例１のチップマルチプロセッサの機能ブロック図である。

図３において、実施例１のチップマルチプロセッサ１６は、データ駆動型プロセッサにより構成されたプロセッサコア２１と、各プロセッサコア２１どうしを接続して情報の送受信を行うコア間を接続する手段の一例としてのコア間接続ネットワーク２２ (Interconnection Network) とを有する。実施例１のコア間接続ネットワーク２２は、各プロセッサコア２１に対して送受信されるパケットを、パケットの送信先に転送するトークンルータにより構成されている。

[0027] 図４は実施例１のデータ駆動型プロセッサのアーキテクチャの説明図であり、機能ブロック図である。

図４に示す実施例１のプロセッサコア２１のアーキテクチャの説明図において、実施例１のプロセッサコア２１は、いわゆる循環型のパイプライン構造を有している。

実施例１の循環型のパイプライン構造では、コア間接続ネットワーク２２から出力されたパケットは、第１の合流部 (M: Merge) ３１に入力される。

第１の合流部３１に入力されたパケットは、発火制御部 (FC: Firing Control) ３２に送信され、発火制御部３２は、命令実行に必要なパケットが全て受信されたか否かを判別することにより、発火条件が成立したか否かを判別する。

[0028] 発火制御部 32 で発火条件が成立した場合には、第 2 の合流部 (MB: Merge for Bypass) 33 にデータが送信される。

第 2 の合流部 33 に入力されたパケットは、命令フェッチ部 (IF: Instruction Fetch) 34 に入力され、入力されたパケットの命令をフェッチ、すなわち、命令を読み出す。

命令フェッチ部 34 で処理されたパケットは、命令デコード部 (ID: Instruction Decode) 36 に入力されて、命令の解析、制御信号の生成が行われる。

命令デコード部 36 で処理されたパケットは、データ処理部 (演算部、EX: Execution) 37 において命令が処理される。

データ処理部 37 で処理されたパケットは、メモリアクセス部 (MA: Memory Access / WB: Write Back) 38 において、メモリ (レジスタ) への書き込みと読み出しが行われる。

[0029] メモリアクセス部 38 で処理されたデータは、第 2 の分流部 (BB: Branch for Bypass) 39 において、データが単項演算の対象であるか多項演算の対象であるかが判別され、単項演算の対象であり且つ再度データ処理部 37 でデータ処理が必要な場合 (例えば、 n 回繰り返しのデータ処理で、データ処理が全て終了していない場合) には、第 2 の合流部 33 にデータが送信される。なお、実施例 1 では、パケットのヘッダーに、データが単項演算の対象か多項演算の対象かを判別する識別情報が付加されており、例えば、識別情報「0」が単項演算、「1」が多項演算と設定されている場合には、1 bit の識別情報に基づいて、単項演算か否かが判別可能である。なお、単項演算は、代表的な例としては、インクリメント (変数 n に +1 を加算する処理) やデクリメント (変数 n に -1 を減算する処理)、べき乗や累乗等の入力変数が 1 つの演算処理があり、多項演算の代表的な例としては、2 つの入力値 n 、 m について、 $n + m$ や $n - m$ といった入力変数が 2 つ以上の演算処理が挙げられる。

[0030] 前記第 2 の分流部 39 において、第 2 の合流部 33 に送信されなかったパ

ケットは、第1の分流部（B：Branch）41において、再度データ処理が必要な多項演算のデータであるか否かが判別され、プロセッサコア21内でのデータ処理が終了している場合は、プロセッサコア21からコア間接続ネットワーク22に送信され、データ処理が必要な場合は、第1の合流部31に送信される。

すなわち、実施例1のプロセッサコア21では、従来のデータ駆動型のプロセッサに設けられていない第2の合流部33および第2の分流部39が設けられており、単項演算に関しては、発火制御部32を介さずに、命令フェッチ部34における処理が実行される。

[0031] 図5は実施例1のデータ駆動型プロセッサの回路への実装の説明図であり、自己同期式エラスティックパイプラインの説明図である。

図5において、実施例1の各プロセッサコア21は、自己同期式エラスティックパイプラインによるパイプライン構造を有している。実施例1のプロセッサコア21は、前記発火制御部32等の機能ブロック上（アーキテクチャ上）のパイプラインステージ31～41に対応する複数のパイプラインステージ51を有する。

[0032] 図5において、各パイプラインステージ51は、パケットの流れに沿って上流側のパイプラインステージ51から送信されたパケットに基づいて各パイプラインステージ51の処理を実行する論理回路（LC：Logic Circuit）52と、論理回路52に接続され且つ論理回路52で処理されたパケットを保持するデータラッチ（DL：Data Latch）53と、データラッチ53へ同期信号（クロック信号、トリガー信号）を供給する自己同期式転送制御機構（STCM：Self-timed Transfer Control Mechanism）54とを有する。

[0033] なお、実施例1の自己同期式転送制御機構54は、前記特許文献3（特開2010-20598号公報）と同様に構成されており、各データラッチ53に対応して設けられたデータ転送制御回路の一例としてのC素子（Coincidence Element）54aと、各論理回路52におけるパケット処理時間を保証する遅延素子（Delay Element）54bとを有する。なお、実施例1の自己同

期式転送制御機構 5 4 の動作、制御に関しては、前記特許文献 3（特開 2 0 1 0 - 2 0 5 9 8 号公報）に記載されているように公知であるため、詳細な説明は省略する。なお、コア間接続ネットワーク 2 2 にも自己同期式転送制御機構 5 4 を採用する構成も、特許文献 3 と同様であるため、詳細な説明は省略する。

[0034] 前記論理回路 5 2 およびデータラッチ 5 3 には、駆動用の駆動電圧を供給する電源供給線 5 6 が接続されている。前記電源供給線 5 6 は、論理回路 5 2 で処理を実行する際に必要な駆動電圧（正電圧、ドレイン電圧、駆動電力） V_{dd} を供給する駆動電圧線 5 6 a と、論理回路 5 2 で処理を実行せず且つデータラッチ 5 3 でパケットデータを保持するのに十分で駆動電圧 V_{dd} よりも低い電圧である最低電圧（最低電力、データ保持用電力） V_{min} を供給する最低電圧線 5 6 b と、負電圧（ソース電圧、基準電圧、例えば接地：アース） V_{ss} を供給する負電圧線 5 6 c とを有し、各電圧線 5 6 a ~ 5 6 c には、各パイプラインステージ 1 1 毎に、電圧供給の接続、切り離しを切り替える切り替え素子の一例としてのパワースイッチ（P S）5 6 d が設けられている。すなわち、前記パワースイッチ 5 6 d を制御することで、各論理回路 5 2 およびデータラッチ 5 3 に駆動電圧 V_{dd} や最低電圧 V_{min} を供給したり、電圧供給をオフにすることができる。

[0035] 前記電源供給線 5 6 には、電源回路 5 7 が接続されており、前記各電圧 V_{dd} 、 V_{min} 、 V_{ss} を供給する。なお、前記電源回路 5 7 には、前記電源制御手段 1 7 が接続されており、駆動電圧 V_{dd} は、電源制御手段 1 7 により可変の電圧値に制御される。

電源供給線 5 6 には、検流計 5 8 が接続されており、図示しない A D C（アナログデジタルコンバータ）を介して、電源供給線 5 6 における消費電流 I_{ss} が電源制御手段 1 7 の消費電流検出手段 1 7 a により検出される。なお、実施例 1 では、各プロセッサコア 2 1 のそれぞれの消費電流 I_{ss} が、電源制御手段 1 7 で検出される。

[0036] 実施例 1 の電源制御手段 1 7 は、Q o S 設定記憶手段 1 7 b を有し、Q o

S設定記憶手段17bは、QoS: Quality of Serviceの設定を記憶する。実施例1のQoS設定記憶手段17bは、プロセッサコア21における処理が、処理速度を低下させても省電力を優先する「省電力優先」であるか、省電力よりも処理速度を優先する「速度優先」であるかを記憶する。なお、実施例1では、QoSの設定は、端末11のアプリケーションプロセッサ14あるいはプロセッサコア21から設定、変更可能に構成されている。

[0037] 図6は実施例1の電圧設定テーブルの一例の説明図である。

電源制御手段17の電圧設定テーブル記憶手段17cは、消費電流 I_{ss} に基づいて、プロセッサコア21に印加される駆動電圧 V_{dd} の設定を行う際に参照する電圧設定テーブルが記憶されている。前記電圧設定テーブルは、予め実験等により、消費電流 I_{ss} およびQoSに対して、最適な駆動電圧 V_{dd} が導出、選択されており、消費電流 I_{ss} と駆動電圧 V_{dd} との関係がテーブルとして記憶されている。図6において、消費電流 I_{ss} が0より大きく、予め設定された閾値 α_1 以下である場合には、「省電力優先」の場合には、駆動電圧 V_{dd} として、 V_1 が設定され、「速度優先」の場合には、 V_1' ($> V_1$) が設定されている。同様にして、消費電流 I_{ss} が $\alpha_1 \sim \alpha_2$ である場合には、「省電力優先」の場合に、 V_2 ($> V_1'$) が設定され、「速度優先」の場合には、 V_2' ($> V_2$) が設定されている。

[0038] 図5において、電源制御手段17の電圧設定手段17dは、前記消費電流 I_{ss} に基づいて、前記プロセッサコア21におけるデータ処理の負荷（処理能力、スループット）に応じた電圧に、駆動電圧 V_{dd} を設定する。具体的には、実施例1の電圧設定手段17は、消費電流検出手段17aで取得した消費電流 I_{ss} と、QoS記憶手段17bに記憶されたQoSの設定とに基づいて、電圧設定テーブル記憶手段17cに記憶された電圧設定テーブルを参照して、駆動電圧 V_{dd} が設定される。

なお、実施例1の電源制御手段17は、電圧設定手段17dで駆動電圧 V_{dd} が設定された場合、現在の駆動電圧から設定された目標の駆動電圧 V_{dd} に向けて、フィードバック制御の一例としてのPID制御（Proportional

Integral Differential) により、目標の駆動電圧値 V_{dd} に集束するように電源回路 57 を制御する。

[0039] (受入制御手段の説明)

図 2 において、実施例 1 の受入制御手段 18 は、前記消費電流検出手段 17 a と同様に構成された消費電流検出手段 18 a と、受入閾値記憶手段 18 b と、過負荷判別手段 18 c とを有する。

受入閾値記憶手段 18 b は、オフローディングインターフェース 13 からパケットの入力を受け入れるか、拒否するかを判別するための閾値 I_1 を記憶する。実施例 1 の閾値 I_1 は、各プロセッサコア 21 における負荷が過負荷である場合の消費電流 I_{ss} が、実験等により予め測定され、設定されている。

[0040] 実施例 1 の過負荷判別手段 18 c は、実験などで、消費電流 I_{ss} とデータ処理の負荷の関係を特定する関数が予め導出されており、消費電流 I_{ss} に基づいて、パケットを入力した場合に、データ処理の状態が過負荷の状態になり得るか否かを判別する。実施例 1 の過負荷判別手段 18 c は、消費電流検出手段 18 a で取得した消費電流 I_{ss} に基づいて、パケットを受け入れると過負荷の状態となるか否かを判別する。具体的には、消費電流 I_{ss} が受入閾値 I_1 以上になるか否か、すなわち、 $I_{ss} \geq I_1$ であるか否かを判別し、受入閾値 I_1 以上になると過負荷の状態になると判別する。実施例 1 の受入制御手段 18 は、過負荷判別手段 18 c で過負荷状態と判別されると、通信手段 12 におけるパケットの受信を停止し、端末 T1 ~ T4 に転送されたパケットは無視される。

[0041] (再送信制御手段の説明)

前記再送信制御手段 19 は、前記消費電流検出手段 17 a と同様に構成された消費電流検出手段 19 a と、再送信閾値記憶手段 19 b と、再送信情報判別手段 19 c と、再送信判別手段 19 d とを有し、高負荷状態と判別される場合に、パケットの再送信を停止する制御を行う。

再送信閾値記憶手段 19 b は、消費電流に基づきパケットを再送信するか

しないかを判別するための閾値 I_2 を記憶する。実施例 1 の閾値 I_2 は、チップマルチプロセッサ 16 における負荷が高負荷である場合の消費電流 I_{ss} が、実験等により予め測定され、設定されている。すなわち、ノードとしての携帯電話 11 における負荷が高負荷であるか否かを判別するための閾値 I_2 が記憶されている。

[0042] 再送信情報判別手段 19c は、パケットが、再送信される情報であるか否かを判別する。なお、パケットが再送信されるものか否かは、例えば、パケットのヘッダに含まれるデータを特定する ID を参照したり、特許文献 4 に記載されているように、開始ノード ID とメッセージ ID とから判別することも可能であり、従来公知の種々の構成を採用可能であるため、詳細な説明は省略する。

[0043] 再送信判別手段 19d は、消費電流 I_{ss} に基づいて、再送信を行うか否かを判別する。実施例 1 の再送信判別手段 19d は、消費電流検出手段 19a で取得した消費電流 I_{ss} と、再送信閾値記憶手段 19b に記憶された閾値 I_2 と、再送信情報判別手段 19c での判別結果と、に基づいて、出力されるパケットが、再送信情報であり且つ消費電流 I_{ss} の合計が閾値 I_2 よりも大きい場合には、自ノードが高負荷状態であると判別して、パケットの再送信を停止、抑制する。なお、再送信を停止、抑制する方法としては、特許文献 4 記載のパケット数に基づく LDPF (Load-aware Dynamic Probabilistic Flooding) 方式および LDCF (Load-aware Dynamic Counter-based Flooding) 方式において、パケット数ではなく消費電流 I_{ss} を使用することで実現が可能である。なお、LDPF 方式および LDCF 方式については、特許文献 4 に記載されており公知であるため、詳細な説明は省略する。

[0044] (実施例 1 の作用)

前記構成を備えた実施例 1 の超低消費電力化ネットワークシステム S では、アドホックネットワーク N が採用されており、サーバーやアクセスポイント等の大規模で常時電力を消費して、消費電力が多くなるインフラストラクチャーが必要なネットワークに比べて、端末 T1 ~ T4 間の無線通信で

サーバー等が必要ない。したがって、低消費電力化することができる。また、実施例1の超低消費電力化ネットワーキングシステムSでは、データ駆動型のプロセッサコア21を有しており、常時パケットの受信を待機して電力を消費するプロセッサに比べて、パケットを受信した場合に受信したパケットに応じて処理を行うため、電力消費が低減されている。

[0045] さらに、実施例1のネットワーキングシステムSでは、データ駆動型プロセッサであるプロセッサコア21における処理が過負荷になる前に、受入制御手段18等により、パケットの受入が拒否される。したがって、プロセッサコア21における処理が過負荷になることが回避され、処理が滞ることが回避されると共に、処理待ちのパケットを受け入れて記憶しておく従来の構成に比べて、パケットを記憶しておくのに必要な電力を削減することができ、省電力化することが可能である。また、実施例1のネットワーキングシステムSでは、過負荷状態になる前にパケットの受入が拒否されるため、プロセッサコア21における負荷のマージンを限界まで減らすことができ、オーバーヘッドを最小化でき、効率化することができる。したがって、特許文献4記載の技術のように、過負荷を防止するために、マージンを確保する必要がある技術に比べて、同じ消費電力における情報処理量を大きくすることができ、単位情報量当たりの消費電力を低減することができる。

[0046] また、実施例1のネットワーキングシステムSでは、同一の情報の出力が行われる場合には、再送信制御手段19等により、消費電流に基づいて、自ノードが高負荷の状態であれば、出力が抑制される。したがって、重複する情報を何度も他のノードに再送信するという非効率な処理を抑制することができ、ネットワークNのトラフィックを低減することができる。よって、単純フラッディングでは、情報どうしの衝突等の原因で高い電力を使用しながらも全てのノードに情報を到達させることが困難であったが、無駄な重複再送信が低減され、トラフィックが低減された実施例1では、可能な限り多くのノードに情報を届けることが可能となる。

[0047] 特に、実施例1では、消費電流 I_{ss} に基づいて、再送信の抑制の制御を

行っている。すなわち、特許文献3に記載されているように、自己同期式エラスティックパイプラインで実現されるデータ駆動型プロセッサでは、プロセッサコア21におけるスループット（処理速度、単位時間当たりの処理量、負荷）と消費電流とは、強い相関があり、具体的には比例関係にある。これは、自己同期式エラスティックパイプラインで実現されたデータ駆動プロセッサでは、有効なデータが存在するパイプライン段のみが駆動されるためである。したがって、データ駆動型プロセッサ外部で消費電流を計測すれば、データ駆動型プロセッサ内部の負荷を観測できる。すなわち、可観測性を備える。これに対して、特許文献4記載の技術のように、パケット数に基づいて負荷を判定する場合、パケットに分割されたデータの大きさによって、処理にかかる時間が異なってくるため、処理負荷とは、消費電力ほど相関は強くない。したがって、パケット数に基づいて負荷を判断する特許文献4記載の技術では、負荷の判別の精度に限界があるが、実施例1のネットワーキングシステムSでは、消費電流に基づいて負荷の判別を行っており、精度が向上しており、より効率的な処理を行うことができる。したがって、特許文献4に比べて、効率的な処理で電力消費を低減しつつ、より多くのノードに情報を届けることが可能である。

[0048] また、実施例1のネットワーキングシステムSでは、消費電流すなわち負荷に基づいて、駆動電圧 V_{dd} を変更しており、負荷に応じた電力消費となっており、無駄な電力消費を低減することができる。これは、データ駆動プロセッサを実現する自己同期式エラスティックパイプラインの可制御性によるものである。すなわち、自己同期式エラスティックパイプラインの実現にはPLL（Phase-Locked Loop）などの特殊な回路は不要であり、自己同期式エラスティックパイプラインは、標準的な論理ゲートのみで実現することで、駆動電圧 V_{dd} の変化に対して回路内の遅延を同比率で変化させることができる。よって、駆動電圧 V_{dd} を変化させるのみで、回路の動作速度が変化し、結果、スループットを制御できる。

[0049] 特に、スループット（単位時間当たりの処理データ量）は駆動電圧 V_{dd}

に比例するが、消費電力は、印加電圧である駆動電圧 V_{dd} の 2 乗に比例する。したがって、自己同期式エラスティックパイプラインで実現するデータ駆動プロセッサでは、単位時間当たりの処理データ量が少ない場合に、例えば、駆動電圧 V_{dd} を $1/2$ に減らすと、消費電力は V_{dd} の $(1/2)^2 = 1/4$ となり、効率的に省電力化が可能になっている。つまり、有効なデータが存在するパイプライン段のみが駆動される自己同期式エラスティックパイプラインで実現されたデータ駆動プロセッサに、目的の処理が要求するスループットを実現できる最低の V_{dd} を印加すれば、目的の処理に本質的に必要な電力のみを消費する超低消費電力化を実現できる。そのことに加えて、実施例 1 では、過負荷にならないようにパケットの受入が制御されており、電力消費が過剰になることが低減されており、過負荷になる場合に比べて、省電力化が図られている。

[0050] さらに、実施例 1 のネットワーキングシステム S では、パイプライン構造において、単項演算の場合には、第 2 の分流部 39 から第 2 の合流部 33 にデータが送信されており、いわゆる、バイパスが形成されている。よって、発火制御部 32 を介する従来のパイプライン構造に比べて、発火制御部 32 の分だけ、パイプラインステージを減らすことができる。すなわち、単項演算では、入力変数が 1 つであるため、多項演算のように 2 つ目の入力変数が入力されるまで発火制御部 32 で待つ必要が無く、命令フェッチ部 34 に送信可能であり、発火制御部 32 のステージを省略することが可能である。特に、UDP/IP 処理のプログラム例では、約 88% が単項演算であり、残りの約 12% の多項演算において、第 2 の合流部 33 と第 2 の分流部 39 の 2 ステージが増加しても、88% の処理において発火制御部 32 のパイプラインステージを迂回することになるので、全体として、処理を高速化することができる。

したがって、従来の構成に対して、同一の駆動電圧 V_{dd} において、処理時間を短縮することができるため、処理時間を従来と同様にすれば、駆動電圧 V_{dd} を低減することができる。したがって、実施例 1 のネットワーキン

グシステムでは、処理速度を従来と同等の速度に維持しつつ駆動電圧 V_{dd} を低減することもでき、電力消費を低減することができる。

[0051] (変更例)

以上、本発明の実施例を詳述したが、本発明は、前記実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内で、種々の変更を行うことが可能である。本発明の変更例 (H01) ~ (H07) を下記に例示する。

(H01) 前記実施例において例示したように、プロセッサコア 21 やコア間接続ネットワーク 22 において、パワースイッチを有する自己同期式エラスティックパイプラインを採用することを例示したが、これに限定されず、アプリケーションプロセッサ 14 やオフローディングインターフェース 13 も、プロセッサコア 21 等と同様に、自己同期式エラスティックパイプラインを採用することが望ましい。なお、アプリケーションプロセッサ 14 として、プロセッサコア 21 と同様のデータ駆動型プロセッサを使用した場合には、コア間接続ネットワーク 22 で接続可能となり、オフローディングインターフェース 13 を省略することも可能である。

[0052] (H02) 前記実施例において、パイプラインステージ 51 毎にそれぞれパワースイッチを設けたが、この構成に限定されず、複数個のパイプラインステージを一塊として、塊毎にパワースイッチを設けたり、プロセッサ単位、プロセッサクラスタ (プロセッサの固まり) 単位でパワースイッチを設けて制御することも可能である。

(H03) 前記実施例において、ネットワークとして、無線通信による自律分散型通信網を例示したが、この構成に限定されず、有線で接続された端末間の自律分散型通信網とすることも可能である。さらに、低消費電力化の観点から自律分散型通信網であることが望ましいが、自律分散型通信網以外の通信網とすることも可能である。

[0053] (H04) 前記実施例において、駆動電圧 V_{dd} を変化させる実施例を例示したが、この構成に限定されず、例えば、各パイプラインステージを構成する C

MOSトランジスタの基板バイアス電圧を制御することで、各パイプラインステージの論理回路の処理速度と消費電力を制御することも可能である。また、駆動電圧 V_{dd} が一定の場合でも、過負荷時のパケットの受入拒否や単項演算時のバイパスにより、従来技術に比べて低消費電力化の効果があるため、駆動電圧 V_{dd} を固定値とすることも可能である。

(H05) 前記実施例において、パケットの受入拒否や再送信の抑制を実行することが望ましいが、駆動電圧 V_{dd} の制御や単項演算時のバイパスにより、低消費電力化の効果があるため、受入拒否等を実行しない構成とすることも可能である。

[0054] (H06) 前記実施例において、単項演算時のバイパスは採用することが望ましいが、処理対象のデータに多項演算の方が多い場合や、バイパスしない方が処理時間が短いデータの取り扱いが多い場合には、パケットの受入拒否や再送信の抑制、駆動電圧 V_{dd} の制御でも低消費電力化の効果があるため、バイパスを採用しない構成とすることも可能である。

(H07) 前記実施例において、プロセッサコア21を複数有するチップマルチプロセッサの構成を例示したが、これに限定されず、プロセッサコア21の単体のみを有するプロセッサの構成とすることも可能である。

産業上の利用可能性

[0055] 前述の本願発明は、人の介入の有無によらず、データ通信を保証する必要がある場合に、M2M (machine-to-machine) ネットワークの通信基盤を実現することが期待できる。

したがって、地震や火山噴火、竜巻等の自然災害や航空機事故や発電所の事故等の大規模な事件・事故等が発生した場合等の、通信インフラストラクチャーが機能できない緊急時に携帯電話やスマートフォンのアドホックネットワークを構築して、緊急時の通信手段として、利用可能であり、これによる救命率の向上や減災が期待できる。

[0056] また、産業、防災・災害対策、防犯等に必要なデータ通信をマシン間で自動的に迅速に実現することが可能である。例えば、案内看板や消火設備等に

本願発明の構成を組み込むことで、ユーザの携帯電話で災害のモニタリングがされた場合に、案内看板や消火設備等とネットワークを構築して、案内看板に避難経路などのアナウンス（デジタルサイネージ）を行わせたり、消火設備等を自動的に作動させることも期待できる。

[0057] さらに、データ通信が保証されるM2Mネットワークは、人の立ち入りが困難な場所において、真価を発揮することが可能である。例えば、高層ビルの外壁や、水中や海底、極地等の低温な場所や、発電所や製鋼所の炉等の高温な場所や多湿の場所のような人の立ち入りが困難な場所では、電池交換や有線での給電が困難であり、消費電力が大きな機器は、長時間の使用が制限される。これに対して、本願発明では、人の立ち入りが困難な場所でも、例えば、太陽光発電のような比較的小容量の電力自給や空間送電による小容量の電力供給であっても動作が期待でき、且つ、輻輳の原因となる過負荷状態を回避することで高信頼性のデータの通信が実現可能である。また、例えば、環境情報（温度や湿度、ユーザの視聴覚情報、位置情報）を収集して、通信、放送可能なセンサネットワークを過負荷状態を回避し且つ低消費電力で構築も可能である。

[0058] さらに、今後、新興国の経済的な発展により、世界的なエネルギー危機が訪れることが予想されるが、本発明の超低消費電力化技術の実現により、エネルギー危機を乗り切る一助となることが期待される。

また、過疎地や新興国のような緊急時の連絡手段（防災無線設備）等の整備が十分でない国や地域において、携帯電話やアドホックモード付きのルータを展開することで、緊急時に救助連絡や安否情報を優先的に疎通させることが可能なネットワークを構築することも期待できる。

符号の説明

[0059] 17d…電圧設定手段、
17…電源制御手段、
18…過負荷制御手段、
19…出力制御手段、

2 1 …データ駆動型プロセッサ、
3 1 …第 1 の合流部、
3 1 ～ 4 1 , 5 1 …パイプラインステージ、
3 2 …発火制御部、
3 3 …第 2 の合流部、
3 4 …命令フェッチ部、
3 6 …命令デコード部、
3 7 …データ処理部、
3 8 …メモリアクセス部、
3 9 …第 2 の分流部、
4 1 …第 1 の分流部、
5 7 …電源回路、
I s s …消費電流、
S …ネットワーキングシステム、
V d d …電圧。

請求の範囲

- [請求項1] 処理されるデータが分割されたパケットに対して命令実行に必要なパケットが全て受信されたか否かを判別することにより発火条件が成立したか否かを判別する発火制御部と、前記発火条件が成立した場合に前記発火制御部から送信されたパケットに応じた処理を実行するデータ処理部と、を少なくとも有するデータ駆動型プロセッサと、
前記データ駆動型プロセッサに電力を供給する電源回路と、
前記データ駆動型プロセッサにおける消費電流に基づいて、前記データ駆動型プロセッサにおけるデータ処理の負荷が、データ処理が滞る過負荷状態になり得ると判別される場合に、端末に対するパケットの入力を拒否する過負荷回避手段と、
を備えたことを特徴とする過負荷を回避する超低消費電力化データ駆動ネットワーク処理装置。
- [請求項2] 前記データ駆動型プロセッサにおける消費電流に基づいて、前記データ駆動型プロセッサにおけるデータ処理の負荷が予め設定された高負荷状態よりも高いと判別される場合に、再送パケットの出力を停止する出力制御手段と、
を備えたことを特徴とする請求項1に記載の過負荷を回避する超低消費電力化データ駆動ネットワーク処理装置。
- [請求項3] 前記データ駆動型プロセッサにおける消費電流に基づいて、前記データ駆動型プロセッサに印加する電圧を、前記データ駆動型プロセッサにおけるデータ処理の負荷に応じた電圧に、設定する電圧設定手段と、
前記電源回路を制御して、前記データ駆動型プロセッサに印加する電圧を、前記電圧設定手段で設定された電圧に制御する電源制御手段と、
を備えたことを特徴とする請求項1または2に記載の過負荷を回避する超低消費電力化データ駆動ネットワーク処理装置。

[請求項4] 前記データ駆動型プロセッサに入力されるパケットと前記データ処理部で処理されたデータが合流する第1の合流部と、

前記第1の合流部から送信されたパケットまたはデータを受信する前記発火制御部と、

前記発火制御部から送信されたデータと前記データ処理部で処理されたデータが合流する第2の合流部と、

前記第2の合流部から送信されたデータに基づいて命令をフェッチする命令フェッチ部と、

前記命令フェッチ部から送信された命令の解析を行う命令デコード部と、

前記命令デコード部で解析された命令の処理を行う前記データ処理部と、

前記データ処理部で処理されたデータのメモリへの書き込みとメモリからの読み出しを行うメモリアクセス部と、

前記メモリアクセス部で書き込まれたデータに基づいて、前記データが単項演算であり且つ再度前記データ処理部で処理が必要な場合に、前記第2の合流部にデータを送信すると共に、前記データが多項演算である場合および前記データがデータ処理部での処理が必要ない場合に下流側の第1の分流部に送信する第2の分流部と、

前記第2の分流部から送信されたデータに基づいて、前記データが前記データ処理部で再度データ処理が必要なデータである場合に、前記第1の合流部にデータを送信すると共に、前記データが前記データ処理部でデータ処理が必要ない場合に、前記データ駆動型プロセッサから前記データを出力させる前記第1の分流部と、

を有するパイプラインステージ、

を備えたことを特徴とする請求項1ないし3のいずれかに記載の過負荷を回避する超低消費電力化データ駆動ネットワーキング処理装置。

[請求項5] 処理されるデータが分割されたパケットに対して命令実行に必要なパケットが全て受信されたか否かを判別することにより発火条件が成立したか否かを判別する発火制御部と、前記発火条件が成立した場合に前記発火制御部から送信されたパケットに応じた処理を実行するデータ処理部と、を少なくとも有するデータ駆動型プロセッサと、

前記データ駆動型プロセッサに電力を供給する電源回路と、

前記データ駆動型プロセッサにおける消費電流に基づいて、前記データ駆動型プロセッサに印加する電圧を、前記データ駆動型プロセッサにおけるデータ処理の負荷に応じた電圧に、設定する電圧設定手段と、

前記電源回路を制御して、前記データ駆動型プロセッサに印加する電圧を、前記電圧設定手段で設定された電圧に制御する電源制御手段と、

を備えたことを特徴とする過負荷を回避する超低消費電力化データ駆動ネットワーク処理装置。

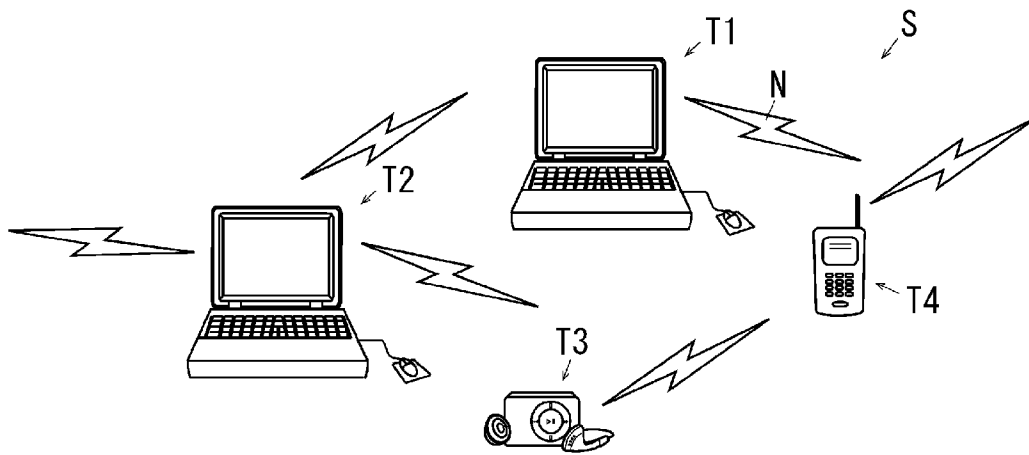
[請求項6] 処理されるデータが分割されたパケットが全て受信されたか否かを判別することにより発火条件が成立したか否かを判別する発火制御部と、前記発火条件が成立した場合に前記発火制御部から送信されたデータに応じた処理を実行するデータ処理部と、を少なくとも有するデータ駆動型プロセッサと、

前記データ駆動型プロセッサに入力されるパケットと前記データ処理部で処理されたデータが合流する第1の合流部と、前記第1の合流部から送信されたパケットまたはデータを受信する前記発火制御部と、前記発火制御部から送信されたデータと前記データ処理部で処理されたデータが合流する第2の合流部と、前記第2の合流部から送信されたデータに基づいて命令をフェッチする命令フェッチ部と、前記命令フェッチ部から送信された命令の解析を行う命令デコード部と、前記命令デコード部で解析された命令の処理を行う前記データ処理部と

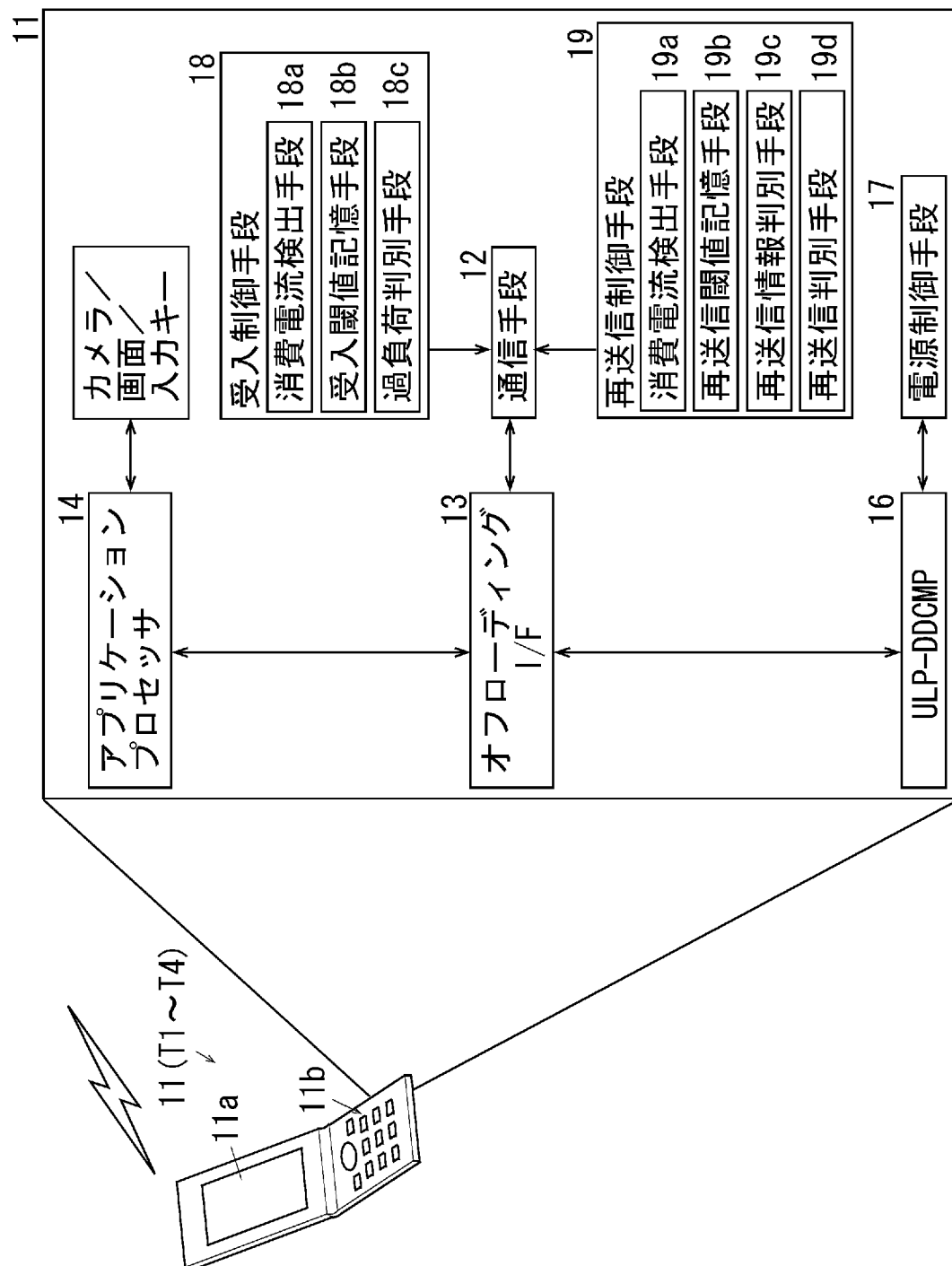
、前記データ処理部で処理されたデータのメモリへの書き込みとメモリからの読み出しを行うメモリアクセス部と、前記メモリアクセス部で書き込まれたデータに基づいて、前記データが単項演算であり且つ再度前記データ処理部で処理が必要な場合に、前記第2の合流部にデータを送信すると共に、前記データが多項演算である場合および前記データがデータ処理部での処理が必要ない場合に下流側の第1の分流部に送信する第2の分流部と、前記第2の分流部から送信されたデータに基づいて、前記データが前記データ処理部で再度データ処理が必要なデータである場合に、前記第1の合流部にデータを送信すると共に、前記データが前記データ処理部でデータ処理が必要ない場合に、前記データ駆動型プロセッサから前記データを出力させる前記第1の分流部と、を有するパイプラインステージと、

を備えたことを特徴とする過負荷を回避する超低消費電力化データ駆動ネットワーキング処理装置。

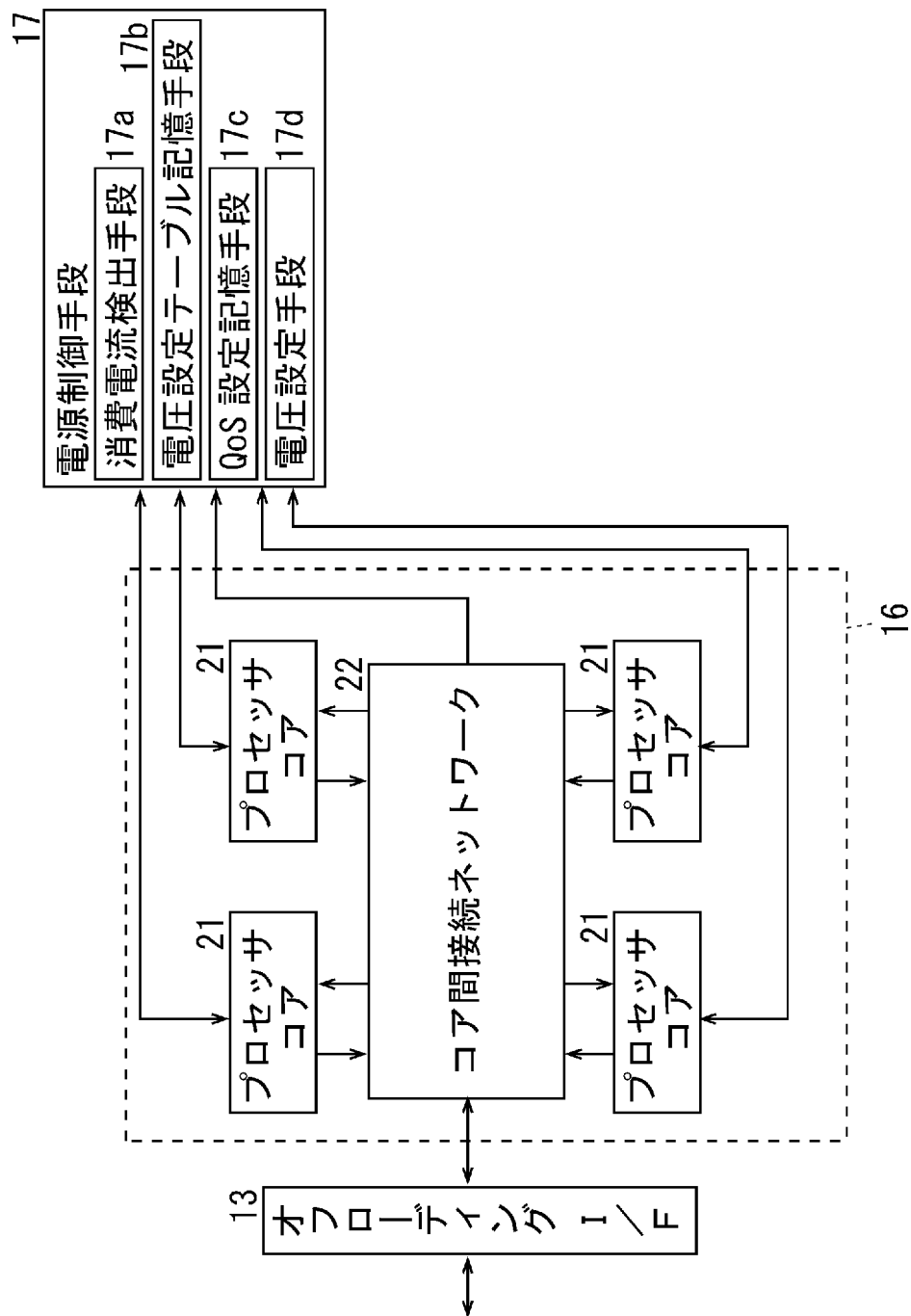
[図1]



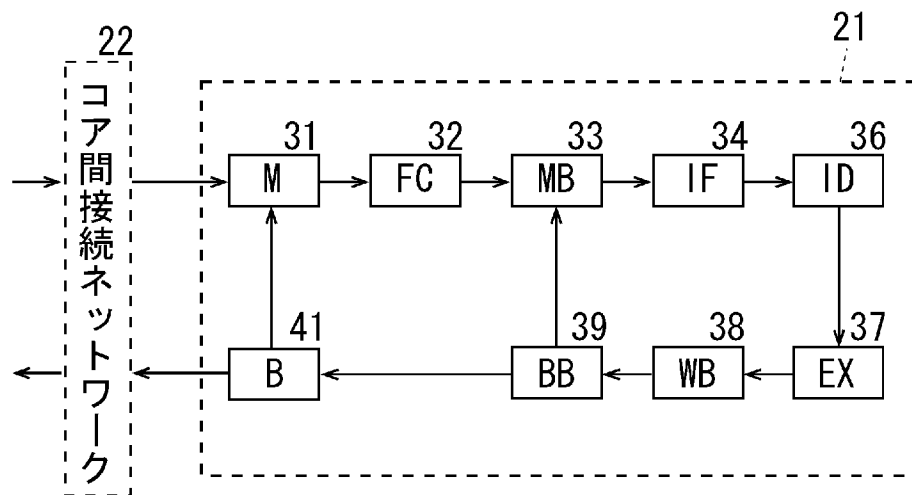
[図2]



[図3]



[図4]



[図6]

ISS							
$0 \sim \alpha_1$		$\alpha_1 \sim \alpha_2$			$\alpha_{n-1} \sim \alpha_n$		
	省電力 優先	速度 優先	省電力 優先	速度 優先		省電力 優先	速度 優先
Vdd	V_1	V_1'	V_2	V_2'		V_n	V_n'

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/004420

A. CLASSIFICATION OF SUBJECT MATTER

G06F15/82 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F15/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2010-20598 A (University of Tsukuba et al.), 28 January 2010 (28.01.2010), claims 1, 3; paragraphs [0034] to [0042]; fig. 3 (Family: none)	5 1-4, 6

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
07 September, 2012 (07.09.12)

Date of mailing of the international search report
18 September, 2012 (18.09.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F15/82 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F15/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2010-20598 A（国立大学法人筑波大学ほか）2010.01.28, 【請求項1】, 【請求項3】, 【0034】～【0042】, 【図3】（ファミリーなし）	5 1 - 4, 6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 9 . 2 0 1 2

国際調査報告の発送日

1 8 . 0 9 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田中 幸雄

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 4 5

5 B

9 1 9 1