(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3707709号

(P3707709)

(45)発行日　平成17年10月19日(2005.10.19)　(24)登録日　平成17年8月12日(2005.8.12)

(51)Int.Cl.[7]	F I		
G11C 11/417	G11C	11/34	305
G11C 11/401	G11C	11/34	A
G11C 11/41	G11C	11/34	371Z

請求項の数 4　(全 10 頁)

(21)出願番号　特願平8-300812
(22)出願日　平成8年10月28日(1996.10.28)
(65)公開番号　特開平10-134582
(43)公開日　平成10年5月22日(1998.5.22)
審査請求日　平成14年7月8日(2002.7.8)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100081938
弁理士　徳若　光政
(72)発明者　岩橋　誠之
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内
(72)発明者　藤村　康弘
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内
(72)発明者　日下田　恵一
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内

最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【特許請求の範囲】

【請求項１】

複数のワード線と複数の相補ビット線と、

上記複数のワード線と複数の相補ビット線との交点に設けられた複数のスタティック型メモリセルと、

上記相補ビット線を動作電圧の一方の電圧にプリチャージする第１のプリチャージ回路と、

上記複数の相補ビット線に対応してそれぞれ設けられ、上記ビット線のプリチャージ電圧によりオフ状態にされる第１導電型の第１のＭＯＳＦＥＴと、

上記第１のＭＯＳＦＥＴと上記プリチャージ電圧に対応した第１の電圧端子と出力線との間に直列形態に設けられ、対応する相補ビット線から読み出された信号に対応した比較すべき相補入力信号が交差的にゲートに供給された第１導電型の第２のＭＯＳＦＥＴと、

上記出力線を上記動作電圧の他方の電圧にプリチャージする第２のプリチャージ回路とを備え、

１つのワード線の選択動作により上記複数の相補ビット線に読み出された記憶情報と上記相補入力信号との全ビットの一致／不一致信号を上記出力線から得るようにした記憶及び比較回路を具備してなることを特徴とする半導体集積回路装置。

【請求項２】

複数のワード線と複数の相補ビット線と、

上記複数のワード線と複数の相補ビット線との交点に設けられた複数のスタティック型

メモリセルと、
上記相補ビット線を動作電圧の一方の電圧にプリチャージする第１のプリチャージ回路と、
上記複数の相補ビット線に対応してそれぞれソースが接続され、ゲートに対応する相補ビット線から読み出された信号に対応した比較すべき相補入力信号が交差して供給され、対とされるもののドレインが共通化され、上記ビット線のプリチャージ電圧によりオフ状態にされてなる第１導電型の第１のＭＯＳＦＥＴと、
上記一方の電圧端子にソースが供給され、上記対とされた第１のＭＯＳＦＥＴの共通化されたドレインと出力線との間にそれぞれ設けられた第１導電型の第２のＭＯＳＦＥＴと、
上記出力線を上記動作電圧の他方の電圧にプリチャージする第２のプリチャージ回路とを備え、
１つのワード線の選択動作により上記複数の相補ビット線に読み出された記憶情報と上記相補入力信号との全ビットの一致／不一致信号を上記出力線から得るようにした記憶及び比較回路を具備してなることを特徴とする半導体集積回路装置。
【請求項３】
上記第２のＭＯＳＦＥＴのドレインは、ロウレベルにプリチャージされるものであり、上記ドレイン出力は第２導電型の第３のＭＯＳＦＥＴのゲートに供給され、かかる第３のＭＯＳＦＥＴのドレインが上記出力線に接続され、第２のプリチャージ回路は、上記出力線を上記一方の電圧にプリチャージさせるものであることを特徴とする請求項２の半導体集積回路装置。
【請求項４】
上記記憶及び比較回路は、キャッシュメモリを構成するタグメモリであることを特徴とする請求項１又は請求項２の半導体集積回路装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、半導体集積回路装置に関し、主としてキャッシュメモリにおけるタグメモリに利用して有効な技術に関するものである。
【０００２】
【従来の技術】
キャッシュメモリは、大きくわけてキャッシュタグ（タグメモリ）と上記キャッシュデータメモリ及びキャッシュコントローラから構成される。上記キャッシュタグはアドレスタグと呼ばれるアドレスの一部を格納しており、キャッシュデータメモリはキャッシュタグに格納されているアドレスタグに対応するデータが格納されている。これにより、上記キャッシュタグに格納されているアドレスの一部が中央処理装置からのそれに対応するアドレスとが一致すると、キャッシュタグからヒット信号が出力されて、並行して選択されているキャッシュデータメモリから読み出されているデータが中央処理装置に取り込まれる。もしも、ミスヒットならメインメモリをアクセスすることとなる。
【０００３】
上記キャッシュタグとして、スタティック型メモリセルを用いたものがある。つまり、スタティック型メモリセルをマトリックス配置し、かかるメモリセルから相補ビット線に読み出された上記アドレスタグをセンスアンプで増幅し、かかる増幅出力と上記入力されたアドレスとを比較回路で比較し、上記ヒット又はミヒヒット信号を形成する。
【０００４】
【発明が解決しようとする課題】
上記のようなキャッシュタグでは、アドレスタグを構成する複数の各ビットに対応してセンスアンプを設けるものであるため、素子数が増大するとともに差動型のセンスアンプを用いるものであるために、動作状態において直流電流が流れるものであるために消費電流が増大してしまうという問題がある。

【０００５】
この発明の目的は、高集積化と低消費電力化を実現した記憶と比較回路を内蔵した半導体集積回路装置を提供することにある。この発明の他の目的は、高集積化と低消費電力化を実現したキャッシュメモリを備えた半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。
【０００６】
【課題を解決するための手段】
本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、複数のワード線と複数の相補ビット線との交点に複数のスタティック型メモリセルをマトリックス配置し、第１のプリチャージ回路により上記相補ビット線を動作電圧の一方の電圧にプリチャージし、上記複数の相補ビット線に対応して上記ビット線のプリチャージ電圧によりオフ状態にされる第１導電型の第１のＭＯＳＦＥＴと上記プリチャージ電圧に対応した第１の電圧端子と出力線との間に対応する相補ビット線から読み出された信号に対応した比較すべき相補入力信号が交差的にゲートに供給された第１導電型の第２のＭＯＳＦＥＴを直列形態に接続して比較部を構成し、上記出力線を第２のプリチャージ回路にて上記動作電圧の他方の電圧にプリチャージしておき、１つのワード線の選択動作により上記複数の相補ビット線に読み出された記憶情報と上記相補入力信号との全ビットを比較して上記出力線から一致／不一致信号を得るようにする。
【０００７】
【発明の実施の形態】
図１には、この発明の一実施例の要部回路図が示されている。同図の回路は、特に制限されないが、キャッシュメモリを構成する上記タグメモリ（キャッシュタグ）として用いられる。同図の各回路素子及び回路ブロックは、公知の半導体集積回路の製造方法により、図示しないキャッシュメモリを構成する他の回路ブロック及び必要に応じて搭載される他の回路ブロックとともに１つの単結晶シリコンのような半導体基板上において形成される。
【０００８】
同図には、ビット（ｂｉｔ）００について、１つのメモリセルＭＣ００、プリチャージ回路及び比較回路が代表として例示的に示されている。メモリアレイ全体は、特に制限されないが、ワード線の高速動作のために、ビット００からビット１７までと、ビット１８からビット３５までと２分割され、それぞれに一対からなるワード線駆動回路ＳＤＷ００～ＳＤＷ６３が設けられる。特に制限されないが、上記ワード線駆動回路ＳＤＷ００～ＳＤＷ６３を中心にして上記分割された２つのワード線を左右に振り分けて、均等に分割ワード線の選択動作が行われるようにしてもよい。ワード線の選択信号は、ｗ００からｗ６３の６４通りからなり、上記ワード線駆動回路ＳＷＤ００～ＳＷＤ６３の入力に供給される。以上により、６４ワード×３６ビットからなるメモリアレイが形成される。
【０００９】
代表として例示的に示されているメモリセルＭＣ００ように、ＰチャンネルＭＯＳＦＥＴとＮチャンネルＭＯＳＦＥＴからなる２つのＣＭＯＳインバータ回路の入力と出力とが互いに交差接続されてなるＣＭＯＳラッチ回路と、かかるＣＭＯＳラッチ回路の一対の入出力ノードと、相補ビット線Ｂ００，／Ｂ００との間に設けられたアドレス選択用のＮチャンネルＭＯＳＦＥＴから構成される。以下の図面において、ＰチャンネルＭＯＳＦＥＴは、そのゲート部分に丸印が付加されることにより、ＮチャンネルＭＯＳＦＥＴと区別される。また、記号／は、非反転と反転とからなる相補ビット線のうちの反転側を表し、論理記号のバー記号に対応したものである。
【００１０】
プリチャージ回路は、プリチャージ信号φeqを受ける３つのＰチャンネルＭＯＳＦＥＴから構成される。相補ビット線Ｂ００と／Ｂ００を短絡するＭＯＳＦＥＴ、上記相補ビット線相補ビット線Ｂ００と／Ｂ００にそれぞれ電源電圧ＶＣＣを供給する２つのＭＯＳＦ

ＥＴから構成される。これにより、プリチャージ信号φeqがロウレベルにされるプリチャージ期間において、上記相補ビット線Ｂ００と／Ｂ００とは、上記電源電圧ＶＣＣに等しくプリチャージされる。

【００１１】

ビット００に対応した比較回路は、Ｐチャンネル型ＭＯＳＦＥＴＱ１～Ｑ４の４つのＭＯＳＦＥＴから構成される。上記ＭＯＳＦＥＴＱ１とＱ３のソースは、上記電源電圧ＶＣＣに接続される。これら一対のＭＯＳＦＥＴＱ１とＱ３のゲートは、ビット線Ｂ００は／Ｂ００に接続される。上記ＭＯＳＦＥＴＱ１とＱ３にはそれぞれ直列形態にＭＯＳＦＥＴＱ２とＱ４が設けられる。これらのＭＯＳＦＥＴＱ２とＱ４のゲートには、比較すべき入力信号（コンペアデータ）ｃｄｉ００と／ｃｄｉ００とがインバータ回路を介して供給される。上記ＭＯＳＦＥＴＱ２とＱ４のドレインは、出力線に共通に接続される。上記のように比較すべき入力信号をインバータ回路を介して極性を反転させて、いわば交差的に比較入力とすることにより、不一致のときにＭＯＳＦＥＴＱ１とＱ２又はＱ３とＱ４との間で電流パスが形成され、一致のときにはＭＯＳＦＥＴＱ１とＱ２及びＱ３とＱ４には電流パスが形成されないようにするものである。

【００１２】

上記相補ビット線Ｂ００と／Ｂ００に読み出された信号がハイレベル／ロウレベルであり、上記コンペアデータｃｄｉ００と／ｃｄｉ００がハイレベル／ロウレベルの一致のとき、そのゲート電位がハイレベルとなるＰチャンネル型ＭＯＳＦＥＴＱ１とＱ４がオフ状態で、そのゲート電位がロウレベルとなるＰチャンネル型ＭＯＳＦＥＴＱ２とＱ３がオン状態となり、上記電流パスが形成されない。上記とは逆に、相補ビット線Ｂ００と／Ｂ００に読み出された信号がロウレベル／ハイレベルであり、上記コンペアデータｃｄｉ００と／ｃｄｉ００がロウレベル／ハイレベルの一致のときにも、上記とは逆にそのゲート電位がハイレベルとなるＰチャンネル型ＭＯＳＦＥＴＱ２とＱ３がオフ状態で、そのゲート電位がロウレベルとなるＰチャンネル型ＭＯＳＦＥＴＱ１とＱ４がオン状態となり、上記電流パスが形成されない。

【００１３】

上記相補ビット線Ｂ００と／Ｂ００に読み出された信号がハイレベル／ロウレベルであり、上記コンペアデータｃｄｉ００と／ｃｄｉ００がロウレベル／ハイレベルの不一致のとき、そのゲート電位がハイレベルとなるＰチャンネル型ＭＯＳＦＥＴＱ１とＱ２がオフ状態となり、そのゲート電位がロウレベルとなるＰチャンネル型ＭＯＳＦＥＴＱ３とＱ４がオン状態となって電流パスを形成する。上記とは逆に、相補ビット線Ｂ００と／Ｂ００に読み出された信号がハイレベル／ロウレベルであり、上記コンペアデータｃｄｉ００と／ｃｄｉ００がロウレベル／ハイレベルの一致のときにも、上記とは逆にそのゲート電位がハイレベルとなるＰチャンネル型ＭＯＳＦＥＴＱ３とＱ４がオフ状態となり、そのゲート電位がロウレベルとなるＰチャンネル型ＭＯＳＦＥＴＱ１とＱ２がオン状態となって上記電流パスを形成する。

【００１４】

上記の電流パスの有無に応じて出力信号を形成するために、上記出力線には、比較用のプリチャージ信号／φpcがインバータ回路を介してゲートに供給されるＮチャンネル型ＭＯＳＦＥＴが設けられる。このＭＯＳＦＥＴは、上記出力線のノードＡを回路の接地電位のようなロウレベルにプリチャージさせる。

【００１５】

これにより、上記電流パスが形成されると、上記ロウレベルにプリチャージされた出力線のノードＡの電位が電源電圧ＶＣＣのようなハイレベルにチャージアップされて不一致検出信号を形成するものである。上記のような比較回路は、上記ビット００と同様にビット０１からビット３５までにそれぞれ設けられ、上記出力線に共通に接続される。それ故、００から３５の３６ビットについて、１つでも不一致のものがあれば、上記比較回路にて電流パスが形成されて出力線をハイレベルにチャージアップさせるものである。上記全ビットにおいて全て一致なら、上記電流パスが形成されないから、出力線はロウレベルのプ

リチャージのままとされる。

【００１６】

出力線に設けられたインバータ回路Ｎ１は、そのロジックスレッショルド電圧により、出力線のハイレベル／ロウレベルを判定して比較結果を出力する。この信号は、ナンドゲート回路Ｇ１とＧ２からなるラッチ回路に保持され、インバータ回路Ｎ２を介して比較出力ＨｉＴｘｘとして出力される。この実施例を上記のようなタグメモリに適用した場合、ヒット／ミスヒット信号として出力されるものである。

【００１７】

上記比較回路は、ビット線Ｂ００と／Ｂ００が共に電源電圧ＶＣＣのようなハイレベルにプリチャージされている。そのため、相補ビット線Ｂ００と／Ｂ００のプリチャージ動作により、比較回路を構成するＭＯＳＦＥＴＱ１とＱ３は、共にオフ状態にされる。ワード線の選択動作により、相補ビット線に選択されたメモリセルが接続されると、相補ビット線Ｂ００か／Ｂ００のいずれか一方においてメモリセルを通して放電経路が形成されて上記プリチャージレベルから接地電位に向かってディスチャージが行われる。

【００１８】

例えば、上記メモリセルＭＣ００において、ビット線Ｂ００側にアドレス選択用ＭＯＳＦＥＴを介して出力端子が接続されたＣＭＯＳインバータ回路において、Ｐチャンネル型ＭＯＳＦＥＴがオフ状態でＮチャンネル型ＭＯＳＦＥＴがオン状態なら、かかるビット線Ｂ００はアドレス選択用ＭＯＳＦＥＴ、上記Ｎチャンネル型ＭＯＳＦＥＴを通してロウレベル側に引抜きが開始される。これに対して、ビット線／Ｂ００側にアドレス選択用ＭＯＳＦＥＴを介して出力端子が接続されたＣＭＯＳインバータ回路においては、上記とは逆にＰチャンネル型ＭＯＳＦＥＴがオン状態でＮチャンネル型ＭＯＳＦＥＴがオフ状態であるから、ビット線／Ｂ００の電位がリーク電流等により低下しようとすると上記Ｐチャンネル型ＭＯＳＦＥＴから電流供給がなされて上記ハイレベルを維持する。

【００１９】

上記のように相補ビット線Ｂ００の電位が、Ｐチャンネル型ＭＯＳＦＥＴＱ１のしきい値電圧以下に低下すると、ＭＯＳＦＥＴＱ１がオン状態にされて、コンペアデータに対応してＭＯＳＦＥＴＱ２がオン状態なら上記のように不一致信号を形成し、ＭＯＳＦＥＴＱ２がオフ状態なら、かかるビット００では上記不一致信号を形成する電流パスが形成されない。

【００２０】

このように、相補ビット線のプリチャージ電位を電源電圧ＶＣＣ側にプリチャージさせ、かかるプリチャージ電圧ではオフ状態にされるＭＯＳＦＥＴを用いて比較回路を構成することにより、相補ビット線の電位を従来のようにセンスアンプで増幅することなく、直接的に比較信号として用いことができる。この結果、センスアンプが省略できる分、大幅な回路素子数の低減と低消費電力化を図ることができるものとなる。

【００２１】

図２には、この発明に係る半導体集積回路装置に設けられる比較回路の他の一実施例の回路図が示されている。この実施例では、回路素子の低減を図るために、相補ビット線Ｂ０と／Ｂ０にＰチャンネル型ＭＯＳＦＥＴＱ１とＱ２のソースが接続される。これら一対のＭＯＳＦＥＴＱ１とＱ２のゲートには、交差的にコンペアデータｃｄｉと／ｃｄｉが供給される。つまり、非反転のビット線Ｂ０にソースが接続されたＭＯＳＦＥＴＱ１のゲートには、それとは逆に反転側のコンペアデータ／ｃｄｉが供給され、反転のビット線／Ｂ０にソースが接続されたＭＯＳＦＥＴＱ２のゲートには、それとは逆に非反転側のコンペアデータｃｄｉが供給される。上記一対のＭＯＳＦＥＴＱ１とＱ２のドレインは、共通接続されてＰチャンネル型ＭＯＳＦＥＴＱ３のゲートに伝えられる。このＭＯＳＦＥＴＱ３のソースは、上記同様に電源電圧ＶＣＣに接続され、ドレインが上記同様な出力線に接続される。

【００２２】

この構成では、ＭＯＳＦＥＴＱ１又はＱ２において、ビット線がロウレベルで、コンペア

データがロウレベルの組み合わせが不一致を検出する。この組み合わせにおいて、ＭＯＳＦＥＴＱ１又はＱ２がオン状態となるので、上記ビット線のロウレベルをＭＯＳＦＥＴＱ３のゲートに伝えて、出力線をハイレベルにチャージアップさせる電流経路を形成する。この構成では、ビット当たりの比較回路を構成するＭＯＳＦＥＴの数が３個と削減できるものである。

【００２３】

図３には、この発明に係る半導体集積回路装置に設けられる比較回路の他の一実施例の回路図が示されている。この実施例では、図２の実施例において、上記比較動作を行う一対のＭＯＳＦＥＴのドレイン側にＣＭＯＳインバータ回路が設けられる。プリチャージ動作のときに、かかるＣＭＯＳインバータ回路のＮチャンネル型ＭＯＳＦＥＴがオン状態となり、ロウレベルの出力信号を形成する。この出力信号をワイヤードオア論理のＮチャンネル型からなる入力ＭＯＳＦＥＴＱ１０のゲートに供給する。

【００２４】

各ビットの比較出力は、上記のようなＮチャンネル型ＭＯＳＦＥＴ１０、Ｑ１１、Ｑ１２等のゲートにそれぞれ供給される。これらのＭＯＳＦＥＴＱ１０、Ｑ１１、Ｑ１２等のソースは回路の接地電位に接続され、ドレインが出力線に接続される。出力線には、Ｐチャンネル型ＭＯＳＦＥＴＱ１３かなるプリチャージ回路が設けられる。この構成では、上記ＣＭＯＳインバータ回路での増幅動作が行われるので、一致／不一致出力を高速に得る場合に好適である。

【００２５】

図４には、この発明に係る半導体集積回路装置に設けられる比較回路の更に他の一実施例の回路図が示されている。この実施例では、図３の実施例において、上記比較動作を行う一対のＭＯＳＦＥＴのドレイン側に設けられたＣＭＯＳインバータ回路に代えて、Ｐチャンネル型ＭＯＳＦＥＴのドレイン側にＮチャンネル型ＭＯＳＦＥＴのプリチャージＭＯＳＦＥＴを設けるものである。このようにすることにより、動作の安定化を図ることができる。

【００２６】

図５には、この発明が適用されるキャッシュメモリにおけるデータメモリの一実施例のブロック図が示されている。同図のデータメモリは、６４ＫＷ×９ビットのＲＡＭを８個用いて、データＤ０～８とＤ９～Ｄ１７からなる合計１８ビットからなるデータを記憶するようにされる。９ビットのうちの１ビットはパリティビットとされ、パリティチェック回路ＰＣによりエラー検出が行われる。信号ＥＲＲＯＲはデータに誤りがあったときに出力される。

【００２７】

アドレス信号Ａ０～１７は、アドレスラッチ回路に取り込まれ、それをデコーダ回路により解読して６４ＫＷ×９ビットからなるＲＡＭ（メモリアレイ）のアドレス選択動作が行われる。入力データは、データラッチ回路を介してメモリアレイに書き込まれる。制御回路ＣＯＮＴは、出力イネーブル信号ＯＥと書込み信号ＷＥＨとＷＥＬにより、上位９ビット又は下位９ビットの単位での書込みが可能にされる。セレクタＳＥＬは、制御信号Ｒ０～１により選択されて上位９ビット又は下位９ビットの単位での読み出しが可能にされる。つまり、この実施例のデータメモリは、上位又は下位９ビット又は両方同時に１８ビットの単位でのメモリアクセスが可能にされる。このようなワード構成の切り替えに、上記モード切り替え信号Ｃとそれに対応されたアドレス信号が用いられる。

【００２８】

キャッシュメモリの全体は、前記説明したように大きくわけてキャッシュタグ（アドレスアレイ）と上記キャッシュデータメモリ及びキャッシュコントローラから構成される。このようなキャッシュメモリそのものは、公知であり、前記図１ないし図３にてキャッシュタグが示されているので、それに対応したデータメモリのみが例示的に示されている。すなわち、前記キャッシュタグにおいてはアドレスタグと呼ばれるアドレスの一部を格納しており、キャッシュデータメモリはキャッシュタグに格納されているアドレスタグに対応

するデータが格納されている。これにより、上記キャッシュタグに格納されているアドレスの一部が中央処理装置ＣＰＵからのそれに対応するアドレスとが一致すると、キャッシュタグからヒット信号が出力されて、並行して選択されているキャッシュデータメモリから読み出されているデータが中央処理装置ＣＰＵに取り込まれる。もしも、ミスヒットならメインメモリをアクセスすることとなる。

【００２９】

上記の実施例から得られる作用効果は、下記の通りである。

（１）　複数のワード線と複数の相補ビット線との交点に複数のスタティック型メモリセルをマトリックス配置し、第１のプリチャージ回路により上記相補ビット線を動作電圧の一方の電圧にプリチャージし、上記複数の相補ビット線に対応して上記ビット線のプリチャージ電圧によりオフ状態にされる第１導電型の第１のＭＯＳＦＥＴと上記プリチャージ電圧に対応した第１の電圧端子と出力線との間に対応する相補ビット線から読み出された信号に対応した比較すべき相補入力信号が交差的にゲートに供給された第１導電型の第２のＭＯＳＦＥＴを直列形態に接続して比較部を構成することにより、センスアンプを用いることなく、上記出力線を第２のプリチャージ回路にて上記動作電圧の他方の電圧にプリチャージしておき、１つのワード線の選択動作により上記複数の相補ビット線に読み出された記憶情報と上記相補入力信号との全ビットを比較して上記出力線から一致／不一致信号を得るようにすることができるという効果が得られる。

【００３０】

（２）　上記比較回路として、上記複数の相補ビット線に対応してそれぞれソースが接続され、ゲートに対応する相補ビット線から読み出された信号に対応した比較すべき相補入力信号が交差して供給され、対とれるもののドレインが共通化されてなる第１導電型の第１のＭＯＳＦＥＴに対して、上記一方の電圧端子にソースが供給され、上記対とされた第１のＭＯＳＦＥＴの共通化されたドレインと出力線との間に第１導電型の第２のＭＯＳＦＥＴを設けることにより、よりいっそうの回路の簡素化を図ることができるという効果が得られる。

【００３１】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、相補ビット線を回路の接地電位のようなロウレベルにプリチャージし、比較回路を構成するＭＯＳＦＥＴとしてＮチャンネル型ＭＯＳＦＥＴを用いるようにしてもよい。つまり、上記図１～図３の実施例のＭＯＳＦＥＴの導電型と電圧を逆に構成してもよい。図１において、インバータ回路Ｎ１を差動のセンスアンプに置き換えるようにするものであってもよい。この発明は、前記のようなキャッシュメモリにおけるキャッシュタグの他、連想メモリ又は内容読み出しメモリとしても同様に適用できるものである。このように本願発明に係る記憶と比較回路は、上記のような記憶データと入力データとを比較する機能を持つ各種半導体集積回路装置に広く利用できる。

【００３２】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、複数のワード線と複数の相補ビット線との交点に複数のスタティック型メモリセルをマトリックス配置し、第１のプリチャージ回路により上記相補ビット線を動作電圧の一方の電圧にプリチャージし、上記複数の相補ビット線に対応して上記ビット線のプリチャージ電圧によりオフ状態にされる第１導電型の第１のＭＯＳＦＥＴと上記プリチャージ電圧に対応した第１の電圧端子と出力線との間に対応する相補ビット線から読み出された信号に対応した比較すべき相補入力信号が交差的にゲートに供給された第１導電型の第２のＭＯＳＦＥＴを直列形態に接続して比較部を構成することにより、センスアンプを用いることなく簡単で低消費電力のともに、上記出力線を第２のプリチャージ回路にて上記動作電圧の他方の電圧にプリチャージしておき、１つのワード線の選択動作により上記複数の相補ビット線に読み出された記憶情報と上記相補入力信号と

の全ビットを比較して上記出力線から一致／不一致信号を得るようにすることができる。

【図面の簡単な説明】

【図１】この発明の一実施例を示す要部回路図である。

【図２】この発明に係る半導体集積回路装置に設けられる比較回路の他の一実施例を示す回路図である。

【図３】この発明に係る半導体集積回路装置に設けられる比較回路の他の一実施例を示す回路図である。

【図４】この発明に係る半導体集積回路装置に設けられる比較回路の更に他の一実施例を示す回路図である。

【図５】この発明が適用されたキャッシュメモリにおけるデータメモリの一実施例を示すブロック図である。

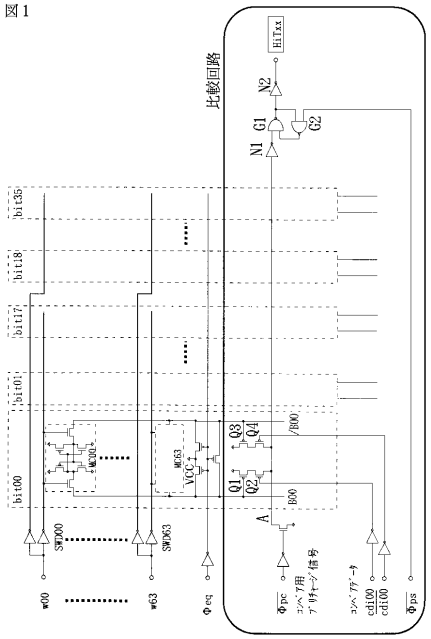
【符号の説明】

ｗ００～ｗ６３…ワード線選択信号、ＳＷＤ００～ＳＷＤ６３…ワード線駆動回路、ＭＣ００～ＭＣ６３…メモリセル、Ｂ００，／Ｂ００…相補ビット線、ｃｄｉ００，／ｃｄｉ００…コンペアデータ、Ｎ１，Ｎ２…インバータ回路、Ｇ１，Ｇ２…ゲート回路、Ｑ１～Ｑ１３…ＭＯＳＦＥＴ、

ＳＥＬ…セレクタ、ＰＣ…パリティチェック回路、ＣＯＮＴ…制御回路、

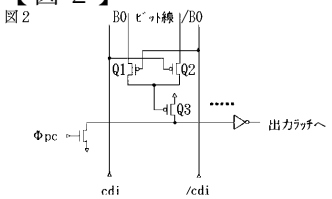
【図１】

図1



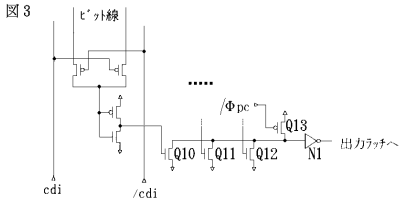
【図２】

図2



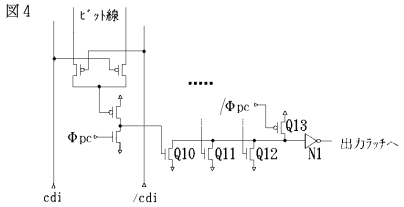
【図３】

図3



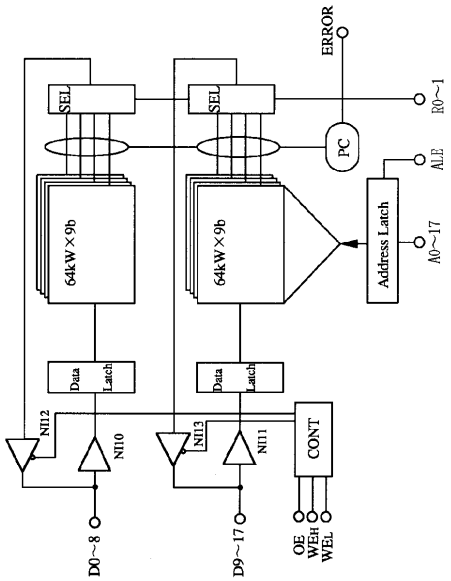
【図４】

図4



【図５】

図5


ERROR
SEL
SEL
R0~1
PC
ALE
64kW×9b
64kW×9b
Address Latch
A0~17
Data Latch
Data Latch
NI12
NI10
NI13
NI11
CONT
D0~8
D9~17
OE
WEH
WEL

フロントページの続き

審査官　石川　正二

(56)参考文献　特開平０２－２３５２９３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 11/417
G11C 11/401
G11C 11/41