

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3809750号
(P3809750)

(45) 発行日 平成18年8月16日(2006.8.16)

(24) 登録日 平成18年6月2日(2006.6.2)

(51) Int. Cl.		F I		
G 1 1 C	19/28	(2006.01)	G 1 1 C	19/28 D
G 1 1 C	19/00	(2006.01)	G 1 1 C	19/00 J
G O 9 G	3/20	(2006.01)	G O 9 G	3/20 6 2 3 H

請求項の数 11 (全 23 頁)

(21) 出願番号	特願平11-342885	(73) 特許権者	000001443
(22) 出願日	平成11年12月2日(1999.12.2)		カシオ計算機株式会社
(65) 公開番号	特開2001-160299(P2001-160299A)		東京都渋谷区本町1丁目6番2号
(43) 公開日	平成13年6月12日(2001.6.12)	(74) 代理人	100095407
審査請求日	平成16年4月14日(2004.4.14)		弁理士 木村 満
		(72) 発明者	両澤 克彦
			東京都八王子市石川町2951番地の5
			カシオ計算機株式会社 八王子研究所内
		(72) 発明者	神原 実
			東京都八王子市石川町2951番地の5
			カシオ計算機株式会社 八王子研究所内
		審査官	堀田 和義

最終頁に続く

(54) 【発明の名称】 シフトレジスタ及び電子装置

(57) 【特許請求の範囲】

【請求項1】

複数の段からなるシフトレジスタであって、前記シフトレジスタの各段は、
外部から制御端子に供給される第1または第2の信号によってオンし、隣接する一方の段から電流路の一端に供給された所定レベルの信号を電流路の他端に出力する第1のトランジスタと、

制御端子と前記第1のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、負荷を介して電流路の一端に供給される信号を電流路の他端から放出する第2のトランジスタと、

制御端子と前記第1のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、外部から電流路の一端に供給される第3または第4の信号を出力信号として電流路の他端から出力する第3のトランジスタと、

前記第2のトランジスタがオフしているときに負荷を介して制御端子に供給される信号によってオンし、外部から電流路の一端に供給される信号を出力信号として電流路の他端から出力する第4のトランジスタと、

制御端子が前記負荷と前記第2のトランジスタの間に接続され、前記第2のトランジスタがオフしているときにオンし、前記容量に蓄積された電荷を電流路の他端から放出する第5のトランジスタとを備え、

前記負荷は、

制御端子と電流路の一端とに外部からの信号が供給され、供給された信号を電流路の他

10

20

端に出力する第6のトランジスタと、

電流路の一端に前記外部からの信号が供給されると共に、制御端子に前記第6のトランジスタの電流路の他端から出力された信号が供給され、制御端子に供給された信号によってオンすることにより、電流路の一端に供給された信号を電流路の他端から出力して、前記第2のトランジスタの電流路の一端に供給する第7のトランジスタとを備えている

ことを特徴とするシフトレジスタ。

【請求項2】

前記第1のトランジスタの電流路の他端と前記容量との間に設けられ、前記容量の電圧を分圧させて、前記第1のトランジスタの電流路の両端にかかるようにする第1の分圧素子をさらに備える

10

ことを特徴とする請求項1に記載のシフトレジスタ。

【請求項3】

前記第5のトランジスタの電流路の一端と前記容量との間に設けられ、前記容量の電圧を分圧させて、前記第5のトランジスタの電流路の両端にかかるようにする第2の分圧素子をさらに備える

ことを特徴とする請求項1または2に記載のシフトレジスタ。

【請求項4】

前記シフトレジスタの奇数番目の段には、第3、第4の信号のうちの第3の信号が外部から供給され、

前記シフトレジスタの偶数番目の段には、第3、第4の信号のうちの第4の信号が外部から供給され、

20

第3、第4の信号はそれぞれ、前記シフトレジスタの出力信号をシフトしていくタイムスロットのうちの所定期間、タイムスロット毎に交互に駆動レベルとなる

ことを特徴とする請求項1乃至3のいずれか1項に記載のシフトレジスタ。

【請求項5】

前記第1、第2の信号は、それぞれ前記第3、第4の信号が駆動レベルとなっている間の一定期間オンレベルとなる

ことを特徴とする請求項4に記載のシフトレジスタ。

【請求項6】

前記複数の段のそれぞれを構成する各トランジスタは、同一のチャンネル型の電界効果トランジスタである

30

ことを特徴とする請求項1乃至5のいずれか1項に記載のシフトレジスタ。

【請求項7】

複数の段からなり、出力信号をシフトさせることによって所定レベルの信号を各段から順次出力するドライバと、複数の画素によって構成され、前記ドライバの各段から出力された出力信号によって駆動される駆動素子とを備え、

前記ドライバの各段は、

外部から制御端子に供給される第1または第2の信号によってオンし、隣接する一方の段から電流路の一端に供給された所定レベルの信号を電流路の他端に出力する第1のトランジスタと、

40

制御端子と前記第1のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、負荷を介して電流路の一端に供給される信号を電流路の他端から放出する第2のトランジスタと、

制御端子と前記第1のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、外部から電流路の一端に供給される第3または第4の信号を出力信号として電流路の他端から出力する第3のトランジスタと、

前記第2のトランジスタがオフしているときに負荷を介して制御端子に供給される信号によってオンし、外部から電流路の一端に供給される信号を出力信号として電流路の他端から出力する第4のトランジスタと、

制御端子が前記負荷と前記第2のトランジスタの間に接続され、前記第2のトランジスタ

50

タがオフしているときにオンし、前記容量に蓄積された電荷を電流路の他端から放出する第5のトランジスタとを備え、

前記負荷は、

制御端子と電流路の一端とに外部からの信号が供給され、供給された信号を電流路の他端に出力する第6のトランジスタと、

電流路の一端に前記外部からの信号が供給されると共に、制御端子に前記第6のトランジスタの電流路の他端から出力された信号が供給され、制御端子に供給された信号によってオンすることにより、電流路の一端に供給された信号を電流路の他端から出力して、前記第2のトランジスタの電流路の一端に供給する第7のトランジスタとを備えている

ことを特徴とする電子装置。

10

【請求項8】

前記駆動素子は、撮像素子である

ことを特徴とする請求項7に記載の電子装置。

【請求項9】

前記撮像素子は、励起光によりキャリアを生成する半導体層と、前記半導体層の両端にそれぞれ接続されたドレイン電極及びソース電極と、第1ゲート絶縁膜を介して前記半導体層の一方側に設けられた第1ゲート電極と、第2ゲート絶縁膜を介して前記半導体層の他方側に設けられた第2ゲート電極とを、画素毎に備え、

前記ドライバは、出力信号を第1のゲート電極に出力する第1のドライバと、出力信号を第2のゲート電極に出力する第2のドライバとを含む

20

ことを特徴とする請求項7または8に記載の電子装置。

【請求項10】

前記駆動素子は、表示素子である

ことを特徴とする請求項7に記載の電子装置。

【請求項11】

前記表示素子は、制御端子に前記ドライバの各段のいずれかの出力信号が供給され、電流路の一端に外部から画像データが供給される画素トランジスタを、画素毎に備える

ことを特徴とする請求項10に記載の電子装置。

【発明の詳細な説明】

【0001】

30

【発明の属する技術分野】

本発明は、シフトレジスタ、及びこのシフトレジスタをドライバとして適用した撮像装置、表示装置などの電子装置に関する。

【0002】

【従来の技術】

マトリクス状に画素が配置された撮像素子や表示素子を線順次で選択して走査するためのドライバには、前段からの出力信号を後段に順次シフトしていくシフトレジスタが広く用いられている。従来、このようなシフトレジスタの中には、前段からの出力信号が後段にシフトしていく度に減衰してしまうものがあった。

【0003】

40

特に近年における撮像素子や表示素子の高精細化の要請により、このようなシフトレジスタの段数も多くしていく必要が生じている。段数が増えることとなると、後ろの方の段での信号の減衰が激しくなってしまうという問題が生じる。このため、従来、このようなシフトレジスタには、各段からの出力信号を所定レベルまで増幅するバッファを設けるのが通常であった。が、バッファを設けることによって、シフトレジスタが大型化してしまうという問題があった。

【0004】

ところで、このようなシフトレジスタで出力信号を順次シフトさせるために、電界効果トランジスタの電極に外部から制御信号を供給していくものがある。この場合、制御信号の供給により内部に電荷を蓄積させてトランジスタをオン/オフさせることにより、出力信

50

号を順次シフトさせていっている。しかしながら、蓄積された電荷の放出が十分に行えないと、これが原因で誤動作を生じる場合がある。

【0005】

【発明が解決しようとする課題】

本発明は、出力信号のレベルを減衰させることなく後段にシフトしていくことが可能なシフトレジスタ、及びこのシフトレジスタを適用した電子装置を提供することを目的とする。

【0006】

本発明は、また、電荷の放出不足に起因する誤動作を防ぐことが可能なシフトレジスタ、及びこのシフトレジスタを適用した電子装置を提供することを目的とする。

10

【0007】

【課題を解決するための手段】

上記目的を達成するため、本発明の第1の観点にかかるフトレジスタは、複数の段からなるシフトレジスタであって、前記シフトレジスタの各段は、外部から制御端子に供給される第1または第2の信号によってオンし、隣接する一方の段から電流路の一端に供給された所定レベルの信号を電流路の他端に出力する第1のトランジスタと、

制御端子と前記第1のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、負荷を介して電流路の一端に供給される信号を電流路の他端から放出する第2のトランジスタと、

20

制御端子と前記第1のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、外部から電流路の一端に供給される第3または第4の信号を出力信号として電流路の他端から出力する第3のトランジスタと、

前記第2のトランジスタがオフしているときに負荷を介して制御端子に供給される信号によってオンし、外部から電流路の一端に供給される信号を出力信号として電流路の他端から出力する第4のトランジスタと、

制御端子が前記負荷と前記第2のトランジスタの間に接続され、前記第2のトランジスタがオフしているときにオンし、前記容量に蓄積された電荷を電流路の他端から放出する第5のトランジスタとを備え、

前記負荷は、

30

制御端子と電流路の一端とに外部からの信号が供給され、供給された信号を電流路の他端に出力する第6のトランジスタと、

電流路の一端に前記外部からの信号が供給されると共に、制御端子に前記第6のトランジスタの電流路の他端から出力された信号が供給され、制御端子に供給された信号によってオンすることにより、電流路の一端に供給された信号を電流路の他端から出力して、前記第2のトランジスタの電流路の一端に供給する第7のトランジスタとを備えている

ことを特徴とする。

【0008】

ここで、シフトレジスタの1番最初の段には、隣接する段の片方がない。この場合、第1のトランジスタの電流路の一端から供給される所定レベルの信号は、例えば、外部の制御装置などから供給されるこれに相当する信号で代用することができる。

40

【0009】

上記第1の観点にかかるシフトレジスタでは、各段からの出力信号のレベルは、第3、第4のトランジスタがそれぞれオンしているときに外部から供給される信号のレベルにほぼ等しいものとすることができる。このため、出力信号のレベルを減衰させることなく、順次シフトしていくことが可能となる。

【0010】

また、各段において第2のトランジスタがオフしているとき、すなわち当該段の出力信号のレベルを第3、第4の信号のレベルとするための動作を行わないときには、第5のトランジスタがオンしている。これにより、第1、第2の信号または第3、第4の信号の影響

50

によって容量に若干の電荷が蓄積されても、これを放出させることができる。このため、本来容量 A に蓄積されるべきでない電荷によって第 2、第 3 のトランジスタがオンしてしまい、誤動作するということが起こらない。

【 0 0 1 1 】

上記第 1 の観点にかかるシフトレジスタは、前記第 1 のトランジスタの電流路の他端と前記容量との間に設けられ、前記容量の電圧を分圧させて、前記第 1 のトランジスタの電流路の両端にかかるようにする第 1 の分圧素子をさらに備えるものとすることができる。

【 0 0 1 2 】

上記第 1 の観点にかかるシフトレジスタは、前記第 5 のトランジスタの電流路の一端と前記容量との間に設けられ、前記容量の電圧を分圧させて、前記第 5 のトランジスタの電流路の両端にかかるようにする第 2 の分圧素子をさらに備えるものとすることもできる。

10

【 0 0 1 4 】

上記第 1 の観点にかかるシフトレジスタにおいて、奇数番目の段には、第 3、第 4 の信号のうちの第 3 の信号が外部から供給され、偶数番目の段には、第 3、第 4 の信号のうちの第 4 の信号が外部から供給されるものとすることができる。この場合、第 3、第 4 の信号はそれぞれ、前記シフトレジスタの出力信号をシフトしていくタイムスロットのうちの所定期間、タイムスロット毎に交互に駆動レベルとなるものとするすることができる。

【 0 0 1 5 】

この場合において、前記第 1、第 2 の信号は、それぞれ前記第 3、第 4 の信号が駆動レベルとなっている間の一定期間オンレベルとすることができる。

20

【 0 0 1 6 】

上記第 1 の観点にかかるシフトレジスタにおいて、前記複数の段のそれぞれを構成する各トランジスタは、同一のチャンネル型の電界効果トランジスタであることを好適とする。

【 0 0 1 8 】

上記目的を達成するため、本発明の第 2 の観点にかかる電子装置は、

複数の段からなり、出力信号をシフトさせることによって所定レベルの信号を各段から順次出力するドライバと、複数の画素によって構成され、前記ドライバの各段から出力された出力信号によって駆動される駆動素子とを備え、

前記ドライバの各段は、

外部から制御端子に供給される第 1 または第 2 の信号によってオンし、隣接する一方の段から電流路の一端に供給された所定レベルの信号を電流路の他端に出力する第 1 のトランジスタと、

30

制御端子と前記第 1 のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、負荷を介して電流路の一端に供給される信号を電流路の他端から放出する第 2 のトランジスタと、

制御端子と前記第 1 のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、外部から電流路の一端に供給される第 3 または第 4 の信号を出力信号として電流路の他端から出力する第 3 のトランジスタと、

前記第 2 のトランジスタがオフしているときに負荷を介して制御端子に供給される信号によってオンし、外部から電流路の一端に供給される信号を出力信号として電流路の他端から出力する第 4 のトランジスタと、

40

制御端子が前記負荷と前記第 2 のトランジスタの間に接続され、前記第 2 のトランジスタがオフしているときにオンし、前記容量に蓄積された電荷を電流路の他端から放出する第 5 のトランジスタとを備え、

前記負荷は、

制御端子と電流路の一端とに外部からの信号が供給され、供給された信号を電流路の他端に出力する第 6 のトランジスタと、

電流路の一端に前記外部からの信号が供給されると共に、制御端子に前記第 6 のトランジスタの電流路の他端から出力された信号が供給され、制御端子に供給された信号によってオンすることにより、電流路の一端に供給された信号を電流路の他端から出力して、前

50

記第2のトランジスタの電流路の一端に供給する第7のトランジスタとを備えていることを特徴とする。

【0019】

上記電子装置において、前記駆動素子は、例えば、撮像素子とすることができる。

【0020】

この場合において、前記撮像素子は、励起光によりキャリアを生成する半導体層と、前記半導体層の両端にそれぞれ接続されたドレイン電極及びソース電極と、第1ゲート絶縁膜を介して前記半導体層の一方側に設けられた第1ゲート電極と、第2ゲート絶縁膜を介して前記半導体層の他方側に設けられた第2ゲート電極とを、画素毎に備えるものとしてもよい。そして、

前記ドライバは、出力信号を第1のゲート電極に出力する第1のドライバと、出力信号を第2のゲート電極に出力する第2のドライバとを含むものとしてすることができる。

【0021】

ここで、撮像素子の各画素の構成から第1ゲート電極または第2ゲート電極を除いた構造のものを、ドライバを構成する各トランジスタとして適用することが可能となる。このため、撮像素子を形成した基板と同一の基板上に、同一のプロセスにおいて、ドライバを形成することが可能となる。

【0022】

上記電子装置において、前記駆動素子は、また、表示素子とすることもできる。

【0023】

この場合において、前記表示素子は、制御端子に前記ドライバの各段のいずれかの出力信号が供給され、電流路の一端に外部から画像データが供給される画素トランジスタを、画素毎に備えるものとしてすることができる。

【0024】

このとき、表示素子が備える画素トランジスタには、ドライバを構成する各トランジスタと同一の構造のものを適用することが可能となる。このため、撮像素子を形成した基板と同一の基板上に、同一のプロセスにおいて、ドライバを形成することが可能となる。

【0025】

【発明の実施の形態】

以下、添付図面を参照して、本発明の実施の形態について説明する。

【0026】

図1は、この実施の形態にかかる撮像装置の構成を示すブロック図である。図示するように、この撮像装置は、画像を撮影する撮像素子1、並びにコントローラからの制御信号に従って撮像素子1を駆動するためのトップゲートドライバ2、ボトムゲートドライバ3及びドレインドライバ4から構成されている。

【0027】

撮像素子1は、マトリクス状に配置された複数のダブルゲートトランジスタ10で構成される。ダブルゲートトランジスタ10のトップゲート電極はトップゲートラインTGLに、ボトムゲート電極はボトムゲートラインBGLに、ドレイン電極はドレインラインDLに、ソース電極は接地されたグラウンドラインGrLにそれぞれ接続されている。撮像素子1を構成するダブルゲートトランジスタ10の詳細については後述する。

【0028】

トップゲートドライバ2は、撮像素子1のトップゲートラインTGLに接続され、コントローラからの制御信号Tcntに従って、各トップゲートラインTGLに+25(V)または-15(V)の信号を選択的に出力する。トップゲートドライバ2は、コントローラから供給される信号に従って、+25(V)の信号を各トップゲートラインTGLに順次選択的に出力するシフトレジスタで構成される。トップゲートドライバ2の詳細については後述する。

【0029】

ボトムゲートドライバ3は、撮像素子1のボトムゲートラインBGLに接続され、コント

10

20

30

40

50

ローラからの制御信号 B c n t に従って、各ボトムゲートライン B G L に + 1 0 (V) または 0 (V) の信号を出力する。ボトムゲートドライバ 3 は、コントローラから供給される信号に従って、+ 1 0 (V) の信号を各ボトムゲートライン B G L に順次選択的に出力するシフトレジスタで構成される。ボトムゲートドライバ 3 の詳細については後述する。

【 0 0 3 0 】

ドレインドライバ 4 は、撮像素子 1 のドレインライン D L に接続され、コントローラからの制御信号 D c n t に従って、後述する所定の期間において全てのドレインライン D L に定電圧 (+ 1 0 (V)) を出力し、電荷をプリチャージさせる。ドレインドライバ 4 は、プリチャージの後の所定の期間においてダブルゲートトランジスタ 1 0 の半導体層にチャンネルが形成されているか否かによって変化する各ドレインライン D L の電位を読み出し、画像データ D A T A としてコントローラに供給する。

10

【 0 0 3 1 】

次に、図 1 に示す撮像素子 1 を構成するダブルゲートトランジスタ 1 0 の構造とその駆動原理について説明する。

【 0 0 3 2 】

図 2 は、ダブルゲートトランジスタ 1 0 の概略的な構造を示す断面図である。図示するように、基板 1 0 a 上にクロムなどからなるボトムゲート電極 1 0 b が形成されている。このボトムゲート電極 1 0 b を覆うように、窒化シリコンからなるボトムゲート絶縁膜 1 0 c が形成されている。

【 0 0 3 3 】

ボトムゲート絶縁膜 1 0 c 上のボトムゲート電極 1 0 b と対向する位置には、アモルファスシリコンまたはポリシリコンからなる半導体層 1 0 d が形成されている。そして、半導体層 1 0 d 上のプロッキング層、n 型半導体層 (図示せず) を介して、半導体層 1 0 d からボトムゲート絶縁膜 1 0 c に渡るように、クロムからなるドレイン電極 1 0 e とソース電極 1 0 f とが形成されている。これら半導体層 1 0 d、ドレイン電極 1 0 e 及びソース電極 1 0 f を覆うように、窒化シリコンからなるトップゲート絶縁膜 1 0 g が形成されている。

20

【 0 0 3 4 】

トップゲート絶縁膜 1 0 g 上の半導体層 1 0 d と対向する位置には、I T O (Indium Tin Oxide) からなるトップゲート電極 1 0 h が形成されている。そして、このトップゲート電極 1 0 h を覆うように、窒化シリコンからなる絶縁保護膜 1 0 i が形成されている。なお、このダブルゲートトランジスタ 1 0 において、半導体層 1 0 d への光の入射は、それぞれ透明材料で形成された絶縁保護膜 1 0 i、トップゲート電極 1 0 h 及びトップゲート絶縁膜 1 0 g を介してなされる。

30

【 0 0 3 5 】

図 3 (a) ~ (d) は、ダブルゲートトランジスタ 1 0 の駆動原理を示す模式図である。

【 0 0 3 6 】

図 3 (a) に示すように、トップゲート電極 (T G) に印加されている電圧が + 2 5 (V) で、ボトムゲート電極 (B G) に印加されている電圧が 0 (V) であると、半導体層 1 0 d 内に連続した n チャンネルが形成されず、ドレイン電極 (D) 1 0 e に + 1 0 (V) の電圧が供給されても、ソース電極 (S) 1 0 f との間に電流が流れない。また、この状態では、後述するフォトセンス状態において半導体層 1 0 d の上部に蓄積された正孔が、同じ極性のトップゲート電極 1 0 h の電圧により反発することにより、突出される。以下、この状態をリセット状態という。

40

【 0 0 3 7 】

図 3 (b) に示すように、半導体層 1 0 d に光が入射されると、その光量に応じて半導体層 1 0 d 内に正孔 - 電子対が生じる。このとき、トップゲート電極 (T G) 1 0 h に印加されている電圧が - 1 5 (V) で、ボトムゲート電極 (B G) 1 0 b に印加されている電圧が 0 (V) であると、発生した正孔 - 電子対のうちの正孔が半導体層 1 0 d 内のプロッキング層 (図の上部) に蓄積される。以下、この状態をフォトセンス状態という。なお、

50

半導体層 10 d 内に蓄積された正孔は、リセット状態となるまで半導体層 10 d から吐出されることはない。

【0038】

図3(c)に示すように、フォトセンス状態において十分な量の正孔が半導体層 10 d 内に蓄積されず、トップゲート電極(TG) 10 hに印加されている電圧が -15(V)で、ボトムゲート電極(BG) 10 bに印加されている電圧が +10(V)であると、半導体層 10 d 内に空乏層が広がり、nチャネルがピンチオフされ、半導体層 10 d が高抵抗となる。このため、ドレイン電極(D) 10 eに +10(V)の電圧が供給されても、ソース電極(S) 10 fとの間に電流が流れない。以下、この状態を第1の読み出し状態という。

10

【0039】

図3(d)に示すように、フォトセンス状態において十分な量の正孔が半導体層 10 d 内に蓄積され、トップゲート電極(TG) 10 hに印加されている電圧が -15(V)で、ボトムゲート電極(BG) 10 bに印加されている電圧が +10(V)であると、蓄積されている正孔が負電圧の印加されているトップゲート電極 10 hに引き寄せられて保持し、トップゲート電極 10 hの負電圧が半導体層 10 dに及ぼす影響を緩和させる。このため、半導体層 10 dのボトムゲート電極 10 b側にnチャネルが形成され、半導体層 10 dが低抵抗となる。このため、ドレイン電極(D)に +10(V)の電圧が供給されると、ソース電極(S) 10 fとの間に電流が流れる。以下、この状態を第2の読み出し状態という。

20

【0040】

次に、図1に示すトップゲートドライバ2及びボトムゲートドライバ3の詳細について説明する。図4は、トップゲートドライバ2及びボトムゲートドライバ3として適用されるシフトレジスタの全体の構成を示すブロック図である。撮像素子1に配されているダブルゲートトランジスタ10の行数(トップゲートラインTGLの数)をnとすると、いずれのドライバ2、3として適用される場合も、このシフトレジスタは、n個の段RS1(1)~RS1(n)から構成される。

【0041】

各段RS1(k)(k:1~nの整数)は、入力信号端子IN、出力信号端子OUT、制御信号端子、定電圧入力端子SS、基準電圧入力端子DD、及びクロック信号入力端子clkを有している。出力信号端子OUTは、各段RS1(k)の出力信号out(k)を出力する端子である。出力信号out(k)は、それぞれ撮像素子1の各トップゲートラインTGL(トップゲートドライバ2として適用の場合)、或いは各ボトムゲートラインBGL(ボトムゲートドライバ3として適用の場合)に出力される。

30

【0042】

入力信号端子INは、コントローラからのスタート信号Vst(1番目の段RS1(1)の場合)、または前の段RS(k-1)(k:2~nの整数)から出力された出力信号out(k-1)(2番目以降の段の場合)が入力される端子である。

【0043】

定電圧入力端子SSは、コントローラからの定電圧Vssが供給される端子である。定電圧入力端子SSに供給される定電圧Vssのレベルは、-15(V)(トップゲートドライバ2として適用の場合)、或いは0(V)(ボトムゲートドライバ3として適用の場合)である。基準電圧入力端子DDは、所定の基準電圧Vddが供給される端子である。基準電圧入力端子DDに供給される基準電圧のレベルは、+25(V)である。

40

【0044】

クロック信号入力端子clkは、コントローラからのクロック信号CK1(奇数番目の段の場合)、或いはクロック信号CK2(偶数段目の段の場合)が供給される端子である。クロック信号CK1、CK2はそれぞれ、前記シフトレジスタの出力信号をシフトしていくタイムスロットのうちの所定期間、タイムスロット毎に交互に駆動レベルとなる。トップゲートドライバ2として適用した場合は、クロック信号CK1、CK2は、ハイレベル

50

(n チャネルトランジスタにおけるオン電圧レベル)が $+2.5$ (V)、ローレベル(n チャネルトランジスタにおけるオフ電圧レベル)が -1.5 (V)である。一方、ボトムゲートドライバ3として適用した場合は、ハイレベル(n チャネルトランジスタにおけるオン電圧レベル)が $+1.0$ (V)、ローレベル(n チャネルトランジスタにおけるオフ電圧レベル)が 0 (V)である。

【0045】

制御信号端子 1 は、コントローラからの制御信号 1 (奇数番目の段の場合)、或いは制御信号 2 (偶数番目の段の場合)が供給される端子である。制御信号 1、2 のハイレベルは、後述するようにこれが供給される n チャネルのTFTのオンレベルとなる所定の値、ローレベルは、そのTFTのオフレベルとなる所定の値である。

10

【0046】

図5は、上記構成のシフトレジスタの各段RS1(1)~RS1(n)の回路構成を示す図である。図示するように、各段RS1(1)~RS1(n)は、基本構成として5つのTFT(Thin Film Transistor)21~25と、付加構成として1つのTFT31とを有している。TFT21~25、31は、いずれも n チャネルMOS型の電界効果トランジスタで構成されるもので、図2に示したダブルゲートトランジスタ10のボトムゲート電極10bまたはトップゲート電極10hを除いた構造となっている。

【0047】

TFT21のゲート電極(制御端子)は制御信号端子 1 に、ドレイン電極(電流路の一端)は入力信号端子INに、ソース電極(電流路の他端)はTFT22、24のゲート電極(制御端子)に接続されている。TFT23のゲート電極(制御端子)とドレイン電極(電流路の一端)とは基準電圧入力端子DDに接続されている。TFT22のドレイン電極(電流路の一端)はTFT23のソース電極(電流路の他端)に、ソース電極(電流路の他端)は定電圧入力端子SSに接続されている。TFT24のドレイン電極(電流路の一端)はクロック信号入力端子clkに、ソース電極(電流路の他端)はTFT25のドレイン電極(電流路の一端)と出力信号端子OUTとに接続されている。TFT25のゲート電極(制御端子)はTFT23のソース電極(電流路の他端)に、ソース電極(電流路の他端)は定電圧入力端子SSに接続されている。

20

【0048】

TFT21のソース電極とTFT22、24のゲート電極との間の配線及びこれと関係するTFT21、22、24の寄生容量とによって、電荷を蓄積するための容量Aが形成されている。また、TFT23のソース電極とTFT22のソース電極及びTFT25のゲート電極との間には、TFT23を介して基準電圧入力端子DDから供給される電荷を蓄積するための容量Bが形成されている。

30

【0049】

各段のTFT21のゲート電極には、コントローラからの制御信号 1 または 2 が供給される。TFT21のドレイン電極には、前の段RS1($k-1$)からの出力信号out($k-1$)が供給される。TFT21は、ハイレベル(オンレベル)の信号 1 または 2 が供給されたときにオンし、出力信号out($k-1$)によりドレイン電極とソース電極との間に電流が流れる。これにより、TFT31を介して容量Aに電荷をチャージさせる。

40

【0050】

TFT23のゲート電極とドレイン電極とには、基準電圧V_{dd}が供給されている。これにより、TFT23は、常にオン状態となっている。TFT23は、基準電圧V_{dd}を分圧する負荷としての機能を有する。

【0051】

各段のTFT22は、容量Aに電荷がチャージされていないときにオフ状態となり、TFT23を介して供給された基準電圧V_{dd}をTFT25のゲート電極に供給させる。また、TFT22は、容量Aに電荷がチャージされているときにオン状態となり、ドレイン電極とソース電極との間に貫通電流を流させる。ここで、TFT22、23は、いわゆるE

50

E型の構成となっているため、TFT23が完全なオフ抵抗とならないことで、TFT23のソース電極とTFT25のゲート電極との間に蓄積された電荷が完全にディスチャージされないことがあるが、TFT25の閾値電圧よりも十分に低い電圧となる。

【0052】

各段のTFT24は、容量Aがチャージされているとき（すなわち、TFT25がオフ状態のとき）にオン状態となり、入力されたクロック信号CK1、CK2によりゲート電極及びソース電極並びにそれらの間のゲート絶縁膜からなる寄生容量がチャージアップされる。TFT24のゲート電極及びドレイン電極並びにそれらの間のゲート絶縁膜による寄生容量がチャージアップされることにより、容量Aの電位が後述するように上昇し、そして、ゲート飽和電圧にまで達するとソース・ドレイン電流が飽和する。これにより、出力信号out(k)は、実質的にクロック信号CK1、CK2とほぼ同電位となる。各段のTFT24は、また、容量Aに電荷がチャージされていないとき（すなわち、TFT25がオン状態のとき）にオフ状態となり、ドレイン電極に供給されたクロック信号CK1、CK2の出力を遮断する。

10

【0053】

各段のTFT25のドレイン電極には、定電圧Vssが供給される。TFT25は、容量Aに電荷がチャージされていないとき（すなわち、TFT25がオン状態のとき）にオフ状態となり、TFT24のソース電極から出力された信号のレベルを当該段の出力信号out(k)として出力させる。TFT25は、また、容量Aに電荷がチャージされているとき（すなわち、TFT25がオフ状態のとき）にオン状態となり、ドレイン電極に供給された定電圧Vssのレベルをソース電極から当該段の出力信号out(k)として出力させる。

20

【0054】

TFT31は、ゲート電極が容量Bに接続されており、TFT22がオフして容量Bに電荷が蓄積されているときにオンする。すなわち、TFT22がオンしたタイミング以外は、常にオン状態となっている。TFT31は、ドレイン電極が容量Aにソース電極が定電圧入力端子SSに接続されており、オン状態となっているときには、容量Aに蓄積された電荷を放出する。付加構成のTFT31が果たす役割については、さらに詳しく後述する。

【0055】

以下、この実施の形態にかかる撮像装置の動作について説明する。最初に、トップゲートドライバ2及びボトムゲートドライバ3の動作について説明する。なお、トップゲートドライバ2とボトムゲートドライバ3とは、それぞれ入出力される信号のレベルとタイミングとが異なるだけであるので、以下の説明において、ボトムゲートドライバ3の動作の説明は、トップゲートドライバ2と異なる部分のみに止めることとする。

30

【0056】

図6は、トップゲートドライバ2として適用した場合における、この実施の形態のシフトレジスタの動作を示すタイミングチャートである。図中、 $t_q \sim t_{(q+1)}$ ($q: n$ 以下の自然数)の間となる $1t$ 分の期間が1選択期間である。ここでは、1番目以外の奇数番目の段RS1(k) ($k: 3, 5, \dots, n-1$)を例としているが、1番目の段も出力信号out(k-1)をコントローラからのスタート信号Vstとすれば、他の奇数番目の段と同じである。また、偶数番目の段も、制御信号1を制御信号2に、クロック信号CK1をクロック信号CK2とすれば、奇数番目の段と同じ動作である。ただし、上述したように通常コントローラからトップゲートドライバ2の各段の定電圧入力端子SSに供給される定電圧Vssのレベルは $-1.5(V)$ であるが、定電圧Vssのレベルが $0(V)$ でもほぼ同じように動作する。

40

【0057】

タイミング $t_0 \sim t_1$ の間、クロック信号CK2がハイレベル($2.5(V)$)となると、前の段RS1(k-1)から当該段RS1(k)の入力端子INに供給される出力信号out(k-1)のレベルが $2.5(V)$ となる(図中、xをプロットして示す)。この間に

50

において、制御信号端子 から入力される制御信号 1 が一定期間ハイレベルに変化すると、この一定期間だけ T F T 2 1 がオンし、入力端子 I N に供給された出力信号 o u t (k - 1) の 2 5 (V) が T F T 2 1 のソース電極から出力される。

【 0 0 5 8 】

これにより、容量 A の電位 (図中、 をプロットして示す) が上昇する。容量 A の電位が上昇し、 T F T 2 2 、 2 4 の閾値電圧を超えると、当該段 R S 1 (k) の T F T 2 2 、 2 4 がオン、 T F T 2 5 がオフする。 T F T 2 2 がオンすると、容量 B に蓄積されていた電荷がこれを介してディスチャージされるため、容量 A の電位がディスチャージされない。

【 0 0 5 9 】

次に、タイミング t 1 ~ t 2 の間において、クロック信号入力端子 c l k から入力される 10 クロック信号 C K 1 が 2 5 (V) に変化する。すると、ブートストラップ効果により T F T 2 4 のゲート電極及びソース電極並びにそれらの間のゲート絶縁膜からなる寄生容量がチャージアップされる。そして、この寄生容量の電位がゲート飽和電圧に達すると、 T F T 2 4 のドレイン電極とソース電極との間に流れる電流が飽和する。これにより、当該段 R S 1 (k) の出力端子 O U T から出力される出力信号 o u t (k) は、クロック信号 C K 1 のレベルとほぼ同電位の 2 5 (V) となる (図中、太い実線で示す) 。なお、このタイミング t 1 ~ t 2 の間は、 T F T 2 4 の前述した寄生容量がチャージアップされることにより、容量 A の電位がほぼ 4 5 (V) 程度にまで達する。

【 0 0 6 0 】

次に、タイミング t 2 になると、クロック信号 C K 1 のレベルが - 1 5 (V) に変化する 20 。これにより、出力信号 o u t (k) のレベルもほぼ - 1 5 (V) となる。また、これにともない T F T 2 4 の寄生容量へチャージされた電荷が放出され、ブートストラップ効果が減衰し容量 A の電位が低下する。

【 0 0 6 1 】

さらに、タイミング t 3 までの間で制御信号 1 が一定期間ハイレベルになると、 T F T 2 1 が再びオンし、段 R S 1 (k) の容量 A に蓄積された電荷が段 R S 1 (k) の T F T 3 1 、 2 1 、及び前の段 R S 1 (k - 1) の T F T 2 5 (後述するように、オン状態) を介して放出され、 T F T 2 2 の閾値電圧を下回ると、 T F T 2 2 がオフする。これにより、容量 B に基準電圧入力端子 D D から T F T 2 3 を介して電荷が蓄積され、 T F T 2 5 、 3 1 がオンする。 30

【 0 0 6 2 】

これにより、容量 A に蓄積された電荷は、さらにオン状態となった T F T 3 1 も介して放出されるようになり、図 6 に示すように、容量 A の電位レベルが急速に低下する。

【 0 0 6 3 】

なお、前の段 R S 1 (k - 1) の出力信号 o u t (k - 1) がハイレベルとならない期間においても当該段 R S 1 (k) の T F T 2 1 のゲート電極に供給される制御信号 1 がハイレベルとなり、また T F T 2 4 のドレイン電極に供給されるクロック信号 C K 1 のレベルがハイレベルとなることがある。この際、 T F T 2 1 のゲート電極及びソース電極並びにそれらの間のゲート絶縁膜による寄生容量、或いは T F T 2 4 のゲート電極及びドレイン電極並びにそれらの間のゲート絶縁膜による寄生容量、すなわち容量 A に電荷がチャージされることから、容量 A の電位は、 t 0 ~ t 3 以外の期間においても若干変動する。 40

【 0 0 6 4 】

しかしながら、これらの期間では、前の段 R S 1 (k - 1) の出力信号 o u t (k - 1) がハイレベルにならないため、入力信号端子 I N から T F T 2 1 を介して容量 A にハイチャージの電荷が供給されることはなく、容量 A の電位が T F T 2 2 の閾値電圧を越えることはない。つまり、容量 B の電位はハイレベルのままであり、 T F T 3 1 は常にオン状態である。

【 0 0 6 5 】

このため、 T F T 2 1 のゲート電極及びソース電極並びにそれらの間のゲート絶縁膜による寄生容量、或いは T F T 2 4 のゲート電極及びドレイン電極並びにそれらの間のゲート 50

絶縁膜による寄生容量に起因して容量Aに電荷がチャージされても、オン状態となっているTFT31を介してすぐに放出される。従って、容量Aに蓄積される電荷の量は、 $t_0 \sim t_3$ 以外の期間では、ごく短い期間における変動があるのみとなる。

【0066】

そして、このような動作を奇数段、偶数段共に順次繰り返していくことにより、トップゲートドライバ2の各段RS1(k) (k: 1 ~ n)の出力信号out(k)がそれぞれ1選択期間 t_{25} (V)に変化し、順次シフトしていく。

【0067】

また、ボトムゲートドライバ3の動作は、トップゲートドライバ2の動作とほぼ同じであるが、コントローラから供給される信号CK1、CK2のハイレベルが10(V)であるため、各段RS1(k) (k: 1 ~ n)の出力信号out(k)のハイレベルはほぼ10(V)であり、この際の容量Aのレベルは18(V)程度であり、TFT24のソース、ドレイン電流が飽和電流に達するレベルのゲート電圧となる。また、クロック信号CK1、CK2がハイレベルとなっている期間は、1選択期間 t よりも短い所定の期間である。

10

【0068】

次に、撮像素子1を駆動して画像を撮影するための全体の動作について、図7(a) ~ (i)に示す模式図を参照して説明する。なお、以下の説明において、1Tの期間は、1水平期間と同じ長さを有するものとする。また、説明を簡単にするため、撮像素子1に配置されているダブルゲートトランジスタ10のうち、最初の3行のみを考えることとする。

20

【0069】

まず、タイミングT1からT2までの1Tの期間において、図7(a)に示すように、トップゲートドライバ2は、1行目のトップゲートラインTGLを選択して+25(V)を出力し、2、3行目(他の全行)のトップゲートラインTGLに-15(V)を出力する。一方、ボトムゲートドライバ3は、すべてのボトムゲートラインBGLに0(V)を出力する。この期間において、1行目のダブルゲートトランジスタ10がリセット状態となり、2、3行目のダブルゲートトランジスタ10が前の垂直期間での読み出し状態を終了した状態(フォトセンスに影響しない状態)となる。

【0070】

次に、タイミングT2からT3までの1Tの期間において、図7(b)に示すように、トップゲートドライバ2は、2行目のトップゲートラインTGLを選択して+25(V)を出力し、他のトップゲートラインTGLに-15(V)を出力する。一方、ボトムゲートドライバ3は、すべてのボトムゲートラインBGLに0(V)を出力する。この期間において、1行目のダブルゲートトランジスタ10がフォトセンス状態となり、2行目のダブルゲートトランジスタ10がリセット状態となり、3行目のダブルゲートトランジスタ10が前の垂直期間での読み出し状態を終了した状態(フォトセンスに影響しない状態)となる。

30

【0071】

次に、タイミングT3からT4までの1Tの期間において、図7(c)に示すように、トップゲートドライバ2は、3行目のトップゲートラインTGLを選択して+25(V)を出力し、他のトップゲートラインTGLに-15(V)を出力する。一方、ボトムゲートドライバ3は、すべてのボトムゲートラインBGLに0(V)を出力する。この期間において、1、2行目のダブルゲートトランジスタがフォトセンス状態となり、3行目のダブルゲートトランジスタ10がリセット状態となる。

40

【0072】

次に、タイミングT4からT4.5までの0.5Tの期間において、図7(d)に示すように、トップゲートドライバ2は、すべてのトップゲートラインTGLに-15(V)を出力する。一方、ボトムゲートドライバ3は、すべてのボトムゲートラインBGLに0(V)を出力する。また、ドレインドライバ4は、すべてのドレインラインDLに+10(V)を出力する。この期間において、すべての行のダブルゲートトランジスタ10がフォ

50

トセンス状態となる。

【0073】

次に、タイミングT4.5からT5までの0.5Tの期間において、図7(e)に示すように、トップゲートドライバ2は、すべてのトップゲートラインTGLに-15(V)を出力する。一方、ボトムゲートドライバ3は、1行目のボトムゲートラインBGLを選択して+10(V)を出力し、他のボトムゲートラインBGLに0(V)を出力する。この期間において、1行目のダブルゲートトランジスタ10が第1または第2の読み出し状態となり、2、3行目のダブルゲートトランジスタ10がフォトセンス状態のままとなる。

【0074】

ここで、1行目のダブルゲートトランジスタ10は、フォトセンス状態となっていたタイ
ミングT2からT4.5までの期間で十分な光が半導体層に照射されていると、第2の読
み出し状態となって半導体層内にnチャネルが形成されるため、対応するドレインライン
DL上の電荷がディスチャージされる。一方、タイミングT2からT4.5までの期間で
十分な光が半導体層に照射されていないと、第1の読み出し状態となって半導体層内のn
チャネルがピンチオフされるため、対応するドレインラインDL上の電荷はディスチャ
ージされない。ドレインドライバ4は、タイミングT4.5からT5までの期間で各ドレイ
ンラインDL上の電位を読み出し、1行目のダブルゲートトランジスタ10が検出した画
像データDATAとしてコントローラに供給する。

【0075】

次に、タイミングT5からT5.5までの0.5Tの期間において、図7(f)に示すよ
うに、トップゲートドライバ2は、すべてのトップゲートラインTGLに-15(V)を
出力する。一方、ボトムゲートドライバ3は、すべてのボトムゲートラインBGLに0(
V)を出力する。また、ドレインドライバ4は、すべてのドレインラインDLに+10(
V)を出力する。この期間において、1行目のダブルゲートトランジスタ10が読み出し
を終了した状態となり、2、3行目のダブルゲートトランジスタ10がフォトセンス状態
となる。

【0076】

次に、タイミングT5.5からT6までの0.5Tの期間において、図7(g)に示すよ
うに、トップゲートドライバ2は、すべてのトップゲートラインTGLに-15(V)を
出力する。一方、ボトムゲートドライバ3は、2行目のボトムゲートラインBGLを
選択して+10(V)を出力し、他のボトムゲートラインBGLに0(V)を出力する。この
期間において、1行目のダブルゲートトランジスタ10が読み出しを終了した状態となり
、2行目のダブルゲートトランジスタ10が第1または第2の読み出し状態となり、3行
目のダブルゲートトランジスタ10がフォトセンス状態となる。

【0077】

ここで、2行目のダブルゲートトランジスタ10は、フォトセンス状態となっていたタイ
ミングT3からT5.5までの期間で十分な光が半導体層に照射されていると、第2の読
み出し状態となって半導体層内にnチャネルが形成されるため、対応するドレインライン
DL上の電荷がディスチャージされる。一方、タイミングT3からT5.5までの期間で
十分な光が半導体層に照射されていないと、第1の読み出し状態となって半導体層内のn
チャネルがピンチオフされるため、対応するドレインラインDL上の電荷はディスチャ
ージされない。ドレインドライバ4は、タイミングT5.5からT6までの期間で各ドレイ
ンラインDL上の電位を読み出し、2行目のダブルゲートトランジスタ10が検出した画
像データDATAとしてコントローラに供給する。

【0078】

次に、タイミングT6からT6.5までの0.5Tの期間において、図7(h)に示すよ
うに、トップゲートドライバ2は、すべてのトップゲートラインTGLに-15(V)を
出力する。一方、ボトムゲートドライバ3は、すべてのボトムゲートラインBGLに0(
V)を出力する。また、ドレインドライバ4は、すべてのドレインラインDLに+10(
V)を出力する。この期間において、1、2行目のダブルゲートトランジスタ10が読み

10

20

30

40

50

出しを終了した状態となり、3行目のダブルゲートトランジスタ10がフォトセンス状態となる。

【0079】

次に、タイミングT6.5からT7までの0.5Tの期間において、図7(i)に示すように、トップゲートドライバ2は、すべてのトップゲートラインTGLに-15(V)を出力する。一方、ボトムゲートドライバ3は、3行目のボトムゲートラインBGLを選択して+10(V)を出力し、他のボトムゲートラインBGLに0(V)を出力する。この期間において、1、2行目のダブルゲートトランジスタ10が読み出しを終了した状態となり、3行目のダブルゲートトランジスタ10が第1または第2の読み出し状態となる。

【0080】

ここで、3行目のダブルゲートトランジスタ10は、フォトセンス状態となっていたタイミングT4からT6.5までの期間で十分な光が半導体層に照射されていると、第2の読み出し状態となって半導体層内にnチャネルが形成されるため、対応するドレインラインDL上の電荷がディスチャージされる。一方、タイミングT4からT6.5までの期間で十分な光が半導体層に照射されていないと、第1の読み出し状態となって半導体層内のnチャネルがピンチオフされるため、対応するドレインラインDL上の電荷はディスチャージされない。ドレインドライバ4は、タイミングT6.5からT7までの期間で各ドレインラインDL上の電位を読み出し、3行目のダブルゲートトランジスタ10が検出した画像データDATAとしてコントローラに供給する。

【0081】

こうしてドレインドライバ4から行毎に供給された画像データDATAに対して、コントローラが所定の処理を行うことで、撮像対象物の画像データが生成される。

【0082】

以下、付加構成のTF T31が果たす役割について詳細に説明する。ここでは、比較例を以てその役割を説明する。図8は、この比較例においてトップゲートドライバ2及びボトムゲートドライバ3として適用されるシフトレジスタの1段分の構成を示す回路図である。これは、図5に示す回路から付加構成のTF T31を除いたもので、容量Aに蓄積された電荷は、TF T21を介してしかディスチャージされない構造となっている。シフトレジスタの全体構成としては、上記の図4に示すものと同じである。

【0083】

次に、この比較例のシフトレジスタの動作を、トップゲートドライバ2として適用した場合を例として説明する。図9は、トップゲートドライバ2として適用した場合におけるこの比較例のシフトレジスタの動作を示すタイミングチャートである。ここでも、1t分の期間が1選択期間であり、また、1番目以外の奇数番目の段RS1(k)(k:3,5,・・・,n-1)を例としている。

【0084】

この比較例のシフトレジスタは、TF T22がオフ状態となっている期間、すなわち、t0~t3の期間以外の期間における動作が、上記の実施の形態のシフトレジスタにおけるものと大きく異なる。

【0085】

t1~t3の期間以外の期間において、TF T24のドレイン電極に供給される信号CK1のレベルがハイレベルになると、TF T24のゲート電極及びドレイン電極並びにこれらの間のゲート絶縁膜からなる寄生容量がチャージアップされることにより、容量Aに若干の電荷が蓄積され、容量Aの電位が上昇する。しかし、ハイレベルの制御信号1がTF T21のゲート電極に供給されたとき以外は、容量Aに蓄積された電荷が放出されることはない。

【0086】

ハイレベルの制御信号1がTF T21のゲート電極に供給されたときでも、前の段RS1(k-1)のTF T25はオフ状態となっているため、容量Aに蓄積された電荷がほとんど放出されない。

10

20

30

40

50

【0087】

このため、この比較例のシフトレジスタでは、TFT24のゲート電極及びドレイン電極並びにこれらの間のゲート絶縁膜からなる寄生容量に起因して容量Aに蓄積される電荷の量、TFT22、24の特性によっては、容量Aの電位がTFT22、24の閾値電圧を越えてしまう可能性がある。よって、この比較例のシフトレジスタは、上記の実施の形態で示したシフトレジスタでは生じ得ない誤動作が発生してしまう可能性がある。

【0088】

以上説明したように、この実施の形態にかかる撮像装置では、トップゲートドライバ2及びボトムゲートドライバ3として適用されるシフトレジスタの各段RS1(k) (k: 1 ~ nの整数) から信号CK1、CK2のハイレベルをほぼそのまま出力信号のレベルとして出力することができる。このため、各段RS1(k)にバッファ等を設けなくても、出力信号のレベルを減衰させることなく、順次シフトしていくことができる。

10

【0089】

また、シフトレジスタの各段RS1(k)を図5に示す構造にしたことにより各段RS1(k)のTFT22がそれぞれオフしているとき、すなわち上記したt0 ~ t2以外の期間で各段RS1(k)からの出力信号OUT(k)のレベルを信号CK1、CK2のハイレベルとするための動作を行わないときは、当該段RS1(k)のTFT31が常にオン状態となっている。このため、当該段RS1(k)のTFT21のゲート電極及びソース電極並びにそれらの間のゲート絶縁膜による寄生容量、或いは当該段RS1(k)のTFT24のゲート電極及びドレイン電極並びにそれらの間のゲート絶縁膜による寄生容量に起因して容量Aに電荷がチャージされても、段RS1(k)のオン状態となっているTFT31を介してすぐに放出される。

20

【0090】

従って、この実施の形態にかかるシフトレジスタでは、各段RS1(k)において本来容量Aに蓄積されるべきでない電荷によって容量Aの電位が上昇して、TFT22、24がオン状態になってしまうことがない。よって、この実施の形態にかかるシフトレジスタは、上記した比較例のシフトレジスタに比べて、誤動作を生じることなく長期間使用することができる。

【0091】

また、トップゲートドライバ2及びボトムゲートドライバ3として適用されるシフトレジスタは、TFT21 ~ 25、31のみで、他の素子を用いることなく構成することができる。ここで、TFT21 ~ 25、31は、撮像素子1を構成するダブルゲートトランジスタ10のボトムゲート電極10bまたはトップゲート電極10hを除いた構造を有している。このため、撮像素子1を基板10a上に形成する際に、同一の基板10a上に、同一プロセスでTFT21 ~ 25、31を、すなわちトップゲートドライバ2及びボトムゲートドライバ3を形成することができる。

30

【0092】

本発明は、上記の実施の形態に限られず、種々の変形、応用が可能である。以下、本発明に適用可能な上記の実施の形態の変形態様について説明する。

【0093】

上記の実施の形態で示したシフトレジスタの各段RS1(k) (k: 1 ~ nの整数) の構成は、適宜変更することが可能である。例えば、基本構成としてのTFT23は、TFT以外の抵抗素子に置き換えてもよい。また、シフトレジスタの各段RS1(k)、(k: 1 ~ nの整数) は、ゲート電極にクロック信号CK1、CK2のレベルを反転した信号が供給され、ドレイン電極がTFT24のソース電極に接続され、ソース電極が定電圧供給端子SSに接続されたTFTをさらに備えるものとしてもよい。

40

【0094】

さらに、シフトレジスタの各段RS1(k) (k: 1 ~ nの整数) は、フローティングを防ぐためのプルアップ用、プルダウン用のTFTや抵抗素子などを適宜付加した構成としてもよい。さらに、クロック信号入力端子clkとTFT25のゲート電極との間に、T

50

F Tを挿入した構成とすることなどでもできる。T F T 2 1、3 1のソース電極は、低電圧供給端子S Sに接続されるのではなく、接地されていてもよい。

【0095】

その他にも、シフトレジスタの各段R S 1 (k) (k : 1 ~ nの整数)は、付加構成として1つのT F T 3 1を有する構造のみならず、付加構成としてさらに多くのT F Tを有する構造とすることもできる。図10~図12は、付加構成としてさらに多くのT F Tを有するシフトレジスタの各段R S 1 (k) (k : 1 ~ nの整数)の回路構成を示す図である。

【0096】

図10に示すシフトレジスタでは、各段R S 1 (k)は、図5に示した構成に加えて、付加構成としてのT F T 3 2を有する。T F T 3 2は、そのゲート電極が基準電圧入力端子D Dに接続されており、T F T 3 2のドレイン電極はT F T 2 1のソース電極に、ソース電極は容量Aに接続されている。T F T 3 2は該端子D Dから供給される基準電圧並びにソース、ドレイン電極にそれぞれ接続された容量C、Aの電位に応じてオン状態となっている。

10

【0097】

T F T 3 2は、次のような機能を有するものである。すなわち、前段の出力信号O U T (k - 1)のローレベルが-15(V)であるとすると、図9のt 1 ~ t 2の期間は、容量Aの電位が45(V)程度まで上昇し、容量Aと入力信号端子I Nとの間の電圧は、60(V)程度にまで達する。T F T 3 2は、この電圧をT F T 2 1との間で分圧することで、T F T 2 1のドレイン-ソース間に大きな電圧がかかるのを防ぎ、T F T 2 1が破壊することを防ぐものである。

20

【0098】

図11に示すシフトレジスタでは、各段R S 1 (k)は、図10に示した構成に加えて、付加構成としてのT F T 3 3を有する。T F T 3 3は、そのゲート電極が基準電圧入力端子D Dに接続されており、該端子D Dから常に基準電圧が供給されている。T F T 3 3のドレイン電極は容量Aに、ソース電極はT F T 3 1のドレイン電極に接続されている。図5に示した構成に、T F T 3 3を加えることも可能である。

【0099】

T F T 3 3は、次のような機能を有するものである。すなわち、定電圧入力端子S Sから供給される定電圧のレベルが-15(V)であるとすると、図9のt 1 ~ t 2の期間は、容量Aの電位が45(V)程度まで上昇し、容量Aと定電圧信号端子S Sとの間の電圧は、60(V)にまで達する。T F T 3 3は、この電圧をT F T 3 1との間で分圧することで、T F T 3 1のドレイン-ソース間に大きな電圧がかかるのを防ぎ、T F T 3 1が破壊することを防ぐものである。

30

【0100】

なお、図10、図11にそれぞれ示したT F T 3 2、3 3は、いずれの容量Aに蓄積された電荷による電圧を分圧して、T F T 2 1、3 1のドレイン-ソース間の電圧が高くなりすぎないようにする機能を有している。従って、このような分圧の機能を有するのであれば、他のタイプの素子(例えば、抵抗素子)をT F T 3 2、3 3の代わりに適用することもできる。

40

【0101】

図12に示すシフトレジスタでは、各段R S 1 (k)は、図11に示した構成に加えて、付加構成としてのT F T 3 4を有する。T F T 3 4は、ゲート電極とドレイン電極とが基準電圧入力端子D Dに接続されている。T F T 2 3のゲート電極は、基準電圧入力端子D Dに直接接続されているのではなく、T F T 3 4のソース電極に接続されている。図5または図10に示した構成に、T F T 3 4を加えることも可能である。

【0102】

図5、図10及び図11の構成では、容量Bの電位は、T F T 2 3が有する寄生容量の影響により、基準電圧入力端子D Dから供給される基準電圧のレベルまで上昇しない。これ

50

に対して、この構成では、T F T 3 4を加え、T F T 2 3とT F T 3 4とをいわゆるブートストラップ構造とすることで、容量Bの電位をほぼ基準電圧のレベルまで上昇できるようにするものである。これにより、T F T 2 5、3 1が確実にオンするようになり、容量Bのレベルが十分に上昇しないことによる誤動作を防いでいる。

【0103】

上記の実施の形態では、ダブルゲートトランジスタ10をマトリクス状に配した撮像素子1を、トップゲートドライバ2及びボトムゲートドライバ3を用いて駆動する撮像装置を例として説明した。しかしながら、本発明は、これに限られず、マトリクス状などの所定の配列で画素を配した他のタイプの撮像素子或いは表示素子を、上記の実施の形態で示したシフトレジスタと同一の構成を有するドライバで駆動する撮像装置或いは表示装置にも適用することができる。

10

【0104】

例えば、図13に示すような液晶表示装置への適用を例として説明する。図示するように、この液晶表示装置は、液晶表示素子5と、ゲートドライバ6と、ドレインドライバ7とを有している。

【0105】

液晶表示素子5は、一对の基板に液晶を封入して構成されるもので、その一方の基板には、T F T 5 0がマトリクス状に形成されている。各T F T 5 0のゲート電極はゲートラインG Lに、ドレイン電極はドレインラインD Lに、ソース電極は同様にマトリクス状に形成された画素電極に形成されている。他方の基板には、定電圧が印加されている共通電極が形成されており、この共通電極と各画素電極との間に、画素容量51が形成される。そして、画素容量51に蓄積された電荷によって液晶の配向状態が変化することで、液晶表示素子5は、透過させる光の量を制御して画像を表示するものである。

20

【0106】

ゲートドライバ6は、上記の実施の形態においてトップゲートドライバ2及びボトムゲートドライバ3として適用したシフトレジスタのいずれか、或いは上記で説明した変形例のものを以て構成される。ゲートドライバ6は、コントローラからの制御信号G c n tに従って、ゲートラインG Lを順次選択して所定の電圧を出力する。但し、制御信号G c n tとして供給される定電圧V s sは0(V)であり、また、出力電圧は、T F T 5 0の特性に従うもので、コントローラから制御信号G c n tとして供給される信号C K 1、C K 2のレベルもこれに従っている。

30

【0107】

ドレインドライバ7は、コントローラからの制御信号D c n tに従って、コントローラから画像データd a t aを順次取り込む。1ライン分の画像データd a t aを蓄積すると、ドレインドライバ7は、コントローラからの制御信号D c n tに従ってこれをドレインラインD Lに出力し、ゲートドライバ6によって選択されたゲートラインG Lに接続されているT F T 5 0(オン状態)を介して、画素容量51に蓄積させる。

【0108】

この液晶表示装置において、液晶表示素子5上に画像を表示する場合には、まず、ゲートドライバ6は、画像データd a t aを書き込むべき行のゲートラインG Lに対応した段からハイレベルの信号を出力し、当該行のT F T 5 0をオンさせる。当該行のT F T 5 0がオンしているタイミングにおいて、ドレインドライバ7は、蓄積した画像データd a t aに応じた電圧をドレインラインD Lに出力し、オンしているT F T 5 0を介して画素容量51に書き込む。以上の動作の繰り返しにより、画素容量51に画像データd a t aが書き込まれ、これに応じて液晶の配向状態が変化して、液晶表示素子5上に画像が表示される。

40

【0109】

この液晶表示装置では、液晶表示素子5は、一方の基板上にT F T 5 0がマトリクス状に形成されたものとなっている。このT F T 5 0の構造も、ゲートドライバ6に適用したシフトレジスタを構成するT F T 2 1~2 7、3 1~3 3と基本的に同じである。従って、

50

ゲートドライバ6を、液晶表示素子5を構成する一方の基板上に、同時プロセスにおいて形成することが可能となる。

【0110】

さらには、上記の実施の形態における構成、或いはそれを上記したように変形した構成を有するシフトレジスタは、撮像素子または表示素子を駆動するためのドライバとしての用途以外にも適用することができる。例えば、これらのシフトレジスタは、データ処理装置などにおいて直列のデータを並列のデータに変換する場合などの用途にも適用することができる。

【0111】

なお、上記の実施の形態のトップゲートドライバ2、ボトムゲートドライバ3並びにゲートドライバ6はTFT21~25、31~34のいずれかにより構成されているが、これらをTFT以外のトランジスタに置き換えてもよい。また、上記TFT21~25、31~34はnチャンネル型であったが、全てpチャンネル型としてもよい。このとき、各信号のハイ、ローレベルはnチャンネルのときに比べ互いに反転されるように設定されていればよい。

【0112】

【発明の効果】

以上説明したように、本発明のシフトレジスタによれば、出力信号のレベルを減衰させることなく、順次シフトしていくことが可能となる。

【0113】

また、容量に蓄積された電荷が十分に放出されないことに起因する誤動作を防ぐことができる。

【0114】

さらに、本発明の電子装置では、撮像素子或いは表示素子などの駆動素子に、ドライバを構成するトランジスタとほぼ同様の構造を有する素子を含むものを適用することによって、ドライバを撮像素子と同一の基板上に、同一のプロセスで形成することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる撮像装置の構成を示すブロック図である。

【図2】図1のダブルゲートトランジスタの概略的な構造を示す断面図である。

【図3】(a)~(d)は、図1のダブルゲートトランジスタの駆動原理を示す模式図である。

【図4】本発明の第1の実施の形態において、トップゲートドライバ及びボトムゲートドライバとして適用されるシフトレジスタの全体の構成を示すブロック図である。

【図5】本発明の第1の実施の形態において、トップゲートドライバ及びボトムゲートドライバとして適用されるシフトレジスタの1段分の構成を示す回路図である。

【図6】本発明の第1の実施の形態におけるシフトレジスタを、トップゲートドライバとして適用した場合の動作を示すタイミングチャートである。

【図7】(a)~(i)は、本発明の第1の実施の形態にかかる撮像装置の動作を示す模式図である。

【図8】第1の比較例においてトップゲートドライバ及びボトムゲートドライバとして適用されるシフトレジスタの1段分の構成を示す回路図である。

【図9】第1の比較例におけるシフトレジスタを、トップゲートドライバとして適用した場合の動作を示すタイミングチャートである。

【図10】トップゲートドライバ及びボトムゲートドライバとして適用されるシフトレジスタの1段分の他の構成を示す回路図である。

【図11】トップゲートドライバ及びボトムゲートドライバとして適用されるシフトレジスタの1段分の他の構成を示す回路図である。

【図12】トップゲートドライバ及びボトムゲートドライバとして適用されるシフトレジスタの1段分の他の構成を示す回路図である。

【図13】本発明の実施の形態の変形にかかる液晶表示装置の構成を示すブロック図であ

10

20

30

40

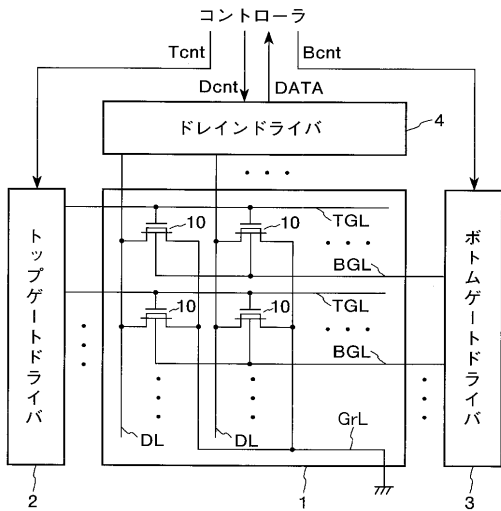
50

る。

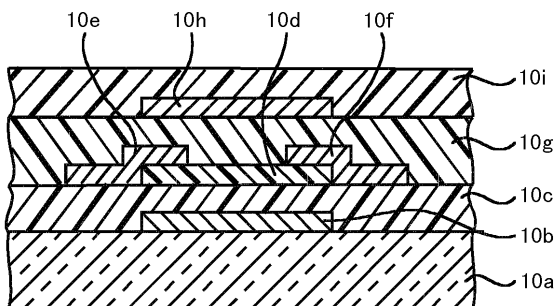
【符号の説明】

1・・・撮像素子、2・・・トップゲートドライバ、3・・・ボトムゲートドライバ、4・・・ドレインドライバ、5・・・液晶表示素子、6・・・ゲートドライバ、7・・・ドレインドライバ、10・・・ダブルゲートトランジスタ、10a・・・基板、10b・・・ボトムゲート電極、10c・・・ボトムゲート絶縁膜、10d・・・半導体層、10e・・・ドレイン電極、10f・・・ソース電極、10g・・・トップゲート絶縁膜、10h・・・トップゲート電極、10i・・・絶縁保護膜、21～25・・・TFT（基本構成）、31～34・・・TFT（付加構成）、50・・・TFT、51・・・画素容量、TGL・・・トップゲートライン、BGL・・・ボトムゲートライン、DL・・・ドレインライン、GL・・・ゲートライン、GrL・・・グラウンドライン

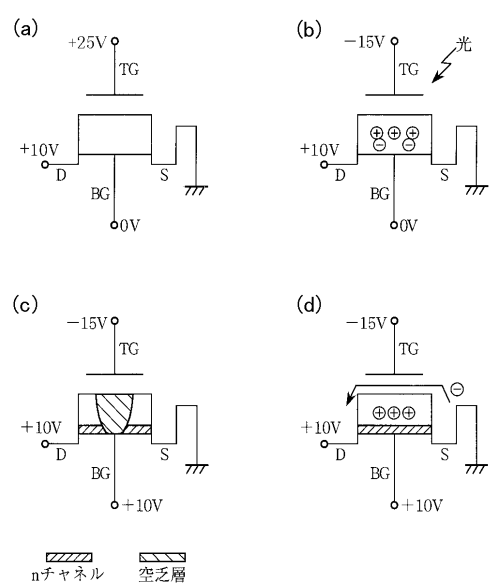
【図1】



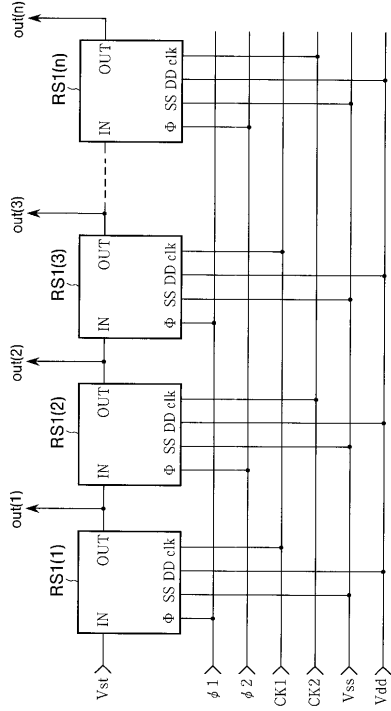
【図2】



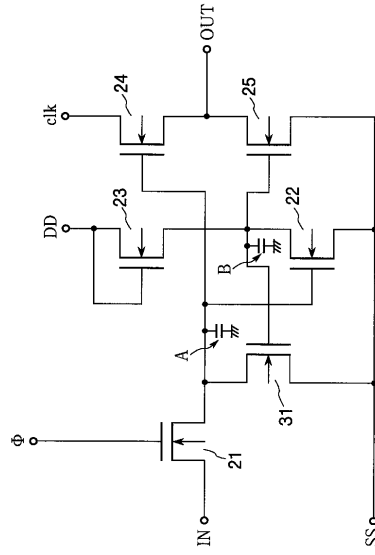
【図3】



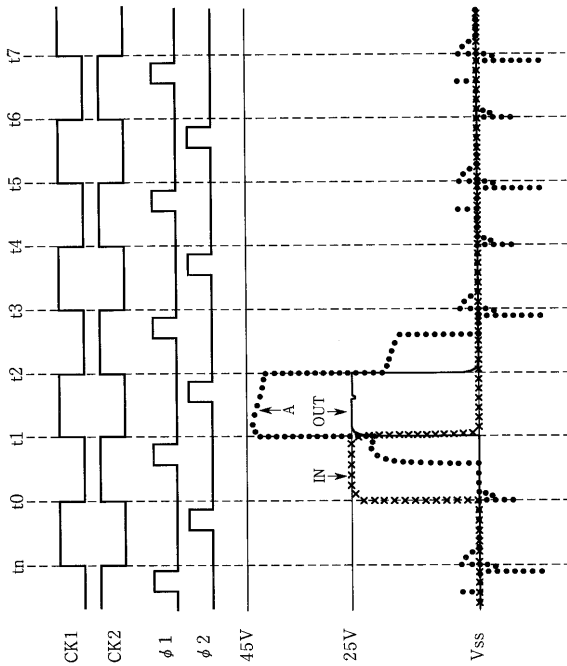
【 図 4 】



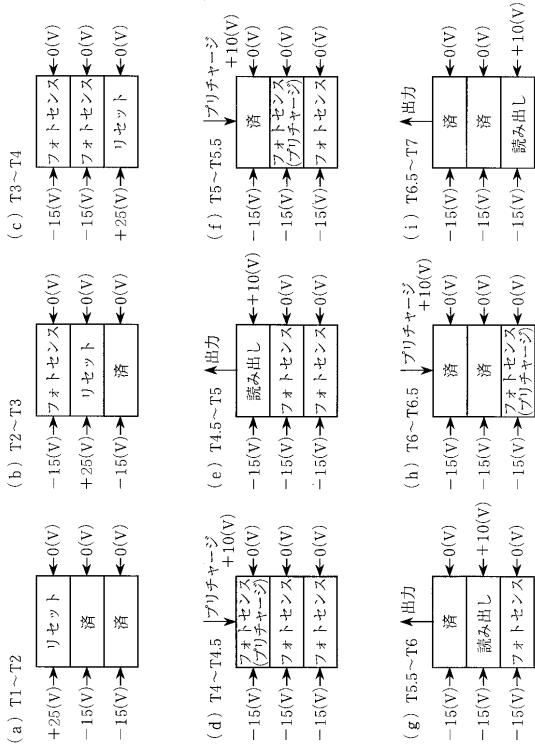
【 図 5 】



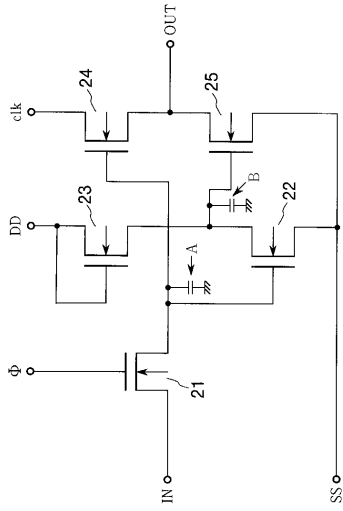
【 図 6 】



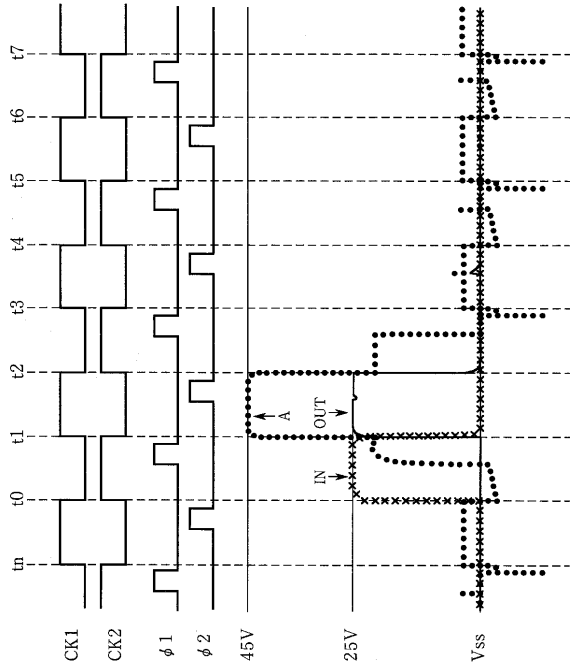
【 図 7 】



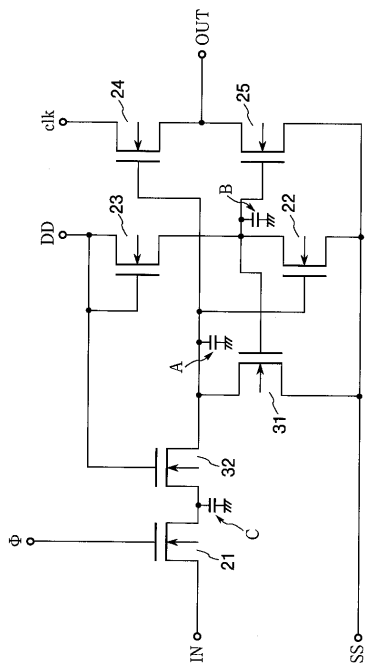
【 図 8 】



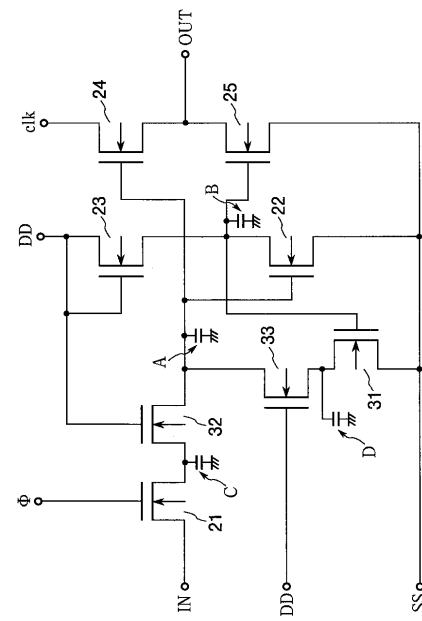
【 図 9 】



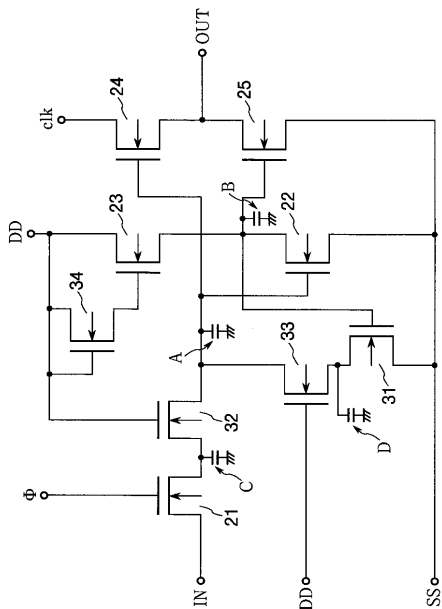
【 図 10 】



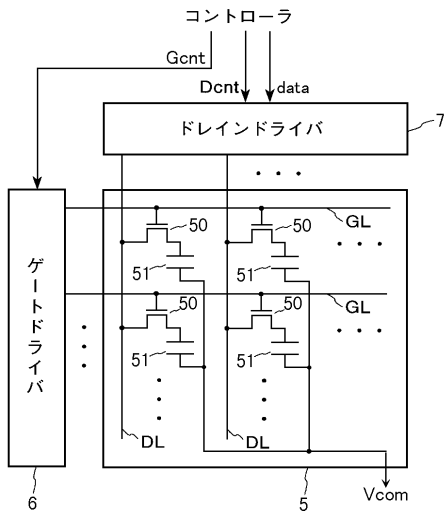
【 図 11 】



【図12】



【図13】



フロントページの続き

- (56)参考文献 特開昭58-029200(JP,A)
特表平06-505605(JP,A)
特開平07-182891(JP,A)
特開平10-112645(JP,A)
実開昭61-070431(JP,U)
特開昭58-188396(JP,A)
特開2000-155550(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 19/28

G11C 19/00