

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年8月24日(24.08.2023)



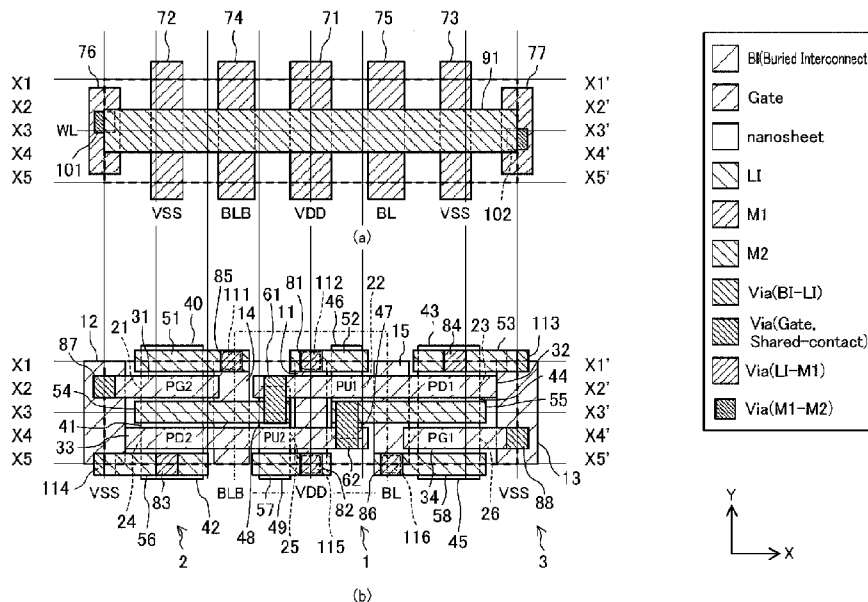
(10) 国際公開番号

WO 2023/157754 A1

- (51) 国際特許分類:
H10B 10/00 (2023.01) *H01L 21/8238* (2006.01)
G11C 11/412 (2006.01) *H01L 27/088* (2006.01)
H01L 21/82 (2006.01) *H01L 27/092* (2006.01)
H01L 21/8234 (2006.01)
- (21) 国際出願番号: PCT/JP2023/004369
- (22) 国際出願日: 2023年2月9日(09.02.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-022644 2022年2月17日(17.02.2022) JP
- (71) 出願人: 株式会社ソシオネクスト(**SOCIONEXT INC.**) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).
- (72) 発明者: 廣瀬 雅庸 (**HIROSE Masanobu**); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).
- (74) 代理人: 弁理士法人前田特許事務所(**MAEDA & PARTNERS**); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: In the present invention, a 1-port SRAM cell is provided with: a load transistor (PU1); a load transistor (PU2); a drive transistor (PD1); a drive transistor (PD2); an access transistor (PG1) of which one node is connected to an embedded wire (15) and a wire (75); and an access transistor (PG2) of which one node is connected to an embedded wire (14) and a wire (74). The embedded wires (14, 15) are formed so as to extend in a Y-direction in an embedded wire layer. The wires (74, 75) are formed so as to extend in the Y-direction in a first wire layer that is a layer over the

CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,
KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO(BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

embedded wire layer.

(57) 要約: 1ポートSRAMセルは、ロードトランジスタ(PU1)と、ロードトランジスタ(PU2)と、ドライブトランジスタ(PD1)と、ドライブトランジスタ(PD2)と、一方のノードが埋込配線(15)および配線(75)に接続されたアクセストランジスタ(PG1)と、一方のノードが埋込配線(14)および配線(74)に接続されたアクセストランジスタ(PG2)とを備える。埋込配線(14, 15)は埋込配線層にY方向に延びるように形成されており、配線(74, 75)は埋込配線層より上層の第1配線層にY方向に延びるように形成されている。

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本開示は、半導体記憶装置に関し、特に 1 ポートおよび 2 ポート S R A M (Static Random Access Memory) セル（以下、適宜、単にセルともいう）のレイアウト構造に関する。

背景技術

[0002] S R A Mは半導体集積回路において広く用いられている。

[0003] 半導体集積回路の高集積化のために、従来のようなトランジスタの上層に形成された金属配線層に設けられた配線ではなく、埋込配線（B I : Buried Interconnect）層に設けられた配線を用いることが提案されている。

[0004] 非特許文献 1 には、ビット線対が埋込配線層に設けられた 1 ポート S R A Mセルのレイアウト構造が開示されている。

先行技術文献

非特許文献

[0005] 非特許文献 1 : R. Mathur et al., “Buried Bitline for sub-5nm SRAM Design”, 2020 IEEE International Electron Devices Meeting (IEDM), December 2020, IEDM20-409~412

発明の概要

発明が解決しようとする課題

[0006] しかしながら、現在、埋込配線層に用いられる配線に使用される金属材料はタングステンなどが想定されており、一般的な半導体集積回路の配線に用いられている銅よりも抵抗が大きい。このため、ビット線に埋込配線層の配線を使用すると S R A Mセルの読出しおよび書き込みの動作速度が低下するとともに、S R A Mセルに対する書き込み特性が悪化することにより、動作下限電圧が高くなる。S R A Mセルの動作下限電圧を改善するために、埋込配線層のビット線の配線幅を大きくすると、S R A Mセルの面積が大きくなる

。また、ビット線の配線の深さ方向の長さを大きくすることによってその抵抗値を小さくしようとしても、製造上の制約によりそれには限界があり、また、寄生容量が大きくなることによって動作速度が低下する。

[0007] 本開示は、ビット線が埋込配線層に設けられたSRAMセルのレイアウト構造において、半導体記憶装置の面積増加を抑制しつつ、半導体記憶装置の高速化および書き込み特性の向上を図ることを目的とする。

課題を解決するための手段

[0008] 本開示の第1態様では、1ポートSRAMセルを含む半導体記憶装置であって、前記1ポートSRAMセルは、一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、一方のノードが第1ビット線に、他方のノードが前記第1ノードに、ゲートがワード線にそれぞれ接続された第5トランジスタと、一方のノードが前記第1ビット線と相補ビット線対を構成する第2ビット線に、他方のノードが前記第2ノードに、ゲートが前記ワード線にそれぞれ接続された第6トランジスタとを備え、前記第1ビット線は、埋込配線層に形成されており、第1方向に延びる第1埋込配線と、前記第1～第6トランジスタよりも上層の第1配線層に形成されており、前記第1方向に延びる第1配線とを含み、前記第2ビット線は、前記埋込配線層に形成されており、前記第1方向に延びる第2埋込配線と、前記第1配線層に形成されており、前記第1方向に延びる第2配線とを含む。

[0009] 本開示によると、第1ビット線は、埋込配線層に形成された第1埋込配線と、第1配線層に形成された第1配線とを含み、第2ビット線は、埋込配線

層に形成された第2埋込配線と、第1配線層に形成された第2配線とを含む。すなわち、第1および第2ビット線のそれぞれが、埋込配線層およびM1配線層に形成される。これにより、第1および第2ビット線の抵抗値を低減することができるため、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。また、埋込配線層およびM1配線層のそれぞれに第1および第2ビット線が形成されているため、半導体記憶装置の面積増加を抑制しつつ、各ビット線の抵抗値を低減することができる。したがって、半導体記憶装置の面積増加を抑制しつつ、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。

[0010] 本開示の第2態様では、2ポートSRAMセルを含む半導体記憶装置であって、前記2ポートSRAMセルは、一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、一方のノードが第1ライトビット線に、他方のノードが前記第1ノードに、ゲートがライトワード線にそれぞれ接続された第5トランジスタと、一方のノードが前記第1ライトビット線と相補ビット線対を構成する第2ライトビット線に、他方のノードが前記第2ノードに、ゲートが前記ライトワード線にそれぞれ接続された第6トランジスタと、一方のノードが前記第2電源に、ゲートが前記第2ノードにそれぞれ接続された第7トランジスタと、一方のノードが前記第7トランジスタの他方のノードに、他方のノードが第1リードビット線に、ゲートがリードワード線にそれぞれ接続された第8トランジスタとを備え、前記第1ライトビット線は、埋込配線層に形成されており、第1方向に延びる第1埋込配線と、前記第1

～第6トランジスタよりも上層の第1配線層に形成されており、前記第1方向に延びる第1配線とを含み、前記第2ライトビット線は、前記埋込配線層に形成されており、前記第1方向に延びる第2埋込配線と、前記第1配線層に形成されており、前記第1方向に延びる第2配線とを含む。

[0011] 本開示によると、第1ライトビット線は、埋込配線層に形成された第1埋込配線と、第1配線層に形成された第1配線とを含み、第2ライトビット線は、埋込配線層に形成された第2埋込配線と、第1配線層に形成された第2配線とを含む。すなわち、第1および第2ライトビット線のそれぞれが、埋込配線層およびM1配線層に形成される。これにより、第1および第2ライトビット線の抵抗値を低減することができるため、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。また、埋込配線層およびM1配線層のそれぞれに第1および第2ライトビット線が形成されているため、半導体記憶装置の面積増加を抑制しつつ、第1および第2ライトビット線の抵抗値を低減することができる。したがって、半導体記憶装置の面積増加を抑制しつつ、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。

[0012] 本開示の第3態様では、アレイ状に配置されたSRAMセルをそれぞれ含む第1および第2サブメモリアレイを含む半導体記憶装置であって、前記第1サブメモリアレイは、相補ビット線対を構成する第1ビット線および第2ビット線を備え、前記第2サブメモリアレイは、相補ビット線対を構成する第3ビット線および第4ビット線を備え、前記第1ビット線は、埋込配線層に形成されており、第1方向に延びる第1埋込配線と、前記埋込配線層よりも上層の第1配線層に形成されており、前記第1方向に延びる第1配線とを含み、前記第2ビット線は、前記埋込配線層に形成されており、前記第1方向に延びる第2埋込配線と、前記第1配線層に形成されており、前記第1方向に延びる第2配線とを含み、前記第3ビット線は、前記埋込配線層に形成されており、前記第1方向に延びる第3埋込配線、および、前記第1配線層に形成されており、前記第1方向に延びる第3配線の少なくともいずれか一

方を含み、前記第4ビット線は、前記埋込配線層に形成されており、前記第1方向に延びる第4埋込配線、および、前記第1配線層に形成されており、前記第1方向に延びる第4配線の少なくともいずれか一方を含む。

[0013] 本開示によると、第1サブメモリアレイにおける、第1ビット線は、埋込配線層に形成された第1埋込配線と、第1配線層に形成された第1配線とを含み、第2ビット線は、埋込配線層に形成された第2埋込配線と、第1配線層に形成された第2配線とを含む。すなわち、第1サブメモリアレイにおいて、第1および第2ビット線のそれぞれが、埋込配線層およびM1配線層に形成される。これにより、第1および第2ビット線の抵抗値を低減することができるため、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。また、第1サブメモリアレイにおいて、埋込配線層およびM1配線層のそれぞれに第1および第2ビット線が形成されているため、半導体記憶装置の面積増加を抑制しつつ、各ビット線の抵抗値を低減することができる。したがって、半導体記憶装置の面積増加を抑制しつつ、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。

発明の効果

[0014] 本開示によると、ビット線が埋込配線層に設けられたSRAMセルのレイアウト構造において、半導体記憶装置の面積増加を抑制しつつ、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。

図面の簡単な説明

[0015] [図1]第1実施形態に係る1ポートSRAMセルのレイアウト構造の例を示す平面図。

[図2]第1実施形態に係る1ポートSRAMセルのレイアウト構造の例を示す断面図。

[図3]第1実施形態に係る1ポートSRAMセルのレイアウト構造の例を示す断面図。

[図4]第1実施形態に係る1ポートSRAMセルの構成を示す回路図。

[図5]第1実施形態に係る1ポートSRAMセルのレイアウト構造の他の例を

示す平面図。

[図6]第1実施形態に係る1ポートSRAMセルのレイアウト構造の他の例を示す断面図。

[図7]第1実施形態に係る1ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図8]第2実施形態に係る2ポートSRAMセルのレイアウト構造の例を示す平面図。

[図9]第2実施形態に係る2ポートSRAMセルの構成を示す回路図。

[図10]第2実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図11]第2実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図12]第3実施形態に係る半導体記憶装置の回路ブロックのレイアウト構造の例を示す平面図。

[図13]第3実施形態に係る半導体記憶装置の回路ブロックのレイアウト構造の他の例を示す平面図。

[図14]第3実施形態に係る1ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図15]第3実施形態に係る1ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図16]第3実施形態に係る半導体記憶装置の回路ブロックのレイアウト構造の他の例を示す平面図。

発明を実施するための形態

[0016] 以下、実施の形態について、図面を参照して説明する。以下の実施の形態では、半導体記憶装置は複数のSRAMセル（本明細書では、適宜、単にセルという）を備えており、この複数のSRAMセルのうち少なくとも一部は、ナノシートFETを備えるものとする。ナノシートFETとは、電流が流れる薄いシート（ナノシート）を用いたFETである。ナノシートは例えば

シリコンによって形成されている。

[0017] また、本開示では、ナノシートの両端に形成されており、ナノシート FET のソースまたはドレインとなる端子を構成する半導体層部のことを「パッド」という。

[0018] また、本開示では、SRAMセルは、基板またはSTI (Shallow Trench Isolation) に埋め込まれた配線が形成された埋込配線層に、埋込配線 (BI : Buried Interconnect) を備える。以下の説明では、埋込配線層に設けられる配線を、埋込配線といい、特に、埋込配線層に設けられる電源配線を埋込電源配線 (BPR : Buried Power Rail) ということがある。

[0019] なお、以下の説明では、図1等の平面図において、図面縦方向をY方向 (第1方向に相当)、図面横方向をX方向、基板面に垂直な方向をZ方向としている。また、「VDD」は電源電圧、高電圧側電源自体または高電圧側電源線を示し、「VSS」は電源電圧、低電圧側電源自体または低電圧側電源線を示す。

[0020] また、以下の実施形態における平面図および断面図においては、各絶縁膜等の記載は省略することがある。また、以降の実施形態における平面図および断面図については、ナノシートおよびその両側のパッドを、簡易化した直線状の形状で記載することがある。また、本開示において、「同一サイズ」等のように、サイズ等が同じであることを意味する表現は、製造上のばらつき範囲を含んでいるものとする。

[0021] また、本開示では、トランジスタのソースおよびドレインのことを、適宜、トランジスタの「ノード」と称する。すなわち、トランジスタの一方のノードとは、トランジスタのソースまたはドレインのことを指し、トランジスタの両方のノードとは、トランジスタのソースおよびドレインのことを指す。

[0022] また、以下の実施形態およびその変形例において、同様の部材等については、同じ符号を付して説明を省略することがある。

[0023] (第1実施形態)

図1～図3は第1実施形態に係る1ポートSRAMセルのレイアウト構造の例を示す図であり、図1(a)、(b)は平面図、図2(a)～(c)および図3(a)、(b)は平面視横方向における断面図である。具体的には、図1(a)は、M1、M2配線層である、セル上部を示し、図1(b)はM1、M2配線層よりも下層であり、ナノシートFETを含む部分である、セル下部を示す。図2(a)は線X1-X1'の断面、図2(b)は線X2-X2'の断面、図2(c)は線X3-X3'の断面、図3(a)は線X4-X4'の断面、図3(b)は線X5-X5'の断面である。

[0024] 図4は第1実施形態に係る1ポートSRAMセルの構成を示す回路図である。図4に示すように、1ポートSRAMセルには、ロードトランジスタPU1、PU2、ドライブトランジスタPD1、PD2、および、アクセストランジスタPG1、PG2により1ポートSRAM回路が構成されている。ロードトランジスタPU1、PU2は、P型FETであり、ドライブトランジスタPD1、PD2およびアクセストランジスタPG1、PG2は、N型FETである。

[0025] ロードトランジスタPU1は、電源VDDと第1ノードNAとの間に設けられており、ドライブトランジスタPD1は、第1ノードNAと電源VSSとの間に設けられている。ロードトランジスタPU1およびドライブトランジスタPD1は、ゲートが第2ノードNBに接続されており、インバータINV1を構成している。ロードトランジスタPU2は、電源VDDと第2ノードNBとの間に設けられており、ドライブトランジスタPD2は、第2ノードNBと電源VSSとの間に設けられている。ロードトランジスタPU2およびドライブトランジスタPD2は、ゲートが第1ノードNAに接続されており、インバータINV2を構成している。すなわち、一方のインバータの出力は他方のインバータの入力に接続されており、これにより、ラッチが構成されている。

[0026] アクセストランジスタPG1は、ビット線BLと第1ノードNAとの間に設けられており、ゲートがワード線WLに接続されている。アクセストラン

ジスタPG2は、ビット線BLBと第2ノードNBとの間に設けられており、ゲートがワード線WLに接続されている。なお、ビット線BL、BLBは、相補ビット線対を構成する。

[0027] 1ポートSRAM回路では、相補ビット線対を構成するビット線BL、BLBを、ハイレベルおよびローレベルにそれぞれ駆動し、ワード線WLをハイレベルに駆動すると、第1ノードNAにハイレベルが書き込まれ、第2ノードNBにローレベルが書き込まれる。一方、ビット線BL、BLBを、ローレベルおよびハイレベルにそれぞれ駆動し、ワード線WLをハイレベルに駆動すると、第1ノードNAにローレベルが書き込まれ、第2ノードNBにハイレベルが書き込まれる。そして、第1および第2ノードNA、NBにデータがそれぞれ書き込まれている状態で、ワード線WLをローレベルに駆動すると、ラッチ状態が確定し、第1および第2ノードNA、NBに書き込まれているデータが保持される。

[0028] また、ビット線BL、BLBを予めハイレベルにプリチャージしておき、ワード線WLをハイレベルに駆動すると、第1および第2ノードNA、NBに書き込まれたデータに応じてビット線BL、BLBの状態がそれぞれ確定するため、SRAMセルからのデータの読み出しを行うことができる。具体的に、第1ノードNAがハイレベルであり、第2ノードNBがローレベルであれば、ビット線BLはハイレベルを保持し、ビット線BLBはローレベルにディスチャージされる。一方、第1ノードNAがローレベルであり、第2ノードNBがハイレベルであれば、ビット線BLはローレベルにディスチャージされ、ビット線BLBはハイレベルを保持する。

[0029] 以上に説明したように、1ポートSRAMセルは、ビット線BL、BLBおよびワード線WLを制御することによって、SRAMセルへのデータ書き込み、データ保持およびSRAMセルからのデータ読み出し機能を有する。

[0030] なお、以下の説明では、図1等の平面図において縦横に走る実線、および、図2等の断面図において縦に走る実線は、設計時に部品配置を行うために用いるグリッドを示す。グリッドは、X方向において等間隔に配置されてお

り、またY方向において等間隔に配置されている。なお、グリッド間隔は、X方向とY方向とにおいて同じであってもよいし異なってもよい。また、グリッド間隔は、層ごとに異なってもかまわない。さらに、各部品は必ずしもグリッド上に配置される必要はない。ただし、製造ばらつきを抑制する観点から、部品はグリッド上に配置される方が好ましい。

[0031] また、図1等の平面図においてセルを取り囲むように表示された点線は、1ポートSRAMセルのセル枠（1ポートSRAMセルの外縁）を示す。1ポートSRAMセルは、セル枠が、X方向またはY方向に隣接するセルのセル枠と接するように配置される。

[0032] また、図1等の平面図において、1ポートSRAMセルのX方向両側には、それぞれ、1ポートSRAMセルをX方向に反転したものが配置される。1ポートSRAMセルのY方向両側には、それぞれ、1ポートSRAMセルをY方向に反転したものが配置される。

[0033] 図1(b)に示すように、埋込配線層には、セルの図面上下両端にかけて、Y方向に延びる埋込電源配線11～13および埋込配線14、15が形成されている。埋込電源配線11はセルの図面中央付近に形成されており、埋込電源配線12、13はセルの図面左右両端にそれぞれ形成されている。埋込電源配線11は、電源電圧VDDを供給する。埋込電源配線12、13は、電源電圧VSSを供給する。

[0034] 埋込配線14は、埋込電源配線11、12の間に形成されている。具体的には、埋込配線14は、平面視において、後述するナノシート24(21)とナノシート25との間に形成されている。また、埋込配線15は、埋込電源配線11、13の間に形成されている。具体的には、埋込配線15は、平面視において、後述するナノシート22とナノシート23(26)との間に形成されている。埋込配線14、15は、ビット線BLB、BLにそれぞれ相当する。

[0035] また、Nウェル1上に、ロードトランジスタPU1、PU2が形成されている。P型基板2上にアクセストランジスタPG2およびドライブトランジ

スタPD2が形成されている。P型基板3上にドライブトランジスタPD1およびアクセストランジスタPG1が形成されている。

[0036] 図1(b)に示すように、X方向およびY方向に広がるナノシート(nanosheet)21~26が形成されている。ナノシート21~23は、X方向において、ナノシート21~23の順に並んでいる。ナノシート24~26は、X方向において、ナノシート24~26の順に並んでいる。また、ナノシート21, 24は、Y方向に並んで形成されている。ナノシート23, 26は、Y方向に並んで形成されている。また、ナノシート21, 23, 24, 26のX方向の幅は、ナノシート22, 25のX方向の幅の2倍となっている。

[0037] ナノシート21~26が、アクセストランジスタPG2、ロードトランジスタPU1、ドライブトランジスタPD1、ドライブトランジスタPD2、ロードトランジスタPU2およびアクセストランジスタPG1のチャンネル部をそれぞれ構成する。

[0038] 図2(b)および図3(a)に示すように、ナノシート21~26は、それぞれ、3枚のシート状の半導体(ナノシート)からなる。ナノシート21~26は、それぞれを構成するナノシートが、平面視で重なるように配置されており、Z方向に離間して形成されている。すなわち、本実施形態に係る1ポートSRAMセルに構成されるナノシートFETは、それぞれ、3枚のナノシートを含む。

[0039] 図1(b)に示すように、ゲート配線(Gate)31~34は、X方向およびZ方向に延びている。ゲート配線31, 32はX方向に並んでおり、ゲート配線33, 34はX方向に並んでいる。

[0040] また、ゲート配線31は、ナノシート21と平面視で重なっている。ゲート配線32は、ナノシート22, 23と平面視で重なっている。ゲート配線33は、ナノシート24, 25と平面視で重なっている。ゲート配線34は、ナノシート26と平面視で重なっている。

[0041] ゲート配線31は、アクセストランジスタPG2のゲートとなる。ゲート

配線 3 2 は、ロードトランジスタ P U 1 およびドライブトランジスタ P D 1 のゲートとなる。ゲート配線 3 3 は、ドライブトランジスタ P D 2 およびロードトランジスタ P U 2 のゲートとなる。ゲート配線 3 4 は、アクセストランジスタ P G 1 のゲートとなる。

[0042] ナノシート 2 1 の図面上端、ナノシート 2 1, 2 4 の間、ナノシート 2 4 の図面下端、ナノシート 2 3 の図面上端、ナノシート 2 3, 2 6 の間、およびナノシート 2 6 の図面下端に、N 型半導体がドーピングされたパッド 4 0 ~ 4 5 がそれぞれ形成されている。パッド 4 0, 4 1 がアクセストランジスタ P G 2 のノードを構成する。パッド 4 1, 4 2 がドライブトランジスタ P D 2 のノードを構成する。パッド 4 3, 4 4 がドライブトランジスタ P D 1 のノードを構成する。パッド 4 4, 4 5 がアクセストランジスタ P G 1 のノードを構成する。

[0043] ナノシート 2 2 の図面上端、ナノシート 2 2 の図面下端、ナノシート 2 5 の図面上端、およびナノシート 2 5 の図面下端に、P 型半導体がドーピングされたパッド 4 6 ~ 4 9 がそれぞれ形成されている。パッド 4 6, 4 7 がロードトランジスタ P U 1 のノードを構成する。パッド 4 8, 4 9 がロードトランジスタ P U 2 のノードを構成する。

[0044] ローカル配線層には、X 方向に延びるローカル配線 (LI : Local Interconnect) 5 1 ~ 5 8 が形成されている。ローカル配線 5 1 はパッド 4 0 と接続されている。ローカル配線 5 2 はパッド 4 6 と接続されている。ローカル配線 5 3 はパッド 4 3 と接続されている。ローカル配線 5 4 はパッド 4 1, 4 8 と接続されている。ローカル配線 5 5 はパッド 4 7, 4 4 と接続されている。ローカル配線 5 6 はパッド 4 2 と接続されている。ローカル配線 5 7 はパッド 4 9 と接続されている。ローカル配線 5 8 はパッド 4 5 と接続されている。

[0045] また、ローカル配線 5 1 は、コンタクト (Via) 1 1 1 を介して、埋込配線 1 4 と接続されている。ローカル配線 5 2 は、コンタクト 1 1 2 を介して、埋込電源配線 1 1 と接続されている。ローカル配線 5 3 は、コンタクト 1 1

3を介して、埋込電源配線13と接続されている。ローカル配線56は、コンタクト114を介して、埋込電源配線12と接続されている。ローカル配線57は、コンタクト115を介して、埋込電源配線11と接続されている。ローカル配線58は、コンタクト116を介して、埋込配線15と接続されている。

[0046] ローカル配線54は、シェアードコンタクト(Shared-contact)61を介して、ゲート配線32と接続されている。ローカル配線55は、シェアードコンタクト62を介して、ゲート配線33と接続されている。なお、ゲート配線33、ローカル配線55およびシェアードコンタクト62が第1ノードN_Aに相当する。ゲート配線32、ローカル配線54およびシェアードコンタクト61が第2ノードN_Bに相当する。

[0047] 図1(a)に示すように、M1配線層に、セルの図面上下両端にかけてY方向に延びる配線71~75が形成されている。また、配線76, 77が形成されている。配線71は、電源電圧V_{DD}を供給する。配線72, 73は、電源電圧V_{SS}を供給する。配線74, 75は、ビット線B_{LB}, B_Lにそれぞれ相当する。すなわち、本実施形態では、埋込配線14および配線74がビット線B_{LB}に相当し、埋込配線15および配線75がビット線B_Lに相当する。

[0048] 配線71は、コンタクト(Via)81を介してローカル配線52と接続されており、コンタクト82を介してローカル配線57と接続されている。配線72は、コンタクト83を介して、ローカル配線56と接続されている。配線73は、コンタクト84を介して、ローカル配線53と接続されている。配線74は、コンタクト85を介して、ローカル配線51と接続されている。配線75は、コンタクト86を介して、ローカル配線58と接続されている。配線76は、コンタクト(Gate-contact)87を介して、ゲート配線31と接続されている。配線77は、コンタクト88を介して、ゲート配線34と接続されている。

[0049] M1配線層の上層であるM2配線層に、セルの図面左右両端にかけてX方

向に延びる配線 9 1 が形成されている。配線 9 1 が、ワード線 WL に相当する。配線 9 1 は、コンタクト 1 0 1 を介して配線 7 6 と接続されており、コンタクト 1 0 2 を介して配線 7 7 と接続されている。

[0050] 以上の構成により、ロードトランジスタ P U 1 は、パッド 4 6 が電源電圧 V D D を供給する埋込電源配線 1 1 および配線 7 1 に、パッド 4 7 がローカル配線 5 5 (第 1 ノード N A) に、ゲート配線 3 2 がシェアードコンタクト 6 1 (第 2 ノード N B) にそれぞれ接続されている。ロードトランジスタ P U 2 は、パッド 4 9 が電源電圧 V D D を供給する埋込電源配線 1 1 および配線 7 1 に、パッド 4 8 がローカル配線 5 4 (第 2 ノード N B) に、ゲート配線 3 3 がシェアードコンタクト 6 2 (第 1 ノード N A) にそれぞれ接続されている。ドライブトランジスタ P D 1 は、パッド 4 4 がローカル配線 5 5 (第 1 ノード N A) に、パッド 4 3 が電源電圧 V S S を供給する埋込電源配線 1 3 および配線 7 3 に、ゲート配線 3 2 がシェアードコンタクト 6 1 (第 2 ノード N B) にそれぞれ接続されている。ドライブトランジスタ P D 2 は、パッド 4 1 がローカル配線 5 4 (第 2 ノード N B) に、パッド 4 2 が電源電圧 V S S を供給する埋込電源配線 1 2 および配線 7 2 に、ゲート配線 3 3 がシェアードコンタクト 6 2 (第 1 ノード N A) にそれぞれ接続されている。アクセストランジスタ P G 1 は、パッド 4 5 が埋込配線 1 5 および配線 7 5 (ビット線 B L) に、パッド 4 4 がローカル配線 5 5 (第 1 ノード N A) に、ゲート配線 3 4 が配線 9 1 (ワード線 W L) にそれぞれ接続されている。アクセストランジスタ P G 2 は、パッド 4 0 が埋込配線 1 4 および配線 7 4 (ビット線 B L B) に、パッド 4 1 がローカル配線 5 4 (第 2 ノード N B) に、ゲート配線 3 1 が配線 9 1 (ワード線 W L) にそれぞれ接続されている。埋込配線 1 4, 1 5 は埋込配線層に Y 方向に延びるように形成されており、配線 7 4, 7 5 は埋込配線層より上層の M 1 配線層に Y 方向に延びるように形成されている。

[0051] すなわち、ビット線 B L に相当する埋込配線 1 5 および配線 7 5 が埋込配線層および M 1 配線層にそれぞれ形成されており、ビット線 B L B に相当す

る埋込配線 1 4 および配線 7 4 が埋込配線層および M 1 配線層にそれぞれ形成される。これにより、ビット線 B L, B L B の抵抗値を低減することができるため、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。

[0052] また、ビット線 B L, B L B のそれぞれを埋込配線層および M 1 配線層のいずれか一方のみで形成した場合、ビット線 B L, B L B のそれぞれの配線幅を広くすることによってビット線 B L, B L B の抵抗値を低減することができるが、半導体記憶装置の面積増加が発生する。これに対して、本実施形態では、埋込配線層および M 1 配線層のそれぞれにビット線 B L, B L B が形成されているため、半導体記憶装置の面積増加を抑制しつつ、ビット線 B L, B L B の抵抗値を低減することができる。

[0053] したがって、ビット線が埋込配線層に設けられた S R A M セルのレイアウト構造において、半導体記憶装置の面積増加を抑制しつつ、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。

[0054] また、埋込配線層の配線は、トランジスタが配置されていない領域のみにしか設けることができないが、M 1 配線層の配線には、そのような配置の制約がない。このため、ビット線 B L, B L B のそれぞれを埋込配線層および M 1 配線層に設けることにより、配線 7 4, 7 5 の配線位置や配線幅についての設計自由度が高くなり、S R A M セルの性能と消費電力を最適化することができる。

[0055] また、電源電圧 V D D を供給する埋込電源配線 1 1 および配線 7 1 が、埋込配線層および M 1 配線層にそれぞれ形成されている。また、電源電圧 V S S を供給する埋込電源配線 1 2 (1 3) および配線 7 2 (7 3) が、埋込配線層および M 1 配線層にそれぞれ形成されている。これにより、S R A M セルに供給される電源を強化することができるため、半導体記憶装置の動作の安定性が向上する。

[0056] また、上述したように、埋込配線層の配線は、トランジスタが配置されていない領域のみにしか設けることができないが、M 1 配線層の配線には、そ

のような配置の制約がない。このため、電源電圧を供給する配線を埋込配線層およびM1配線層のそれぞれに設けることにより、配線71～73の配線位置や配線幅についての設計自由度が高くなり、SRAMセルの性能を最適化することができる。

[0057] なお、ナノシート21, 23, 24, 26のX方向の幅はナノシート22, 25のX方向の幅の2倍であるが、これに限られない。ナノシート21～26のそれぞれのX方向の幅（すなわち、各トランジスタのゲート幅）は、1ポートSRAM回路の動作安定性等を考慮して決定すればよい。

[0058] （変形例1）

図5は第1実施形態に係る1ポートSRAMセルのレイアウト構造の他の例を示す平面図である。具体的に、図5（a）はセル上部を示し、図5（b）はセル下部を示す。図5では、図1と比較すると、埋込電源配線11が省略されている。

[0059] 図5（b）に示すように、ナノシート22, 25のX方向における間隔は、他の隣接するナノシート同士のX方向における間隔（例えば、ナノシート22, 23のX方向における間隔）よりも狭い。このため、埋込電源配線11をナノシート22, 25の間に配置することは容易ではない。したがって、埋込電源配線11を省略することにより、半導体記憶装置を製造しやすくなる。

[0060] その他、図1と同様の効果を得ることができる。

[0061] （変形例2）

図6は第1実施形態に係る1ポートSRAMセルのレイアウト構造の他の例を示す平面図である。具体的に、図6（a）はセル上部を示し、図6（b）はセル下部を示す。図6では、図5と比較すると、埋込電源配線12, 13が省略されている。

[0062] 変形例2によれば、図5と同様の効果を得ることができる。

[0063] （変形例3）

図7は第1実施形態に係る1ポートSRAMセルのレイアウト構造の他の

例を示す平面図である。具体的に、図7(a)はセル上部を示し、図7(b)はセル下部を示す。図7では、図5と比較すると、配線72, 73が省略されており、配線71, 74, 75の配線幅が広がっている。また、配線71, 74, 75は、埋込配線14, 15よりも配線幅が広い。

[0064] 図7(a)に示すように、配線72, 73を省略することにより、配線74, 75の配線幅を広くすることができる。これにより、ビット線BL, BLBの抵抗値を低減することができるため、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。

[0065] また、配線72, 73を省略することにより、配線71の配線幅を広くすることができる。これにより、電源電圧VDDを供給する電源配線の抵抗値を低減することができるため、SRAMセルに供給される電源を強化することができ、半導体記憶装置の動作の安定性が向上する。

[0066] また、配線72, 73を省略することにより、配線71~73の配線位置や配線幅についての設計自由度が高くなり、SRAMセルの性能を最適化することができる。

[0067] その他、図5と同様の効果を得ることができる。

[0068] (第2実施形態)

図8は、第2実施形態に係る2ポートSRAMセルのレイアウト構造の例を示す平面図である。具体的に、図8(a)はセル下部を示し、図8(b)はセル上部を示す。

[0069] 図9は図8の2ポートSRAMセルの構成を示す回路図である。図9に示すように、2ポートSRAMセルには、ロードトランジスタPU1, PU2と、ドライフトランジスタPD1, PD2と、アクセストランジスタPG1, PG2と、リードドライフトランジスタRPDと、リードアクセストランジスタRPGとにより構成される2ポートのメモリセル回路が構成されている。ロードトランジスタPU1, PU2は、P型FETであり、ドライフトランジスタPD1, PD2、アクセストランジスタPG1, PG2、リードドライフトランジスタRPDおよびリードアクセストランジスタRPGは、

N型FETである。

[0070] ロードトランジスタPU1は、電源電圧VDDと第1ノードNAとの間に設けられており、ドライブトランジスタPD1は、第1ノードNAと電源VSSとの間に設けられている。ロードトランジスタPU1およびドライブトランジスタPD1は、ゲートが第2ノードNBに接続されており、インバータINV1を構成している。ロードトランジスタPU2は、電源電圧VDDと第2ノードNBとの間に設けられており、ドライブトランジスタPD2は、第2ノードNBと電源VSSとの間に設けられている。ロードトランジスタPU2およびドライブトランジスタPD2は、ゲートが第1ノードNAに接続されており、インバータINV2を構成している。すなわち、一方のインバータの出力は他方のインバータの入力に接続されており、これにより、ラッチが構成されている。

[0071] アクセストランジスタPG1は、ライトビット線WBLと第1ノードNAとの間に設けられており、ゲートがライトワード線WWLに接続されている。アクセストランジスタPG2は、ライトビット線WBLBと第2ノードNBとの間に設けられており、ゲートがライトワード線WWLに接続されている。なお、ライトビット線WBL、WBLBは、相補ライトビット線対を構成する。

[0072] リードドライブトランジスタRPDは、ソースが電源VSSに、ゲートが第2ノードNBに、ドレインがリードアクセストランジスタRPGのソースにそれぞれ接続されている。リードアクセストランジスタRPGは、ゲートがリードワード線RWLに、ドレインがリードビット線RBLにそれぞれ接続されている。

[0073] 図9のメモリセル回路では、相補ライトビット線対を構成するライトビット線WBL、WBLBを、ハイレベルおよびローレベルにそれぞれ駆動し、ライトワード線WWLをハイレベルに駆動すると、第1ノードNAにハイレベルが書き込まれ、第2ノードNBにローレベルが書き込まれる。一方、ライトビット線WBL、WBLBを、ローレベルおよびハイレベルにそれぞれ

駆動し、ライトワード線WWLをハイレベルに駆動すると、第1ノードNAにローレベルが書き込まれ、第2ノードNBにハイレベルが書き込まれる。そして、第1および第2ノードNA、NBにデータがそれぞれ書き込まれている状態で、ライトワード線WWLをローレベルに駆動すると、ラッチ状態が確定し、第1および第2ノードNA、NBに書き込まれているデータが保持される。

[0074] また、予めリードビット線RBLをハイレベルにプリチャージしておき、リードワード線RWLをハイレベルに駆動すると、第2ノードNBに書き込まれたデータに応じてリードビット線RBLの状態が確定するため、メモリセルからのデータの読み出しを行うことができる。具体的に、第2ノードNBがハイレベルであれば、リードビット線RBLはローレベルにディスチャージされる。一方、第2ノードNBがローレベルであれば、リードビット線RBLはハイレベルを保持する。

[0075] 以上に説明したように、2ポートSRAMセルは、ライトビット線WBL、WBLB、リードビット線RBL、ライトワード線WWLおよびリードワード線RWLを制御することによって、2ポートSRAMセルへのデータ書き込み、データ保持および2ポートSRAMセルからのデータ読み出し機能を有する。

[0076] 図8の2ポートSRAMセルは、図1と比較すると、図面右側に、リードドライブトランジスタRPDおよびリードアクセストランジスタRPGが形成されている。

[0077] 具体的に、図8に示すように、ナノシート23、26の図面右側に、ナノシート27、28がそれぞれ形成されている。ナノシート27、28がリードドライブトランジスタRPDおよびリードアクセストランジスタRPGのチャネル部をそれぞれ構成する。また、ナノシート27、28は、Y方向に並んで形成されている。また、ナノシート27、28のX方向の幅は、ナノシート22、25のX方向の幅の2倍となっている。

[0078] ゲート配線34の図面右側に、X方向およびZ方向に延びるゲート配線3

5 が形成されている。ゲート配線 3 2 がリードドライブトランジスタ R P D のゲートとなり、ゲート配線 3 5 がリードアクセストランジスタ R P G のゲートとなる。

[0079] ナノシート 2 7 の図面上端、ナノシート 2 7, 2 8 の間およびナノシート 2 8 の図面下端に、N 型の不純物がドーピングされたパッド 5 0 a ~ 5 0 c がそれぞれ形成されている。パッド 5 0 a, 5 0 b がリードドライブトランジスタ R P D のノードを構成する。パッド 5 0 b, 5 0 c がリードアクセストランジスタ R P G のノードを構成する。

[0080] ローカル配線層には、X 方向に延びるローカル配線 5 9, 6 0 が形成されている。ローカル配線 5 3 は、パッド 5 0 a と接続されている。ローカル配線 5 9 は、パッド 5 0 b と接続されている。ローカル配線 6 0 は、パッド 5 0 c と接続されている。

[0081] M 1 配線層には、Y 方向に延びる配線 7 8 が形成されている。また、配線 7 9 が形成されている。配線 7 8 は、リードビット線 R B L に相当する。配線 7 8 は、コンタクト 8 9 を介して、ローカル配線 6 0 と接続されている。配線 7 9 は、コンタクト 9 0 を介して、ゲート配線 3 5 と接続されている。

[0082] M 2 配線層には、X 方向に延びる配線 9 2, 9 3 が形成されている。配線 9 2 は、リードワード線 R W L に相当し、配線 9 3 は、ライトワード線 W W L に相当する。配線 9 2 は、コンタクト 1 0 3 を介して、配線 7 9 と接続されている。配線 9 3 は、コンタクト 1 0 1 を介して、配線 7 6 と接続されている。また、配線 9 3 は、コンタクト 1 0 2 を介して、配線 7 7 と接続されている。

[0083] なお、図 8 では、埋込配線 1 4 および配線 7 4 がライトビット線 W B L B に相当し、埋込配線 1 5 および配線 7 5 がライトビット線 W B L に相当する。

[0084] 以上の構成により、ロードトランジスタ P U 1 は、パッド 4 6 が電源電圧 V D D を供給する埋込電源配線 1 1 および配線 7 1 に、パッド 4 7 がローカル配線 5 5 (第 1 ノード N A) に、ゲート配線 3 2 がシェアードコンタクト

61（第2ノードNB）にそれぞれ接続されている。ロードトランジスタPU2は、パッド49が電源電圧VDDを供給する埋込電源配線11および配線71に、パッド48がローカル配線54（第2ノードNB）に、ゲート配線33がシェアードコンタクト62（第1ノードNA）にそれぞれ接続されている。ドライブトランジスタPD1は、パッド44がローカル配線55（第1ノードNA）に、パッド43が電源電圧VSSを供給する埋込電源配線13および配線73に、ゲート配線32がシェアードコンタクト61（第2ノードNB）にそれぞれ接続されている。ドライブトランジスタPD2は、パッド41がローカル配線54（第2ノードNB）に、パッド42が電源電圧VSSを供給する埋込電源配線12および配線72に、ゲート配線33がシェアードコンタクト62（第1ノードNA）にそれぞれ接続されている。アクセストランジスタPG1は、パッド45が埋込配線15および配線75（ライトビット線WBL）に、パッド44がローカル配線55（第1ノードNA）に、ゲート配線34が配線93（ライトワード線WWL）にそれぞれ接続されている。アクセストランジスタPG2は、パッド40が埋込配線14および配線74（ライトビット線WBLB）に、パッド41がローカル配線54（第2ノードNB）に、ゲート配線31が配線93（ライトワード線WWL）にそれぞれ接続されている。リードドライブトランジスタRPDは、パッド50aが埋込電源配線13および配線73に、ゲートがシェアードコンタクト61（第2ノードNB）にそれぞれ接続されている。リードアクセストランジスタRPGは、パッド50bをリードドライブトランジスタRPDと共有し、パッド50cが配線78（リードビット線RBL）に接続され、ゲートが配線92（リードワード線RWL）にそれぞれ接続されている。埋込配線14，15は埋込配線層にY方向に延びるように形成されており、配線74，75は埋込配線層より上層のM1配線層にY方向に延びるように形成されている。

[0085] すなわち、ライトビット線WBLに相当する埋込配線15および配線75が埋込配線層およびM1配線層にそれぞれ形成されており、ライトビット線

WBLBに相当する埋込配線14および配線74が埋込配線層およびM1配線層にそれぞれ形成される。これにより、ライトビット線WBL、WBLBの抵抗値を低減することができるため、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。

[0086] また、ライトビット線WBL、WBLBのそれぞれを埋込配線層およびM1配線層のいずれか一方のみで形成した場合、ライトビット線WBL、WBLBのそれぞれの配線幅を広くすることによってライトビット線WBL、WBLBの抵抗値を低減することができるが、半導体記憶装置の面積増加が発生する。これに対して、本実施形態では、埋込配線層およびM1配線層のそれぞれにライトビット線WBL、WBLBが形成されているため、半導体記憶装置の面積増加を抑制しつつ、ライトビット線WBL、WBLBの抵抗値を低減することができる。

[0087] したがって、ビット線が埋込配線層に設けられたSRAMセルのレイアウト構造において、半導体記憶装置の面積増加を抑制しつつ、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。

[0088] また、埋込配線層の配線は、トランジスタが配置されていない領域のみにしか設けることができないが、M1配線層の配線には、そのような配置の制約がない。このため、ライトビット線WBL、WBLBのそれぞれを埋込配線層およびM1配線層に設けることにより、配線74、75の配線位置や配線幅についての設計自由度が高くなり、SRAMセルの性能を最適化することができる。

[0089] また、電源電圧VDDを供給する埋込電源配線11および配線71が、埋込配線層およびM1配線層にそれぞれ形成されている。また、電源電圧VSSを供給する埋込電源配線12（13）および配線72（73）が、埋込配線層およびM1配線層にそれぞれ形成されている。これにより、SRAMセルに供給される電源を強化することができるため、半導体記憶装置の動作の安定性が向上する。

[0090] なお、図8において、埋込電源配線11を省略してもよい。また、埋込電

源配線 1 2, 1 3 を省略してもよい。

[0091] また、ナノシート 2 1, 2 3, 2 4, 2 6, 2 7, 2 8 の X 方向の幅はナノシート 2 2, 2 5 の X 方向の幅の 2 倍であるが、これに限られない。ナノシート 2 1 ~ 2 8 のそれぞれの X 方向の幅（すなわち、各トランジスタのゲート幅）は、2 ポート S R A M 回路の動作安定性等を考慮して決定すればよい。

[0092] （変形例 1）

図 1 0 は第 2 実施形態に係る 2 ポート S R A M セルのレイアウト構造の他の例を示す平面図である。具体的に、図 1 0 (a) はセル上部を示し、図 1 0 (b) はセル下部を示す。図 1 0 では、図 8 と比較すると、埋込配線層に、埋込配線 1 6 が形成されている。

[0093] 具体的には、埋込配線 1 6 は、平面視において、ナノシート 2 3 (2 6) とナノシート 2 7 (2 8) との間に形成されている。埋込配線 1 6 は、コンタクト 1 1 7 を介して、ローカル配線 6 0 と接続されている。埋込配線 1 6 は、リードビット線 R B L に相当する。

[0094] 本変形例では、リードビット線 R B L に相当する埋込配線 1 6 および配線 7 8 が埋込配線層および M 1 配線層にそれぞれ形成されている。これにより、リードビット線 R B L の抵抗値を低減することができるため、半導体記憶装置の読み出し特性の向上を図ることができる。

[0095] また、リードビット線 R B L を埋込配線層および M 1 配線層のいずれか一方のみで形成した場合、リードビット線 R B L のそれぞれの配線幅を広くすることによってリードビット線 R B L の抵抗値を低減することができるが、半導体記憶装置の面積増加が発生する。これに対して、本実施形態では、埋込配線層および M 1 配線層のそれぞれにリードビット線 R B L が形成されているため、半導体記憶装置の面積増加を抑制しつつ、リードビット線 R B L の抵抗値を低減することができる。

[0096] したがって、ビット線が埋込配線層に設けられた S R A M セルのレイアウト構造において、半導体記憶装置の面積増加を抑制しつつ、半導体記憶装置

の読み出し特性の向上を図ることができる。

[0097] その他、図8と同様の効果を得ることができる。

[0098] (変形例2)

図11は第2実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図である。具体的に、図11(a)はセル上部を示し、図11(b)はセル下部を示す。図11では、図8と比較すると、埋込電源配線11および配線72、73が省略されている。また、配線71、74、75、78の配線幅が広がっている。また、配線71、74、75、78は、埋込配線14、15よりも配線幅が広い。

[0099] 図11(a)に示すように、配線72、73を省略することにより、配線74、75、78の配線幅を広くすることができる。これにより、ライトビット線WBL、WBLBおよびリードビット線RBLの抵抗値を低減することができるため、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。

[0100] また、配線72、73を省略することにより、配線71の配線幅を広くすることができる。これにより、電源電圧VDDを供給する電源配線の抵抗値を低減することができるため、SRAMセルに供給される電源を強化することができ、半導体記憶装置の動作の安定性が向上する。

[0101] また、配線72、73を省略することにより、配線71、74、75、78の配線位置や配線幅についての設計自由度が高くなり、SRAMセルの性能を最適化することができる。

[0102] また、図11(b)に示すように、ナノシート22、25のX方向における間隔は、他の隣接するナノシート同士のX方向における間隔（例えば、ナノシート22、23のX方向における間隔）よりも狭い。このため、埋込電源配線11をナノシート22、25の間に配置することは容易ではない。したがって、埋込電源配線11を省略することにより、半導体記憶装置を製造しやすくなる。

[0103] その他、図8と同様の効果を得ることができる。

[0104] (第3実施形態)

図12は第3実施形態に係る半導体記憶装置の回路ブロックのレイアウト構造の例を示す平面図である。図12は、各セルの配置と、埋込配線層における埋込配線14、15の配置と、埋込配線14、15のそれぞれに接続されるコンタクト111、116の配置と、M1配線層における配線74、75の配置と、配線74、75のそれぞれに接続されるコンタクト85、86の配置とを模式的に示したものである。

[0105] 図12に示すように、第3実施形態に係る半導体記憶装置は、Y方向に並んで配置されたサブメモリアレイA1、A2を備える。サブメモリアレイA1、A2の間には、領域A3が形成されており、サブメモリアレイA2の図面下部には、領域A4が形成されている。

[0106] サブメモリアレイA1、A2は、それぞれ、複数のSRAMセルC1を含む。図12では、サブメモリアレイA1、A2は、それぞれ、X方向に8つ、Y方向に8つのSRAMセルC1がアレイ状に並んで配置されている。なお、SRAMセルC1には、図1、図5、図6、図7、図8、図10および図11のいずれかのSRAMセルが配置される。

[0107] また、領域A3、A4には、ウェルタップやローカルアンプなどを含むセルが配置される。

[0108] 図12に示すように、サブメモリアレイA1、A2において、Y方向に隣接するSRAMセルC1は、埋込配線14、15および配線74、75同士が、互いに接続されている。また、領域A3において、サブメモリアレイA1の図面下端のSRAMセルC1における埋込配線14、15および配線74、75と、サブメモリアレイA2の図面上端のSRAMセルC1における埋込配線14、15および配線74、75とがそれぞれ接続されている。すなわち、本実施形態に係る半導体記憶装置では、埋込配線14、15および配線74、75が、それぞれ、Y方向に延びる配線として形成される。そして、埋込配線14、15および配線74、75を介して、各SRAMセルC1への信号の書き込みが行われる。

[0109] また、サブメモリアレイ A 1, A 2 の外部の領域において、埋込配線 1 4 と配線 7 4 とが接続されており、埋込配線 1 5 と配線 7 5 とが接続されている。例えば、図 1 2 では、領域 A 3 において、埋込配線 1 4 と配線 7 4 とは 1 4 1 で模式的に表される配線やコンタクトを介して接続されており、埋込配線 1 5 と配線 7 5 とは 1 4 2 で模式的に表される配線やコンタクトを介して接続されている。

[0110] 上述したように、SRAMセル C 1 は、セル内において、埋込配線 1 4 と配線 7 4 とが接続されており、埋込配線 1 5 と配線 7 5 とが接続されている。また、サブメモリアレイ A 1, A 2 の以外の領域（例えば、領域 A 3）において、埋込配線 1 4 と配線 7 4 とが接続されており、埋込配線 1 5 と配線 7 5 とが接続されている。これにより、ビット線 B L, B L B の抵抗値を低減することができるため、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。

[0111] （変形例 1）

図 1 3 は第 3 実施形態に係る半導体記憶装置の回路ブロックのレイアウト構造の他の例を示す平面図である。図 1 3 では、図 1 2 と比較すると、サブメモリアレイ A 1, A 2 に SRAMセル C 1 に代えて SRAMセル C 2 が配置されている。

[0112] 図 1 4 は第 3 実施形態に係る 1 ポート SRAMセルのレイアウト構造の他の例を示す平面図である。具体的に、図 1 4 (a) はセル上部を示し、図 1 4 (b) はセル下部を示す。図 1 4 に示す SRAMセルは、図 1 3 における SRAMセル C 2 として配置されるものである。図 1 4 では、図 1 と比較すると、配線 7 4, 7 5 にそれぞれ接続されるコンタクト 8 5, 8 6 が省略されている。すなわち、図 1 3 および図 1 4 では、各 SRAMセル C 2 において、配線 7 4, 7 5 がアクセストランジスタ P G 2, P G 1 とそれぞれ接続されていない。

[0113] 図 1 3 および図 1 4 では、SRAMセル C 2 は、セル内において、埋込配線 1 4 と配線 7 4 および埋込配線 1 5 と配線 7 5 とが、各々ローカル配線 5

1, 58を介して接続されていないが、サブメモリアレイA1, A2の外部の領域（例えば、領域A3）において、埋込配線14と配線74とが接続されており、埋込配線15と配線75とが接続されている。これにより、ビット線BL, BLBの抵抗値を低減することができるため、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。

[0114] また、配線74, 75をSRAMセルC2内のトランジスタに接続する必要がないため、配線74, 75の設計自由度が向上する。

[0115] なお、本変形例では、サブメモリアレイA1, A2にSRAMセルC2が配置されているが、サブメモリアレイA1, A2の一部にSRAMセルC2に代えてSRAMセルC1が配置されていてもよい。

[0116] 図15は第3実施形態に係る1ポートSRAMセルのレイアウト構造の他の例を示す平面図である。具体的に、図15(a)はセル上部を示し、図15(b)はセル下部を示す。図15では、図1と比較すると、埋込配線14, 15にそれぞれ接続されるコンタクト111, 116が省略されている。図13において、図14に示すSRAMセルに代えて、図15に示すSRAMセルを、SRAMセルC2として配置してもよい。この場合、各SRAMセルC2において、埋込配線14, 15がアクセストラジスタPG2, PG1とそれぞれ接続されていない。

[0117] 図15によって、図14と同様の効果を得ることができる。

[0118] （変形例2）

図16は第3実施形態に係る半導体記憶装置の回路ブロックのレイアウト構造の他の例を示す平面図である。図16は、図12と比較すると、メモリサブアレイA2にSRAMセルC2が配置されている。また、図16は、図12、図13と比較すると、領域A3においてサブメモリアレイA2の埋め込み配線14, 15が、サブメモリアレイA1の埋込配線14, 15と接続されていない。

[0119] さらに、領域A4には、サブメモリアレイA1, A2の各列に対応するように、セクタC3が配置されている。領域A4に配置された各セクタC

3は、対応するSRAMセルC2の埋込配線14, 15および配線74, 75と接続されている。

[0120] 図16に示すように、サブメモリアレイA1の配線74, 75は、同一列の各SRAMセルC1内および領域A3で埋込配線14, 15に接続され、サブメモリアレイA2において同一列の各SRAMセルC2とは接続されることなく、セクタC3に接続されている。一方、サブメモリアレイA2の埋込配線14, 15は、同一列のSRAMセルC2と接続され、サブメモリアレイA1の埋込配線14, 15、および、サブメモリアレイA1, A2の配線74, 75と接続されることなく、セクタC3に接続されている。

[0121] セクタC3は、サブメモリアレイA1, A2に対応する選択アドレス信号addrを受信し、埋込配線14, 15と配線74, 75とのいずれか一方の一对の信号が選択される。選択された信号対はビット線対BL, BLBに接続されて、図示しない読み出し回路または書き込み回路に接続される。

[0122] 本変形例では、サブメモリアレイA1におけるビット線BLB, BL（埋込配線14, 15および配線74, 75）が、サブメモリアレイA2の配線74, 75をそれぞれ介して、領域A4に配置されたセクタと接続される。メモリサブアレイA2に、アクセストランジスタPG2, PG1に配線74, 75がそれぞれ接続されていない図14のSRAMセルC2が配置されているため、サブメモリアレイA1におけるビット線BLB, BLに、SRAMセルC2の負荷容量が生じず、サブメモリアレイA1に配置されたSRAMセルC1のデータを高速に読み出すことができる。

[0123] なお、本変形例では、サブメモリアレイA1におけるビット線BLB, BL（埋込配線14, 15および配線74, 75）が、サブメモリアレイA2の埋込配線14, 15をそれぞれ介して、領域A4に配置されたセクタと接続されてもよい。その場合、サブメモリアレイA2の配線74, 75が、同一列のSRAMセルC2と接続され、サブメモリアレイA1の埋込配線14, 15、および、サブメモリアレイA1, A2の配線74, 75と接続されることなく、セクタC3に接続される。この場合、サブメモリアレイA

2のSRAMセルC2に図15のSRAMセルが配置される。

[0124] ここで、サブメモリアレイA2のSRAMセルC2の配線74, 75、および、埋込配線14, 15のうち、より低抵抗である配線を、サブメモリアレイA1のSRAMセルC1のビット線BL, BLBとして動作通過配線として選択することにより、ビット線BL, BLBの低抵抗化の効果を高めることができる。さらに、領域A4のセクタによって、接続するビット線BL, BLBを切り替えることによって、動作時に充放電されるビット線BL, BLBの負荷容量を低減できるので、低電力化を図ることができる。

[0125] なお、上述の各実施形態および変形例では、各トランジスタはそれぞれ3枚のナノシートを備えるものとしたが、トランジスタの一部または全部は、1枚、2枚または4枚以上のナノシートを備えてもよい。

[0126] また、上述の各実施形態および変形例では、ナノシートの断面形状は長方形としているが、これに限られるものではない。例えば、正方形、円形、楕円形等であってもよい。

[0127] また、上述の各実施形態および変形例では、シェアドコンタクト61, 62はコンタクト(Gate-Contact)やローカル配線と同プロセス工程で製造されてもよいし、別プロセス工程にて製造されてもよい。

[0128] また、上述の各実施形態および変形例において、P型基板2はPウェルであってもよい。

産業上の利用可能性

[0129] 本開示では、ビット線が埋込配線層に設けられたSRAMセルのレイアウト構造において、半導体記憶装置の面積増加を抑制しつつ、半導体記憶装置の高速化および書き込み特性の向上を図ることができる。

符号の説明

- [0130] 11～13 埋込電源配線
 14～16 埋込配線
 21～28 ナノシート
 31～36 ゲート配線

40～49, 50a～50c パッド

51～58 ローカル配線

61, 62 シェアードコンタクト

71～79 配線

PU1, PU2 ロードトランジスタ

PD1, PD2 ドライブトランジスタ

PG1, PG2 アクセストランジスタ

BL, BLB ビット線

WBL, WBLB ライトビット線

RBL リードビット線

WL ワード線

WWL ライトワード線

RWL リードワード線

A1, A2 サブメモリアレイ

A3, A4 領域

請求の範囲

[請求項1]

1 ポート S R A Mセルを含む半導体記憶装置であって、

前記 1 ポート S R A Mセルは、

一方のノードが第 1 電圧を供給する第 1 電源に、他方のノードが第 1 ノードに、ゲートが第 2 ノードにそれぞれ接続された第 1 トランジスタと、

一方のノードが前記第 1 電源に、他方のノードが前記第 2 ノードに、ゲートが前記第 1 ノードにそれぞれ接続された第 2 トランジスタと、

一方のノードが前記第 1 ノードに、他方のノードが前記第 1 電圧と異なる第 2 電圧を供給する第 2 電源に、ゲートが前記第 2 ノードにそれぞれ接続された第 3 トランジスタと、

一方のノードが前記第 2 ノードに、他方のノードが前記第 2 電源に、ゲートが前記第 1 ノードにそれぞれ接続された第 4 トランジスタと、

一方のノードが第 1 ビット線に、他方のノードが前記第 1 ノードに、ゲートがワード線にそれぞれ接続された第 5 トランジスタと、

一方のノードが前記第 1 ビット線と相補ビット線対を構成する第 2 ビット線に、他方のノードが前記第 2 ノードに、ゲートが前記ワード線にそれぞれ接続された第 6 トランジスタと

を備え、

前記第 1 ビット線は、

埋込配線層に形成されており、第 1 方向に延びる第 1 埋込配線と、

前記第 1 ～第 6 トランジスタよりも上層の第 1 配線層に形成されており、前記第 1 方向に延びる第 1 配線とを含み、

前記第 2 ビット線は、

前記埋込配線層に形成されており、前記第 1 方向に延びる第 2 埋

込配線と、

前記第 1 配線層に形成されており、前記第 1 方向に延びる第 2 配線とを含む

ことを特徴とする半導体記憶装置。

[請求項2]

請求項 1 記載の半導体記憶装置において、

前記 1 ポート S R A Mセルは、

前記埋込配線層に形成されており、前記第 2 電源に接続されており、前記第 1 方向に延びる第 1 埋込電源配線と、

前記第 1 配線層に形成されており、前記第 2 電源に接続されており、前記第 1 方向に延びる第 3 配線とをさらに備える

ことを特徴とする半導体記憶装置。

[請求項3]

請求項 1 記載の半導体記憶装置において、

前記 1 ポート S R A Mセルは、

前記埋込配線層に形成されており、前記第 1 電源に接続されており、前記第 1 方向に延びる第 2 埋込電源配線と、

前記第 1 配線層に形成されており、前記第 1 電源に接続されており、前記第 1 方向に延びる第 4 配線とをさらに備える

ことを特徴とする半導体記憶装置。

[請求項4]

請求項 1 記載の半導体記憶装置において、

前記第 1 配線は、前記第 1 埋込配線よりも配線幅が広く、

前記第 2 配線は、前記第 2 埋込配線よりも配線幅が広い

ことを特徴とする半導体記憶装置。

[請求項5]

2 ポート S R A Mセルを含む半導体記憶装置であって、

前記 2 ポート S R A Mセルは、

一方のノードが第 1 電圧を供給する第 1 電源に、他方のノードが第 1 ノードに、ゲートが第 2 ノードにそれぞれ接続された第 1 トランジスタと、

一方のノードが前記第 1 電源に、他方のノードが前記第 2 ノード

に、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、

一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、

一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、

一方のノードが第1ライトビット線に、他方のノードが前記第1ノードに、ゲートがライトワード線にそれぞれ接続された第5トランジスタと、

一方のノードが前記第1ライトビット線と相補ビット線対を構成する第2ライトビット線に、他方のノードが前記第2ノードに、ゲートが前記ライトワード線にそれぞれ接続された第6トランジスタと、

一方のノードが前記第2電源に、ゲートが前記第2ノードにそれぞれ接続された第7トランジスタと、

一方のノードが前記第7トランジスタの他方のノードに、他方のノードがリードビット線に、ゲートがリードワード線にそれぞれ接続された第8トランジスタと

を備え、

前記第1ライトビット線は、

埋込配線層に形成されており、第1方向に延びる第1埋込配線と、

前記第1～第6トランジスタよりも上層の第1配線層に形成されており、前記第1方向に延びる第1配線とを含み、

前記第2ライトビット線は、

前記埋込配線層に形成されており、前記第1方向に延びる第2埋込配線と、

前記第 1 配線層に形成されており、前記第 1 方向に延びる第 2 配線とを含む

ことを特徴とする半導体記憶装置。

[請求項6] 請求項 5 記載の半導体記憶装置において、
前記リードビット線は、

前記埋込配線層に形成されており、前記第 1 方向に延びる第 3 埋込配線と、

前記第 1 配線層に形成されており、前記第 1 方向に延びる第 3 配線とを含む

ことを特徴とする半導体記憶装置。

[請求項7] 請求項 5 記載の半導体記憶装置において、
前記第 1 配線は、前記第 1 埋込配線よりも配線幅が広く、
前記第 2 配線は、前記第 2 埋込配線よりも配線幅が広い
ことを特徴とする半導体記憶装置。

[請求項8] アレイ状に配置された S R A M セルをそれぞれ含む第 1 および第 2 サブメモリアレイを含む半導体記憶装置であって、

前記第 1 サブメモリアレイは、相補ビット線対を構成する第 1 ビット線および第 2 ビット線を備え、

前記第 2 サブメモリアレイは、相補ビット線対を構成する第 3 ビット線および第 4 ビット線を備え、

前記第 1 ビット線は、

埋込配線層に形成されており、第 1 方向に延びる第 1 埋込配線と、

前記埋込配線層よりも上層の第 1 配線層に形成されており、前記第 1 方向に延びる第 1 配線とを含み、

前記第 2 ビット線は、

前記埋込配線層に形成されており、前記第 1 方向に延びる第 2 埋込配線と、

前記第 1 配線層に形成されており、前記第 1 方向に延びる第 2 配線とを含み、

前記第 3 ビット線は、

前記埋込配線層に形成されており、前記第 1 方向に延びる第 3 埋込配線、および、前記第 1 配線層に形成されており、前記第 1 方向に延びる第 3 配線の少なくともいずれか一方を含み、

前記第 4 ビット線は、

前記埋込配線層に形成されており、前記第 1 方向に延びる第 4 埋込配線、および、前記第 1 配線層に形成されており、前記第 1 方向に延びる第 4 配線の少なくともいずれか一方を含む

ことを特徴とする半導体記憶装置。

[請求項9]

請求項 8 に記載の半導体記憶装置において、

前記第 3 ビット線は、

前記埋込配線層に形成されており、前記第 1 方向に延びる第 3 埋込配線と、

前記第 1 配線層に形成されており、前記第 1 方向に延びる第 3 配線とを含み、

前記第 4 ビット線は、

前記埋込配線層に形成されており、前記第 1 方向に延びる第 4 埋込配線と、

前記第 1 配線層に形成されており、前記第 1 方向に延びる第 4 配線とを含み、

前記第 1 埋込配線は、前記第 3 埋込配線と接続されており、

前記第 2 埋込配線は、前記第 4 埋込配線と接続されており、

前記第 1 配線は、前記第 3 配線と接続されており、

前記第 2 配線は、前記第 4 配線と接続されている

ことを特徴とする半導体記憶装置。

[請求項10]

請求項 9 に記載の半導体記憶装置において、

前記第 1 および第 2 サブメモリアレイの間には、第 1 領域が形成されており、

前記第 1 埋込配線および前記第 3 埋込配線は、前記第 1 領域において、前記第 1 配線および前記第 3 配線と接続されており、

前記第 2 埋込配線および前記第 4 埋込配線は、前記第 1 領域において、前記第 2 配線および前記第 4 配線と接続されている

ことを特徴とする半導体記憶装置。

[請求項11]

請求項 10 に記載の半導体記憶装置において、

前記第 1 サブメモリアレイにおける前記 S R A M セルは、前記第 1 サブメモリアレイが配置されている領域内において、前記第 1 配線および前記第 2 配線と接続されておらず、

前記第 2 サブメモリアレイにおける前記 S R A M セルは、前記第 2 サブメモリアレイが配置されている領域内において、前記第 3 配線および前記第 4 配線と接続されていない

ことを特徴とする半導体記憶装置。

[請求項12]

請求項 10 に記載の半導体記憶装置において、

前記第 1 サブメモリアレイにおける前記 S R A M セルは、前記第 1 サブメモリアレイが配置されている領域内において、前記第 1 埋込配線および前記第 2 埋込配線と接続されておらず、

前記第 2 サブメモリアレイにおける前記 S R A M セルは、前記第 2 サブメモリアレイが配置されている領域内において、前記第 3 配線および前記第 4 配線と接続されていない

ことを特徴とする半導体記憶装置。

[請求項13]

請求項 8 に記載の半導体記憶装置において、

前記第 3 ビット線は、前記埋込配線層に形成されており、前記第 1 方向に延びる第 3 埋込配線を含み、

前記第 4 ビット線は、前記埋込配線層に形成されており、前記第 1 方向に延びる第 4 埋込配線を含む

ことを特徴とする半導体記憶装置。

[請求項14]

請求項8に記載の半導体記憶装置において、

前記第2サブメモリアレイは、

前記第1配線層に形成されており、前記第1方向に延びる第3配線と、

前記第1配線層に形成されており、前記第1方向に延びる第4配線とを含み、

前記第2サブメモリアレイにおける前記SRAMセルは、前記第2サブメモリアレイが配置されている領域内において、前記第3配線および前記第4配線と接続されておらず、

前記第1および第2サブメモリアレイの間には、第1領域が形成されており、

前記第3配線は、前記第1領域において、前記第1配線および前記第1埋込配線と接続されており、

前記第4配線は、前記第1領域において、前記第2配線および前記第2埋込配線と接続されている

ことを特徴とする半導体記憶装置。

[請求項15]

請求項8に記載の半導体記憶装置において、

前記第2サブメモリアレイは、

前記埋込配線層に形成されており、前記第1方向に延びる第3配線と、

前記埋込配線層に形成されており、前記第1方向に延びる第4配線とを含み、

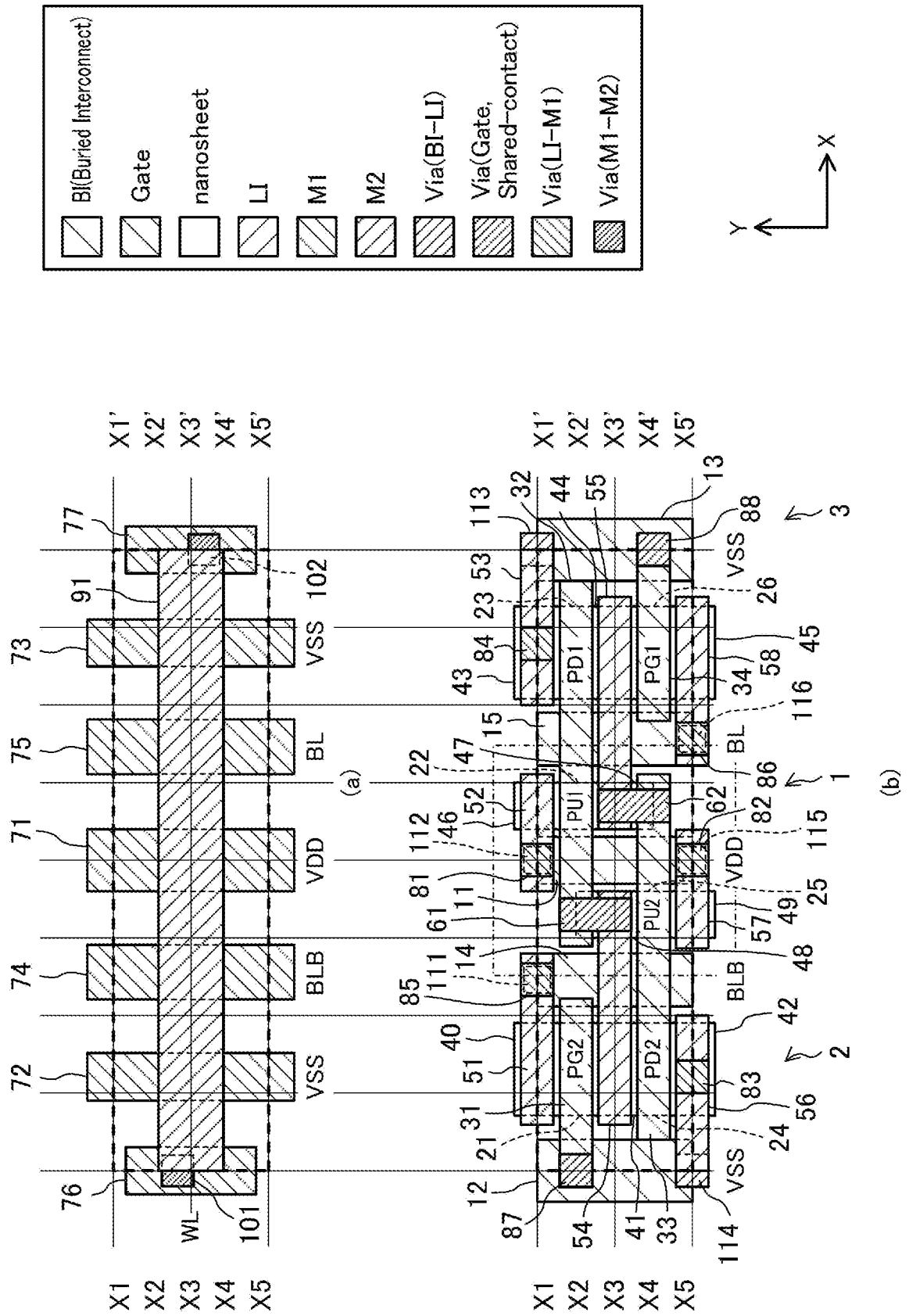
前記第2サブメモリアレイにおける前記SRAMセルは、前記第2サブメモリアレイが配置されている領域内において、前記第3配線および前記第4配線と接続されておらず、

前記第1および第2サブメモリアレイの間には、第1領域が形成されており、

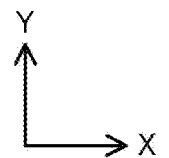
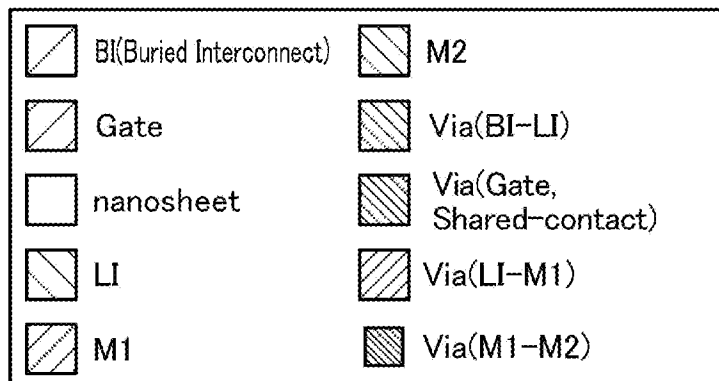
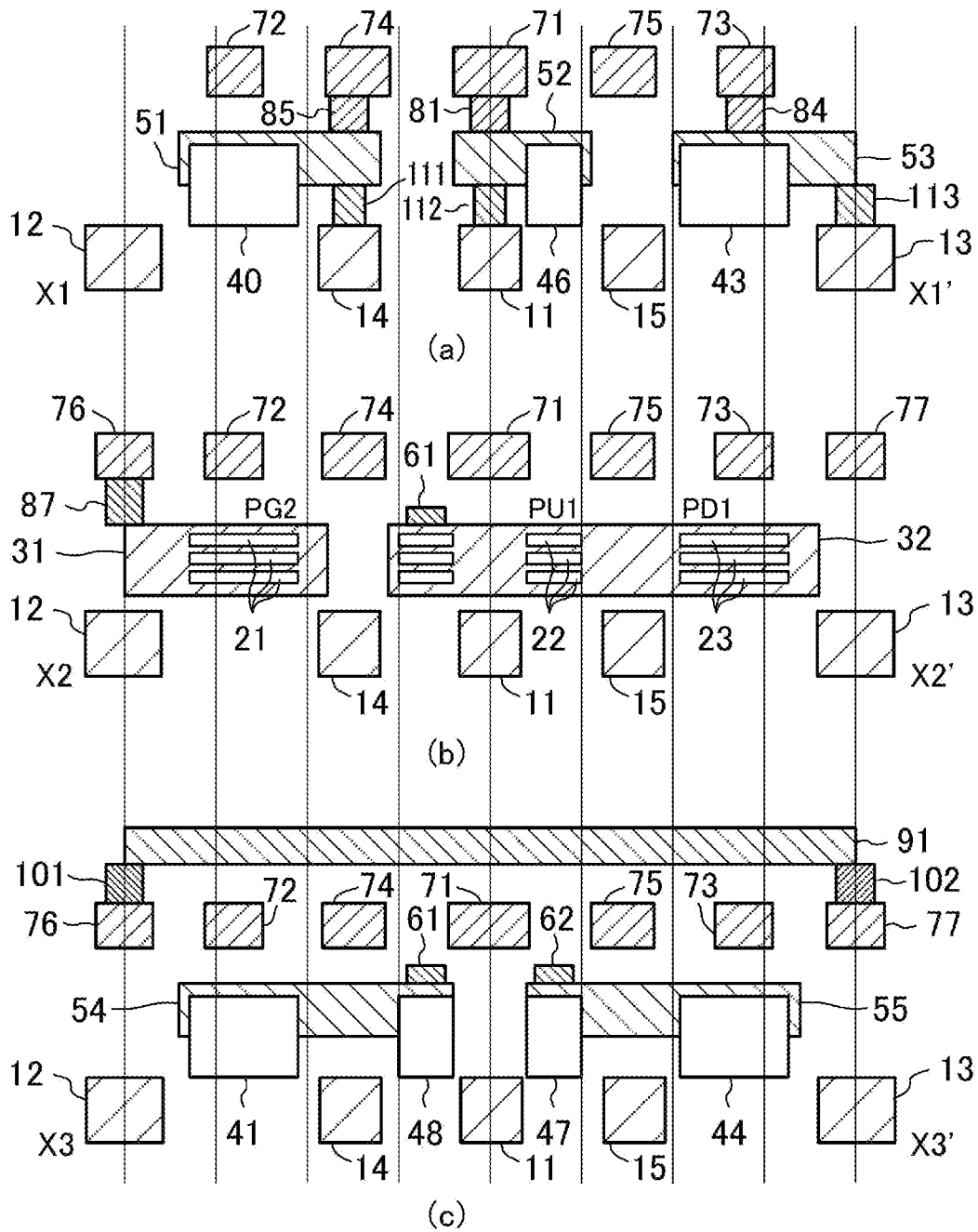
前記第 3 配線は、前記第 1 領域において、前記第 1 配線および前記第 1 埋込配線と接続されており、

前記第 4 配線は、前記第 1 領域において、前記第 2 配線および前記第 2 埋込配線と接続されている
ことを特徴とする半導体記憶装置。

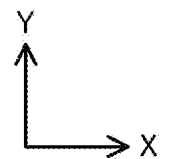
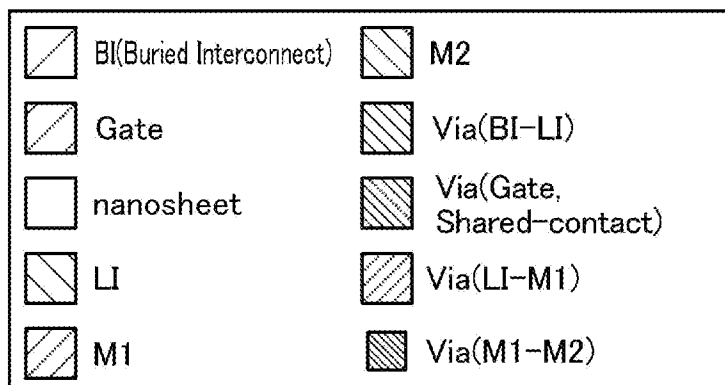
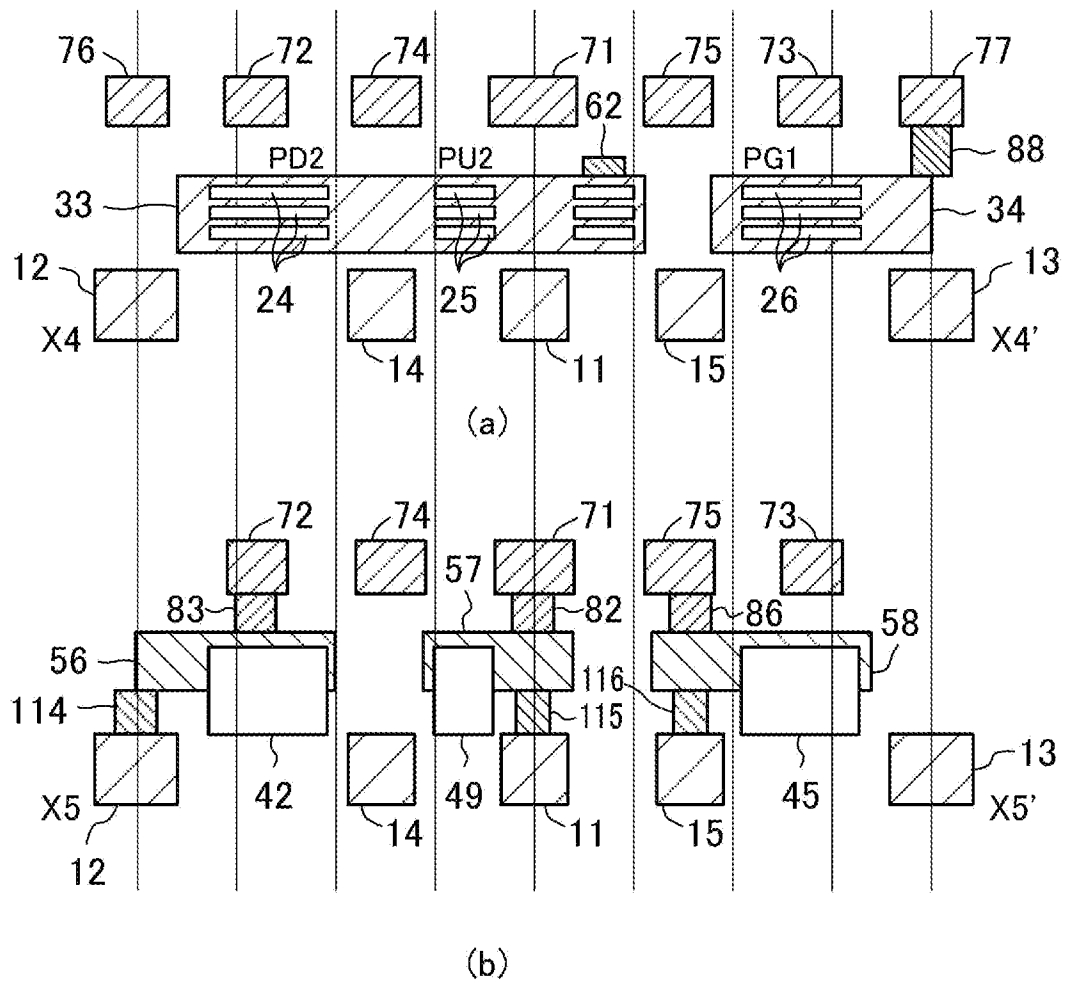
[図1]



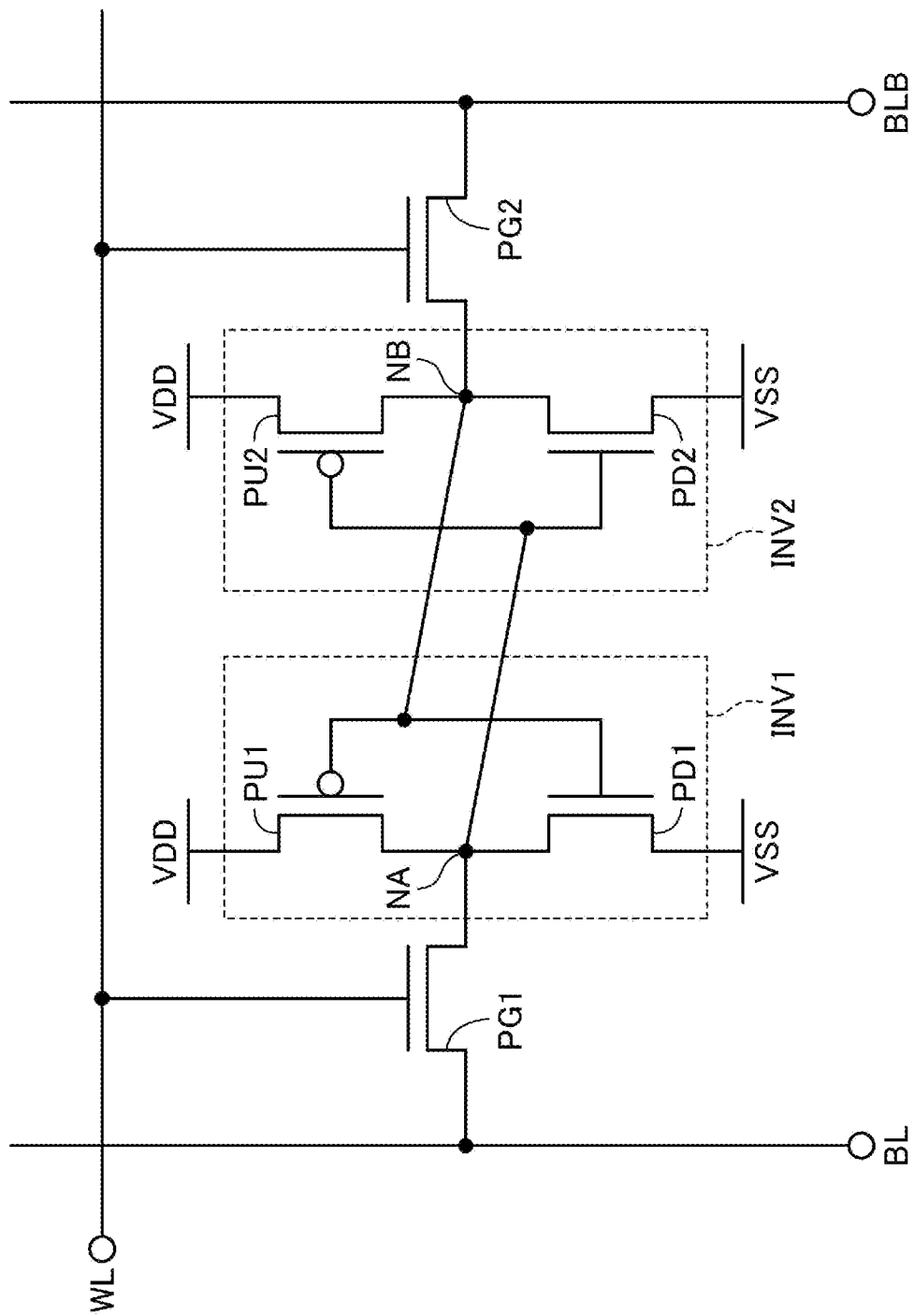
[図2]



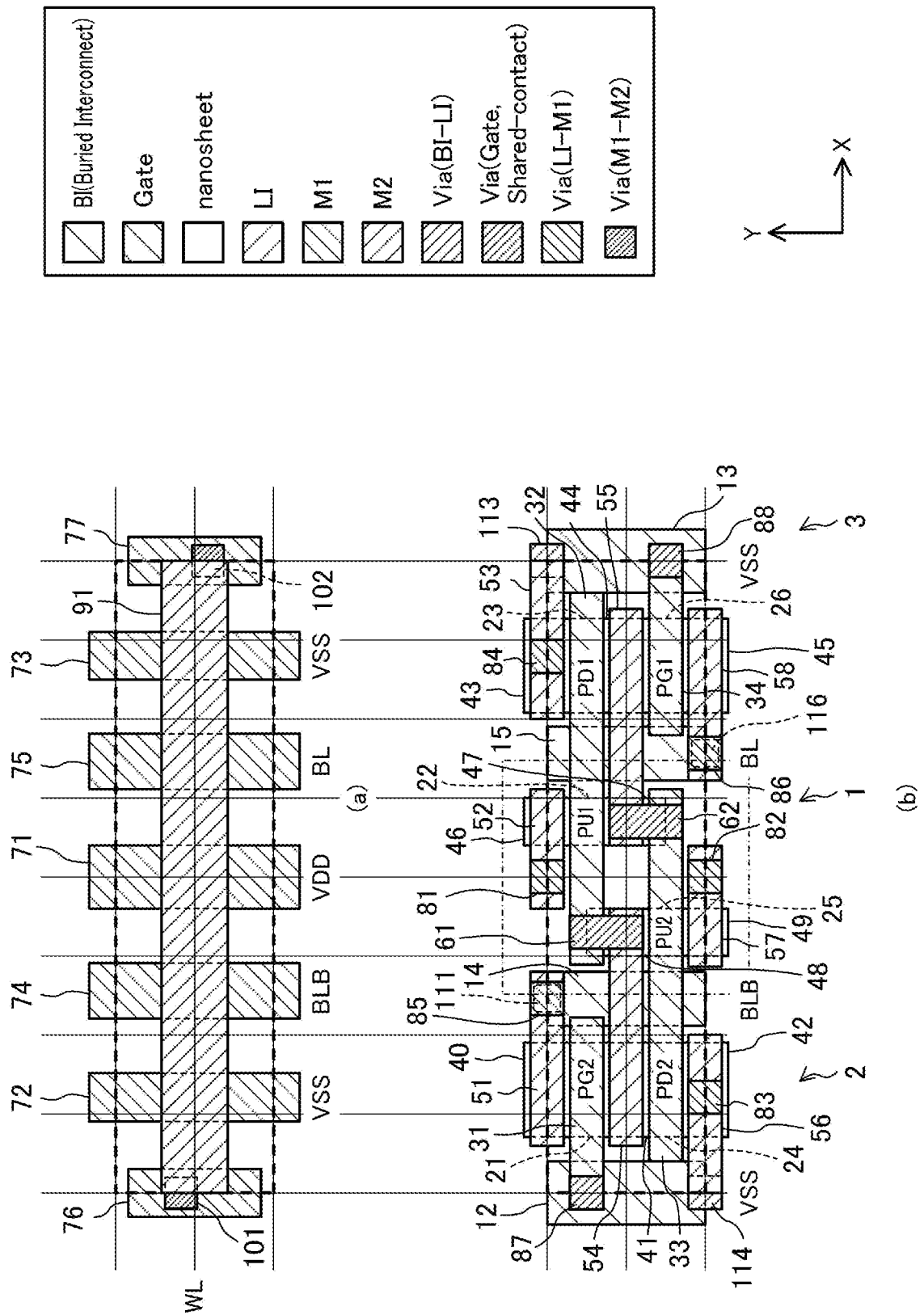
[図3]



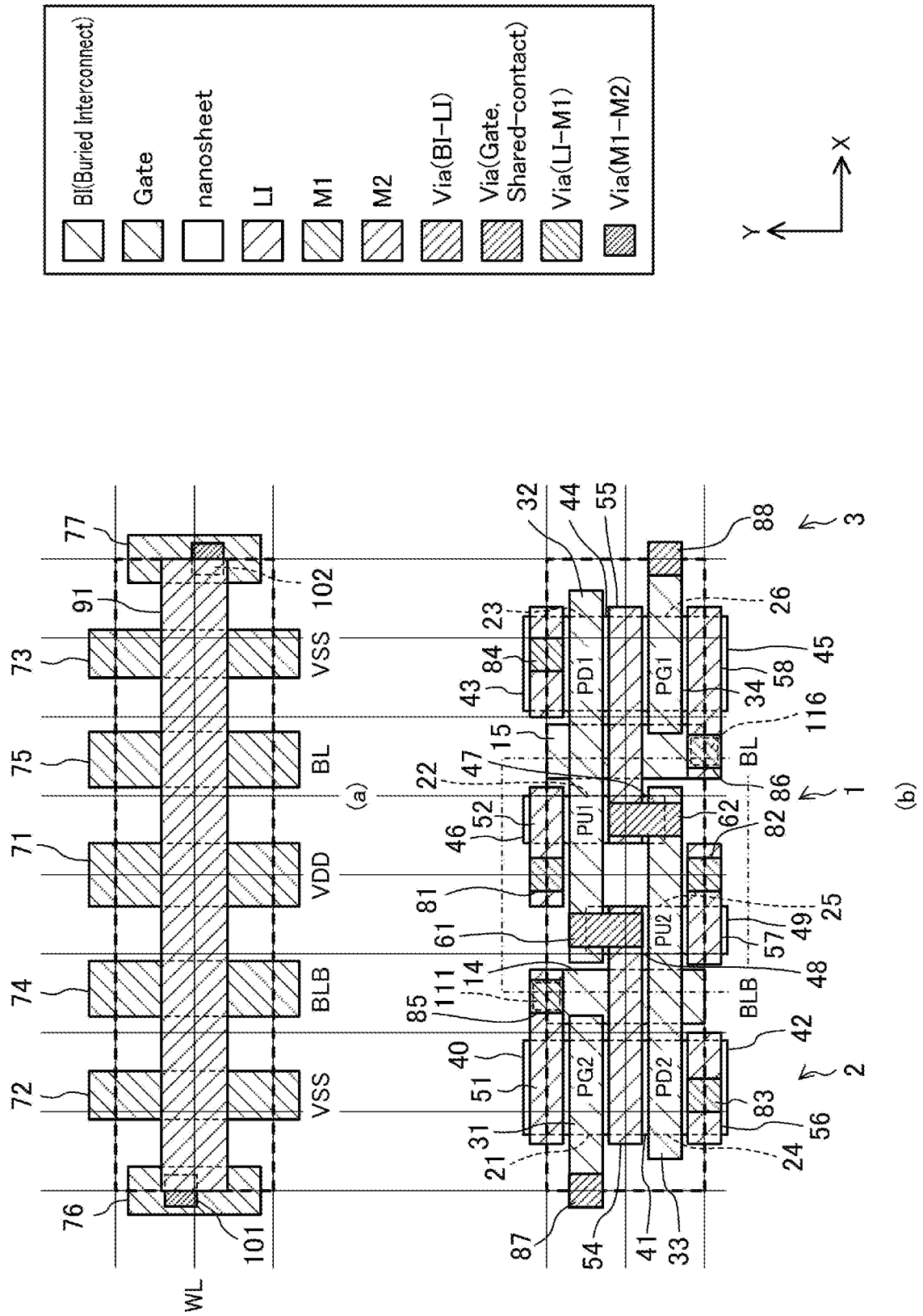
[図4]



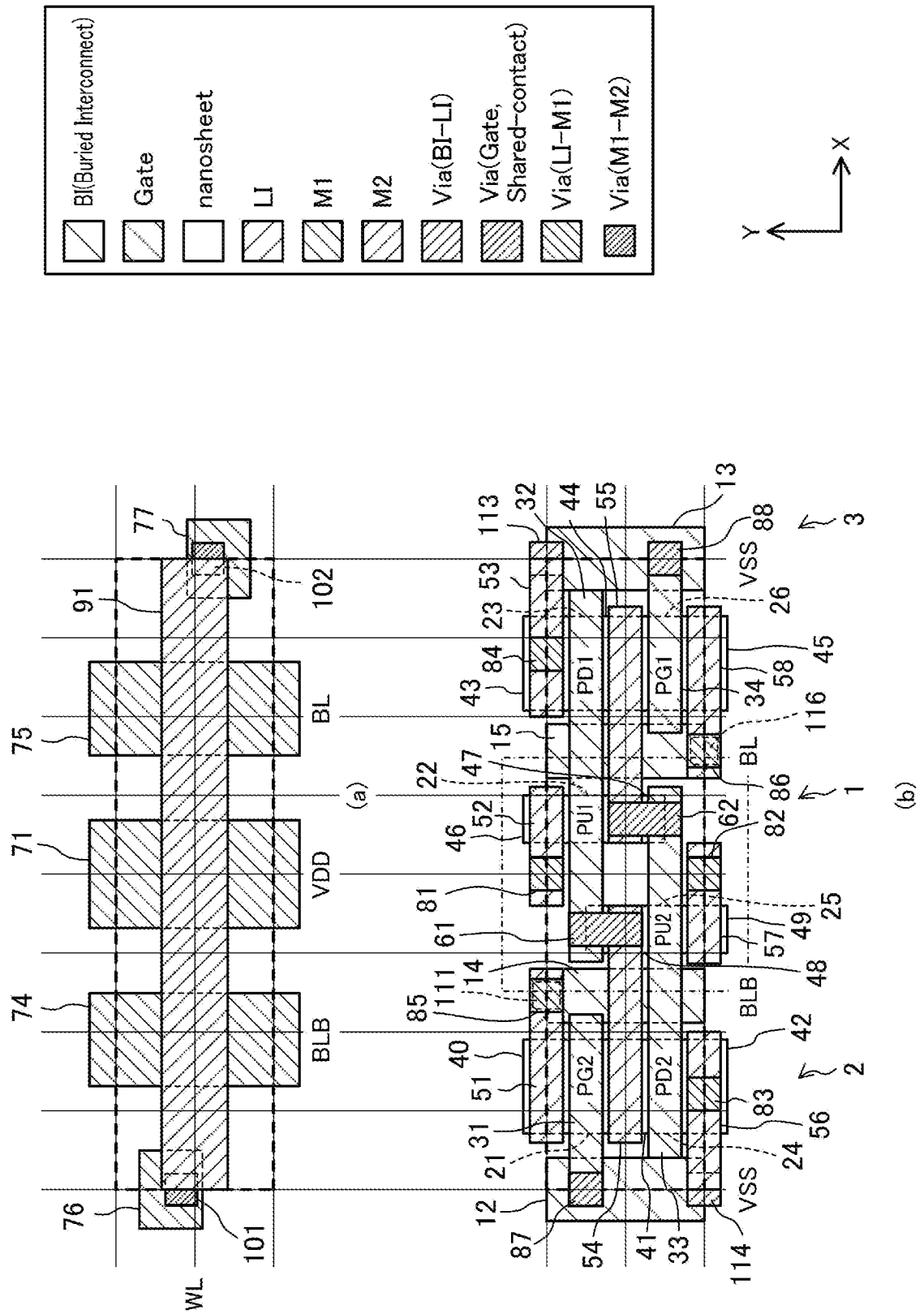
[図5]



[図6]



[図7]



[図9]

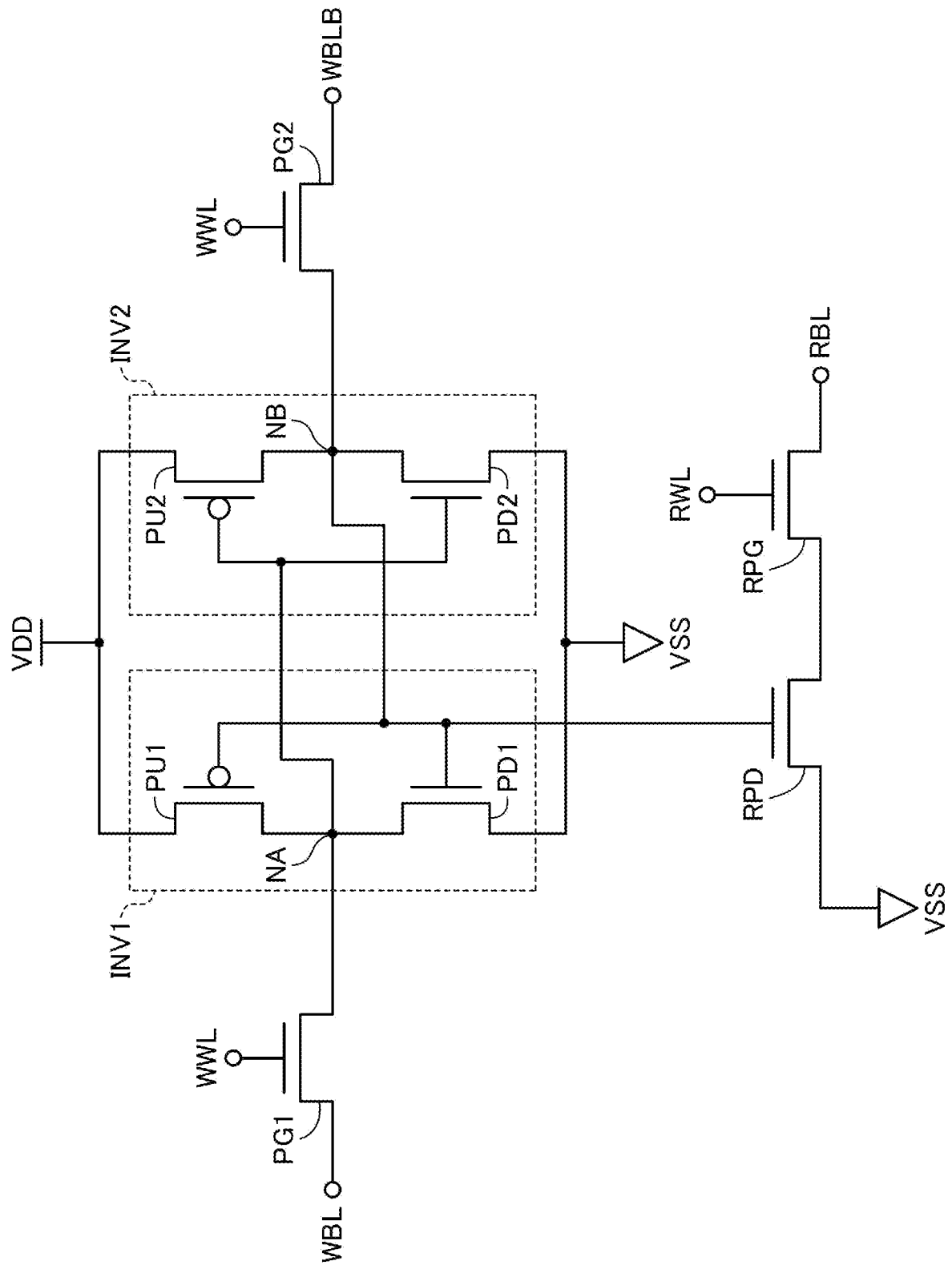


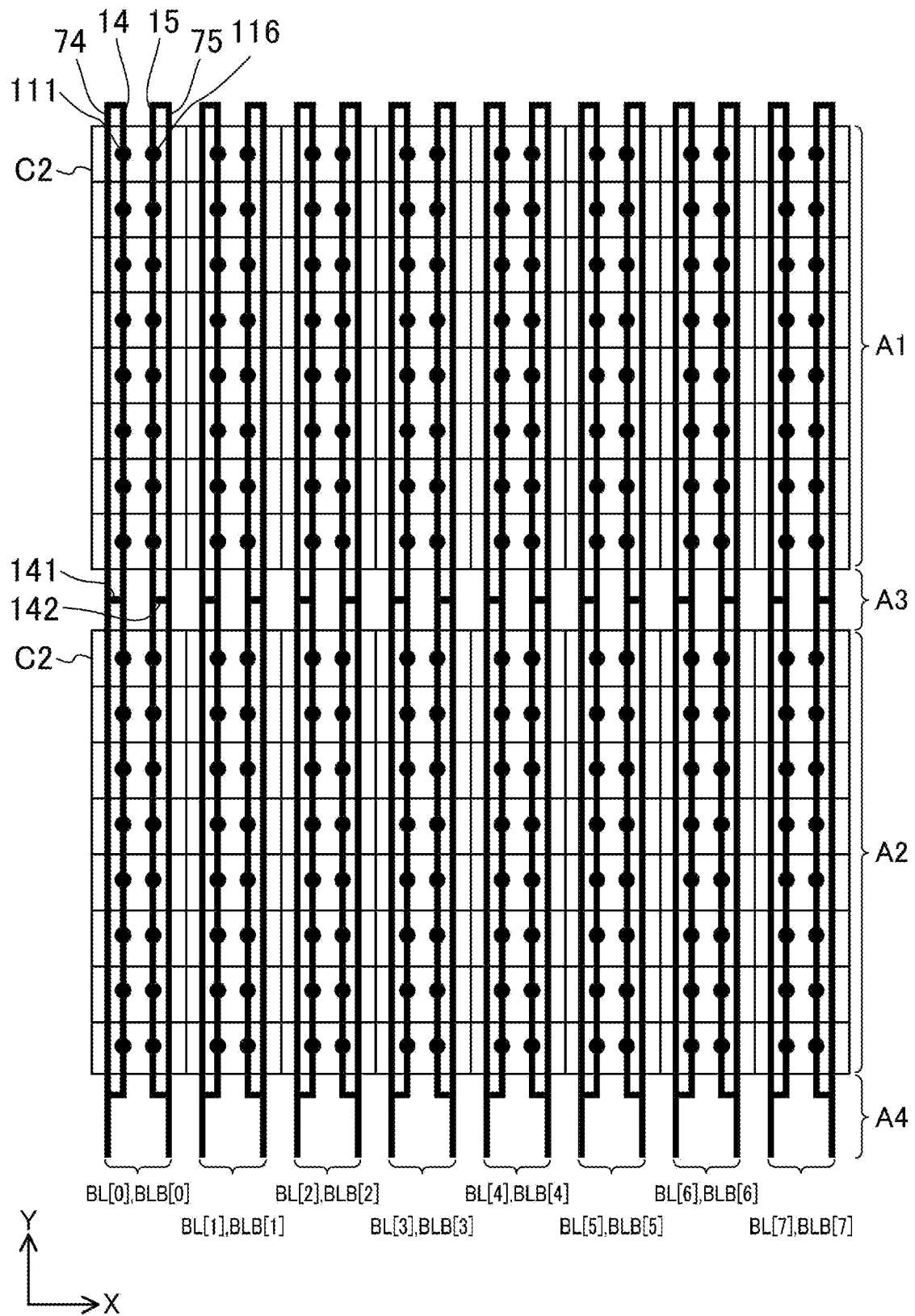
Figure 1 illustrates a plan view of a semiconductor device, divided into two main sections labeled (a) and (b). A legend at the top defines various components by their hatching patterns:

- BI (Buried Interconnect)**: Diagonal lines from bottom-left to top-right.
- Gate**: Diagonal lines from top-left to bottom-right.
- nanosheet**: White/unfilled area.
- LI**: Horizontal lines.
- M1**: Vertical lines.
- M2**: Diagonal lines from top-left to bottom-right (steeper than Gate).
- Via(BI-LI)**: Cross-hatch pattern.
- Via(Gate, Shared-contact)**: Dense cross-hatch pattern.
- Via(LI-M1)**: Horizontal and vertical line pattern.
- Via(M1-M2)**: Diagonal line pattern.

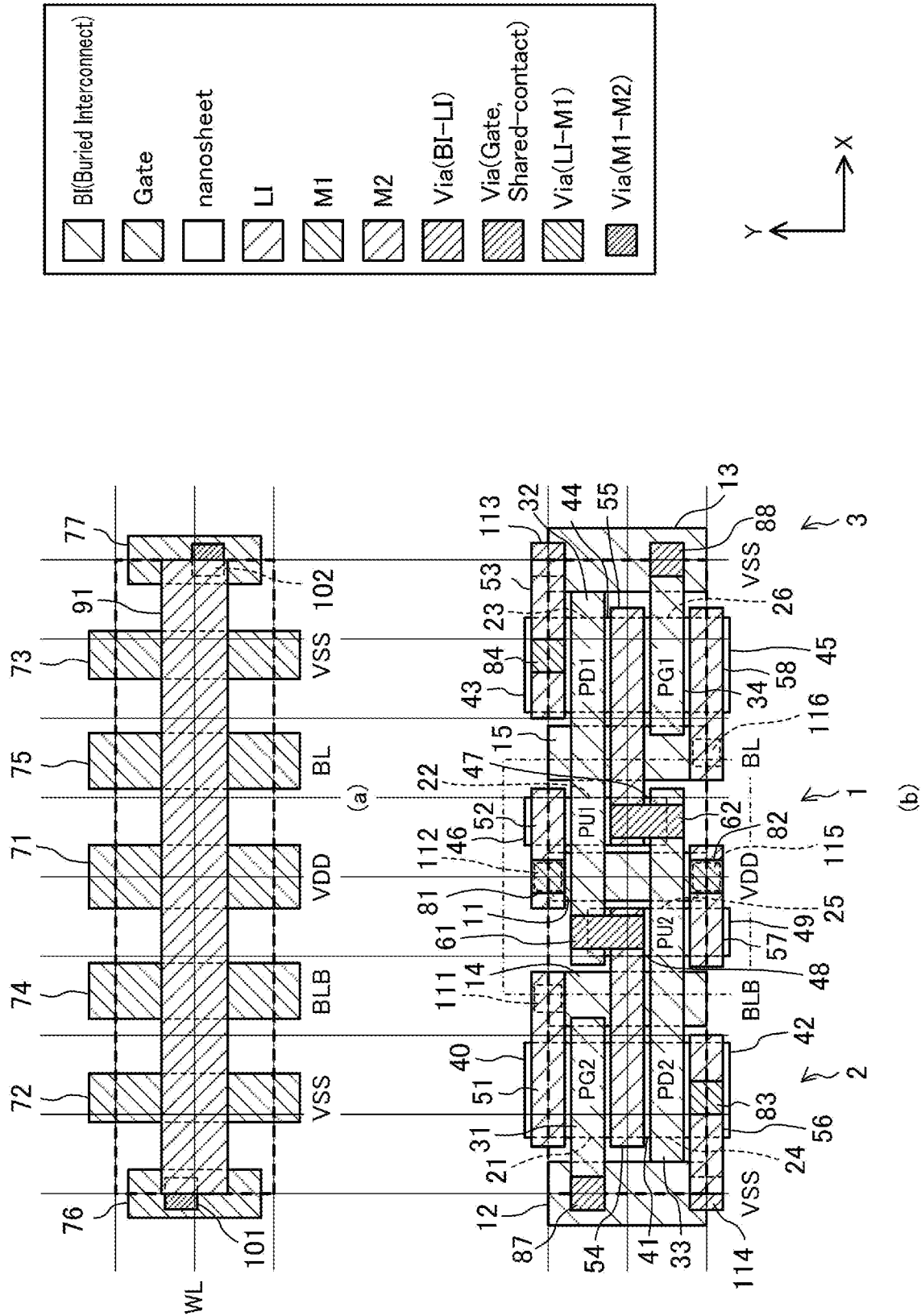
The device features several wordlines (RWL, WWL) and bitlines (WBLB, WBL, VDD, RBL) running horizontally. Section (a) shows a central array of memory cells with labels 74, 75, 76, 77, 78, 79, 92, 93, 101, 102, and 103. Section (b) shows peripheral control logic and access transistors, including pull-up (PU1, PU2), pull-down (PD1, PD2), precharge (PG1, PG2), read/write drivers (RPD, RPG), and sense amplifiers (SA1, SA2). Various other components like VSS, RPD, and RP are also indicated. Numerous numerical labels identify specific regions and structures throughout the device.

Figure 1 is a schematic diagram of a memory array layout. The array is organized into four horizontal sections labeled A1, A2, A3, and A4. Each section contains multiple columns of memory cells. The columns are labeled at the bottom as BL[0], BLB[0], BL[1], BLB[1], BL[2], BLB[2], BL[3], BLB[3], BL[4], BLB[4], BL[5], BLB[5], BL[6], BLB[6], BL[7], BLB[7]. The diagram shows a grid of cells with various labels: 74, 14, 15, 75, 116, 86, 111, 85, C1, 141, 142, and C1. A coordinate system with X and Y axes is shown at the bottom left.

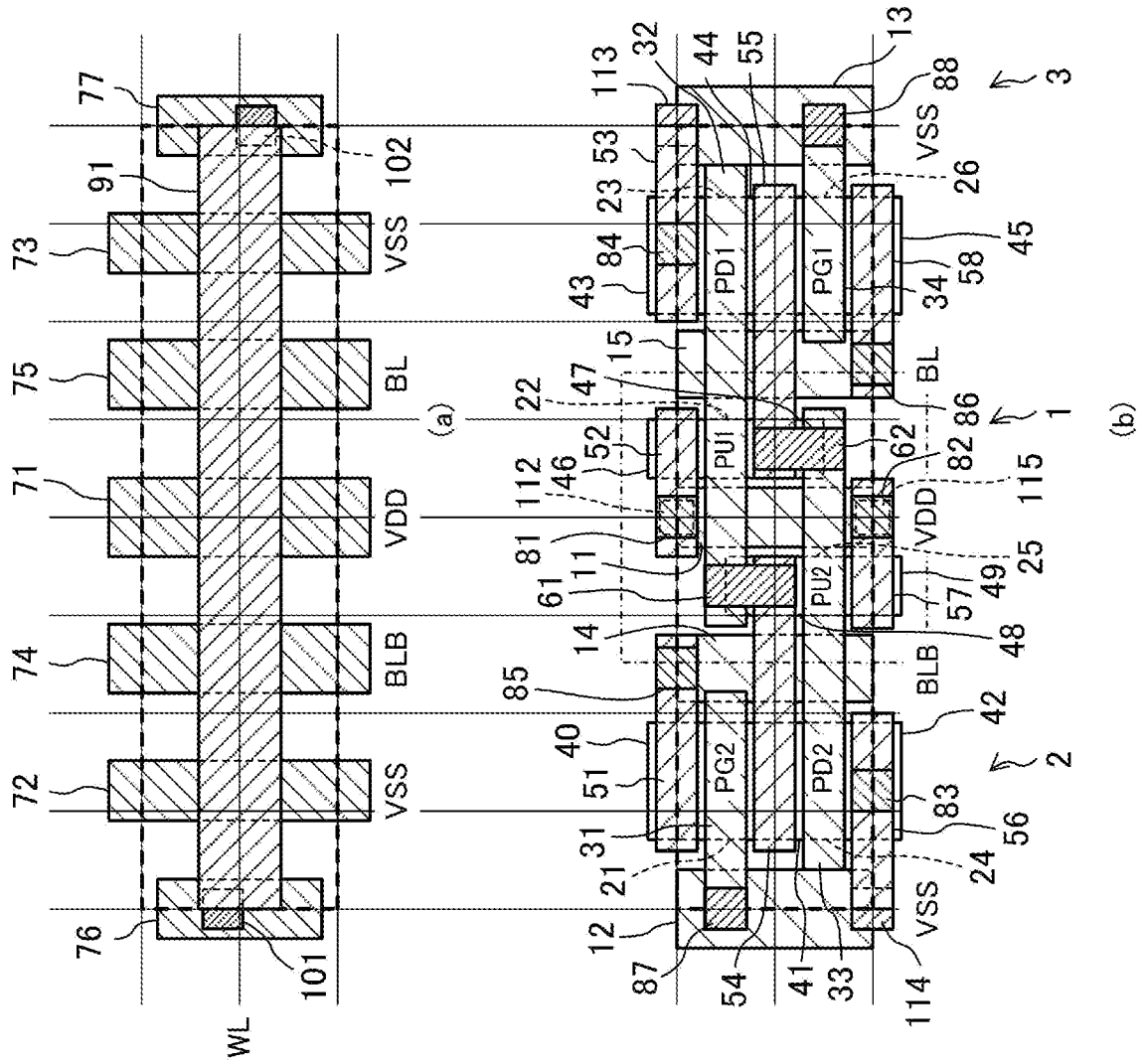
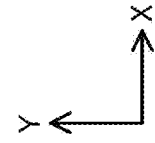
[図13]



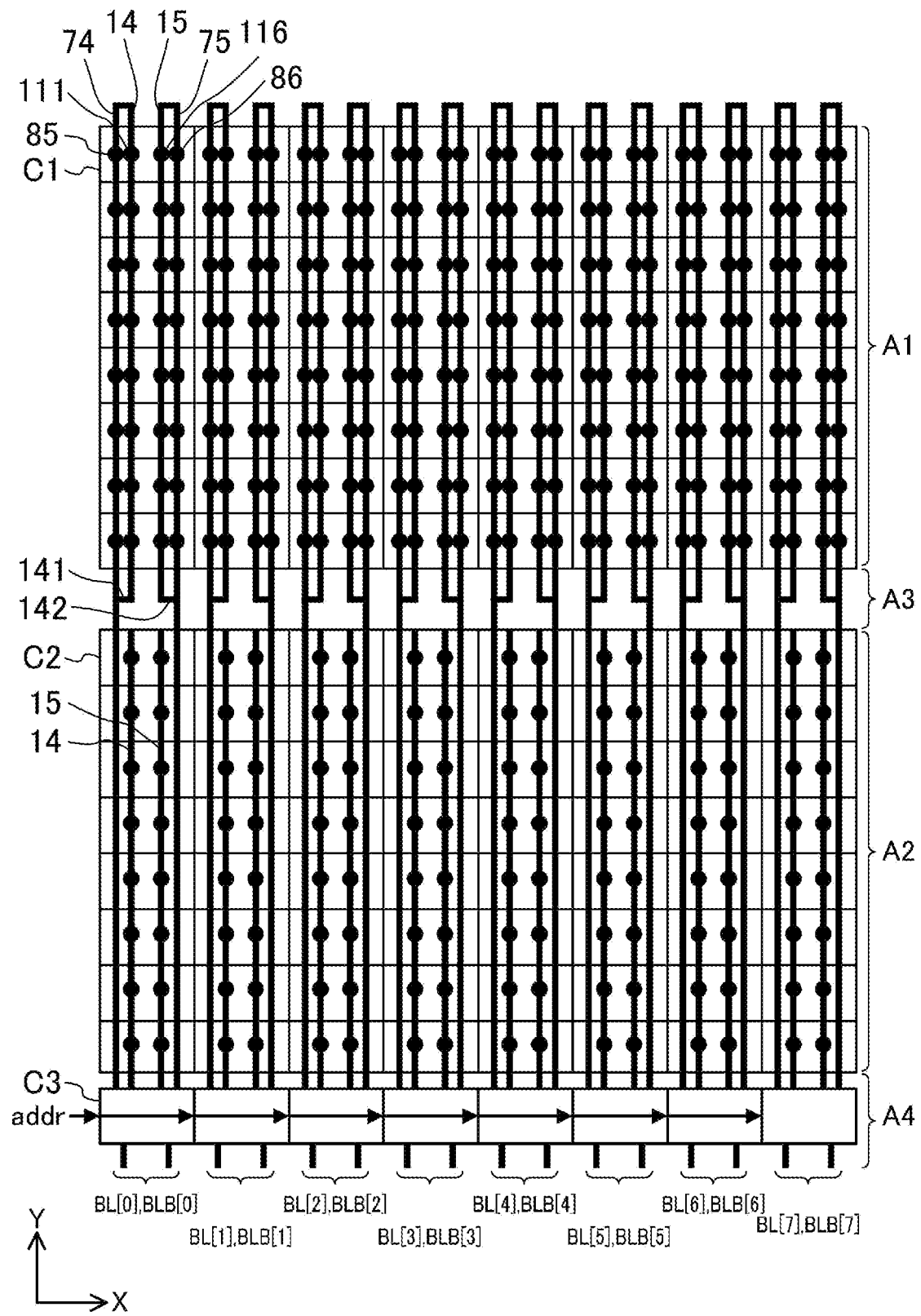
[図14]



	BI(Buried Interconnect)
	Gate
	nanosheet
	LI
	M1
	M2
	Via(BI-LI)
	Via(Gate, Shared-contact)
	Via(LI-M1)
	Via(M1-M2)



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/004369

A. CLASSIFICATION OF SUBJECT MATTER

H10B 10/00(2023.01)i; **G11C 11/412**(2006.01)i; **H01L 21/82**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 21/8238**(2006.01)i; **H01L 27/088**(2006.01)i; **H01L 27/092**(2006.01)i

FI: H10B10/00; H01L27/092 F; H01L27/092 K; H01L21/82 W; H01L27/088 H; H01L27/088 D; G11C11/412

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B10/00; G11C11/412; H01L21/82; H01L21/8234; H01L21/8238; H01L27/088; H01L27/092

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020/255801 A1 (SOCIONEXT INC.) 24 December 2020 (2020-12-24) paragraphs [0001], [0008], [0017]-[0019], [0037]-[0040], [0044]-[0058], [0063], [0095]-[0097], [0119], fig. 1-5, 11, 14	1-7
Y		1-11, 13-15
A		12
Y	WO 2019/155559 A1 (SOCIONEXT INC.) 15 August 2019 (2019-08-15) paragraphs [0001], [0006], [0013], [0030], [0034], [0035], [0039]-[0041], [0048], [0049], [0054], [0059]-[0061], fig. 1-8 (a), 9-13	1-11, 13-15
A		12
A	WO 2021/153169 A1 (SOCIONEXT INC.) 05 August 2021 (2021-08-05) entire text, all drawings	1-15
A	JP 2019-525484 A (TOKYO ELECTRON LTD.) 05 September 2019 (2019-09-05) entire text, all drawings	1-15

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“&” document member of the same patent family

Date of the actual completion of the international search

13 April 2023

Date of mailing of the international search report

25 April 2023

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/004369

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/255801	A1	24 December 2020	US 2022/0108992 A1 paragraphs [0002], [0003], [0009], [0035]-[0037], [0054]- [0057], [0061]-[0075], [0079], [0111]-[0113], [0135], fig. 1A-5, 11, 14	
WO	2019/155559	A1	15 August 2019	US 2020/0365603 A1 paragraphs [0002], [0006], [0037], [0054], [0058], [0059], [0063]-[0065], [0072], [0073], [0079], [0084]-[0086], fig. 1-8A, 9-13	
WO	2021/153169	A1	05 August 2021	US 2022/0359541 A1 entire text, all drawings	
JP	2019-525484	A	05 September 2019	JP 2019-523553 A US 2018/0026042 A1 entire text, all drawings US 2018/0040695 A1 US 2018/0240802 A1 US 2019/0326301 A1 WO 2018/031528 A1 WO 2018/017677 A1 KR 10-2019-0026018 A CN 109643715 A CN 109643725 A KR 10-2019-0035804 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H10B 10/00(2023.01)i; G11C 11/412(2006.01)i; H01L 21/82(2006.01)i; H01L 21/8234(2006.01)i; H01L 21/8238(2006.01)i; H01L 27/088(2006.01)i; H01L 27/092(2006.01)i FI: H10B10/00; H01L27/092 F; H01L27/092 K; H01L21/82 W; H01L27/088 H; H01L27/088 D; G11C11/412		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H10B10/00; G11C11/412; H01L21/82; H01L21/8234; H01L21/8238; H01L27/088; H01L27/092 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2020/255801 A1 (株式会社ソシオネクスト) 24.12.2020 (2020-12-24) [0001], [0008], [0017] - [0019], [0037] - [0040], [0044] - [0058], [0063], [0095] - [0097], [0119], 図1 - 5, 11, 14	1-7 1-11, 13-15 12
Y A	WO 2019/155559 A1 (株式会社ソシオネクスト) 15.08.2019 (2019-08-15) [0001], [0006], [0013], [0030], [0034] - [0035], [0039] - [0041], [0048] - [0049], [0054], [0059] - [0061], 図1 - 8(a), 9 - 13	1-11, 13-15 12
A	WO 2021/153169 A1 (株式会社ソシオネクスト) 05.08.2021 (2021-08-05) 全文, 全図	1-15
A	JP 2019-525484 A (東京エレクトロン株式会社) 05.09.2019 (2019-09-05) 全文, 全図	1-15
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 13. 04. 2023		国際調査報告の発送日 25. 04. 2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 宮本 博司 5F 6313 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/004369

引用文献			公表日	パテントファミリー文献	公表日
WO	2020/255801	A1	24.12.2020	US 2022/0108992 A1 [0002] - [0003], [0009], [0035] - [0037], [0054] - [0057], [0061] - [0075], [0079], [0111] - [0113], [0135], 図1A - 5, 11, 14	
WO	2019/155559	A1	15.08.2019	US 2020/0365603 A1 [0002], [0006], [0037], [0054], [0058] - [0059], [0063] - [0065], [0072] - [0073], [0079], [0084] - [0086], 図1 - 8A, 9 - 13	
WO	2021/153169	A1	05.08.2021	US 2022/0359541 A1 全文, 全図	
JP	2019-525484	A	05.09.2019	JP 2019-523553 A US 2018/0026042 A1 全文, 全図 US 2018/0040695 A1 US 2018/0240802 A1 US 2019/0326301 A1 WO 2018/031528 A1 WO 2018/017677 A1 KR 10-2019-0026018 A CN 109643715 A CN 109643725 A KR 10-2019-0035804 A	