

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-160845

(P2012-160845A)

(43) 公開日 平成24年8月23日(2012.8.23)

(51) Int.Cl.

H04N 5/3745 (2011.01)

F I

H04N 5/335 745

テーマコード(参考)

5C024

審査請求 未請求 請求項の数 4 O L (全 34 頁)

(21) 出願番号 特願2011-18200 (P2011-18200)
 (22) 出願日 平成23年1月31日(2011.1.31)

(71) 出願人 000000376
 オリンパス株式会社
 東京都渋谷区幡ヶ谷2丁目43番2号
 (74) 代理人 100106909
 弁理士 棚井 澄雄
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100094400
 弁理士 鈴木 三義
 (74) 代理人 100086379
 弁理士 高柴 忠夫
 (74) 代理人 100129403
 弁理士 増井 裕士

最終頁に続く

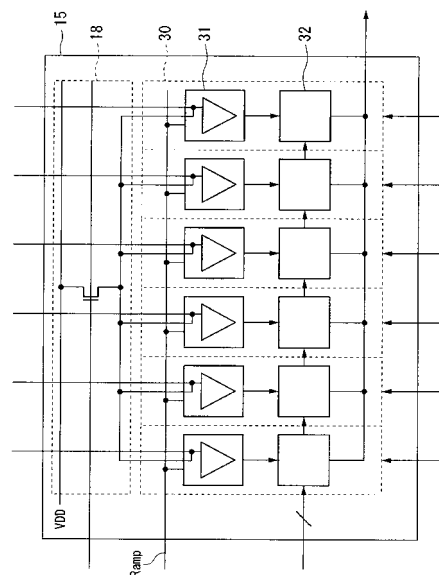
(54) 【発明の名称】 撮像装置

(57) 【要約】

【課題】参照信号と画素信号との比較動作を確実に行うことができる撮像装置を提供する。

【解決手段】比較部31は、第1の容量素子を介して単位画素と電気的に接続された第1の入力端と、参照信号が入力される第2の入力端とを有し、第1の入力端および第2の入力端の電圧を比較する差動アンプ部と、第1の入力端および第2の入力端の電圧をリセットするリセット部とを有する。変更部18は、リセット部によるリセット動作後に、第1の入力端と第2の入力端の電圧差が、比較部31による比較動作を保證する電圧となるように第1の入力端の電圧を変更する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

光電変換素子を有する単位画素が配置され、前記単位画素から画素信号を出力する撮像部と、

時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、

第 1 の容量素子を介して前記単位画素と電氣的に接続された第 1 の入力端と、前記参照信号生成部と電氣的に接続された第 2 の入力端とを有し、前記第 1 の入力端および前記第 2 の入力端の電圧を比較する差動アンプ部と、前記第 1 の入力端および前記第 2 の入力端の電圧をリセットするリセット部と、を有する比較部と、

前記比較部による比較開始から比較終了までの比較時間を計測する計測部と、

前記リセット部によるリセット動作後に、前記第 1 の入力端と前記第 2 の入力端の電圧差が、前記比較部による比較動作を保證する電圧となるように前記第 1 の入力端の電圧を変更する変更部と、

を有することを特徴とする撮像装置。

【請求項 2】

前記変更部は、第 2 の容量素子と第 2 のスイッチ素子と、を備え、

前記第 2 の容量素子の一端は、前記第 1 の入力端に接続され、

前記第 2 の容量素子の他端は、前記第 2 のスイッチ素子により、前記リセット部によるリセット動作時には第 1 の電圧源に接続され、前記リセット部によるリセット動作後には前記第 1 の電圧源と異なる第 2 の電圧源に接続される、

ことを特徴とする請求項 1 に係る撮像装置。

【請求項 3】

前記第 1 の電圧源は電源あるいはグランドであり、前記第 2 の電圧源は前記画素信号である、

ことを特徴とする請求項 2 に係る撮像装置。

【請求項 4】

前記変更部は、第 1 のスイッチ素子を備え、

前記第 1 のスイッチ素子の一端は前記第 1 の入力端に接続され、

前記第 1 のスイッチ素子の他端は、前記第 1 の入力端と前記第 2 の入力端の電圧差が、前記比較部による比較動作を保證する電圧となるように前記第 1 の入力端に電圧を印加する電圧源に接続され、

前記リセット部によるリセット動作前に前記第 1 のスイッチ素子をOFF状態とし、前記リセット部によるリセット動作後に前記第 1 のスイッチ素子をON状態とする、

ことを特徴とする請求項 1 に係る撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置に関する。

【背景技術】

【0002】

従来例に係るAD変換方法を用いた撮像装置として、特許文献1に記載された構成が知られている。初めに、特許文献1に記載された撮像装置の構成および動作について説明する。

【0003】

図18は、特許文献1に記載された従来例に係るAD変換方法を用いた(C)MOS撮像装置の概略構成を示している。撮像装置1001は、撮像部1002、垂直選択部1012、読出し電流源部1005、アナログ部1006、カラム処理部1015、参照信号生成部1016、水平選択部1014、出力部1017、変更部1018、タイミング制御部1020で構成されている。

【0004】

タイミング制御部1020は、垂直選択部1012、読出し電流源部1005、アナログ部1006、カ

10

20

30

40

50

ラム処理部1015、参照信号生成部1016、水平選択部1014、および出力部1017などの各部を制御する。撮像部1002は、光電変換素子を有する単位画素1003が行列状に配置されて構成され、入射される電磁波の大きさに応じた画素信号を生成し、列毎に設けられた垂直信号線1013へ出力する。

【0005】

垂直選択部1012は、撮像部1002の各单位画素1003の駆動に際して、行制御線1011を介して撮像部1002の行アドレスや行走査の制御を行う。水平選択部1014は、カラム処理部1015の列AD変換部1030の列アドレスや列走査の制御を行う。読出し電流源部1005は、撮像部1002からの画素信号を電圧信号として読み出すための電流源である。アナログ部1006は、必要に応じて増幅等を実施する。

10

【0006】

カラム処理部1015は、変更部1018と、撮像部1002の列毎に設けられた列AD変換部1030とを有する。変更部1018は、ON(活性化)されることで、所定の電圧を供給する電圧源に短絡される。列AD変換部1030は、撮像部1002の各单位画素1003から列毎に出力される画素信号であるアナログ信号をデジタルデータに変換して出力する。参照信号生成部1016は、例えば積分回路やDAC回路で構成され、時間が経過するにつれて傾斜状に変化する参照信号Rampを生成する。

【0007】

次に、列AD変換部1030の構成について説明する。図19は、列AD変換部1030を含むカラム処理部1015の構成を示している。列AD変換部1030は全て同一に構成され、各々の列AD変換部1030は、比較部1031、計測部1032を有する構成となっている。

20

【0008】

比較部1031は、一般的に良く知られている差動アンプを基本構成とするコンパレータ回路である。比較部1031は、撮像部1002の単位画素1003から出力される画素信号と参照信号Rampとを比較し、例えば参照信号Rampが画素信号よりも大なるときはHighレベル、例えば参照信号Rampが画素信号よりも小なるときはLowレベルを出力する。

【0009】

計測部1032は、アップ/ダウンカウンタ回路で構成され、比較部1031が比較を開始してから比較を終了するまでの比較時間を計測する。これにより、画素信号の大きさに応じた比較時間の計測値が得られる。水平選択部1014は、シフトレジスタやデコーダなどによって構成され、カラム処理部1015における各列AD変換部1030の列アドレスや列走査の制御を行う。これにより、AD変換されたデジタルデータは順に水平信号線を経由して出力部1017に出力される。

30

【0010】

比較部1031による比較動作は、比較部1031を構成する差動アンプの2つの入力端の電圧のリセット(バランス)が行われた後に開始される。リセット動作後に、比較部1031を構成する差動アンプの2つの入力端の電圧に多少のばらつきが残ることにより、比較部1031の出力が反転しなかったり、参照信号Rampの入力後直ちに比較部1031の出力が反転したりする不具合を防ぐため、撮像装置1001に変更部1018が設けられている。

【0011】

次に、AD変換動作について説明する。単位画素1003の具体的な動作については説明を省略するが、単位画素1003からは画素信号としてリセットレベルと信号レベルとが出力される。

40

【0012】

まず、単位画素1003からのリセットレベルの読出しが安定した後、比較部1031を構成する差動アンプの2つの入力端の電圧のリセット(バランス)が行われる。続いて、変更部1018により、参照信号Rampが与えられた入力端に所定の電圧が印加される。その後、比較部1031は、その所定の電圧を比較開始の電圧として参照信号Rampと画素信号との比較を行う。計測部1032はダウンカウントモードで計測を実施し、比較終了時点の計測値がリセットレベルのデジタルデータとなる。

50

【 0 0 1 3 】

続いて、単位画素1003からの信号レベルの読出し時には、比較部1031におけるリセット動作および変更部1018による変更動作は行わない。単位画素1003からの信号レベルの読出しが安定した後、比較部1031は、上記所定の電圧を比較開始の電圧として参照信号Rampと画素信号との比較を行う。計測部1032はアップカウントモードで計測を実施し、比較終了時点の計測部1032の計測値が信号成分（信号レベルからリセットレベルを減算した信号）のデジタルデータとなる。

【 0 0 1 4 】

以上のように、画素信号をAD変換することが可能となる。また、リセット動作後に、比較部1031を構成する差動アンプの2つの入力端の電圧に多少のばらつきが残ったとしても、変更部1018により、参照信号Rampが与えられた入力端に所定の電圧を印加することで、参照信号Rampが与えられた入力端の電圧が、画素信号が与えられた入力端の電圧よりも高くなるため、比較部1031の出力を比較動作中に確実に反転させることができる。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 1 5 】

【 特許文献 1 】 特開2006-340044号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 6 】

特許文献1に記載の撮像装置では、参照信号Rampが与えられた入力端の電圧を変更しているが、画素信号が与えられた入力端の電圧を変更することについては記載されていない。

20

【 0 0 1 7 】

本発明は、上述した課題に鑑みてなされたものであって、新規な方法を用いて、参照信号と画素信号との比較動作を確実に行うことができる撮像装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 8 】

本発明は、上記の課題を解決するためになされたもので、光電変換素子を有する単位画素が配置され、前記単位画素から画素信号を出力する撮像部と、時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、第1の容量素子を介して前記単位画素と電気的に接続された第1の入力端と、前記参照信号生成部と電気的に接続された第2の入力端とを有し、前記第1の入力端および前記第2の入力端の電圧を比較する差動アンプ部と、前記第1の入力端および前記第2の入力端の電圧をリセットするリセット部と、を有する比較部と、前記比較部による比較開始から比較終了までの比較時間を計測する計測部と、前記リセット部によるリセット動作後に、前記第1の入力端と前記第2の入力端の電圧差が、前記比較部による比較動作を保證する電圧となるように前記第1の入力端の電圧を変更する変更部と、を有することを特徴とする撮像装置である。

30

【 0 0 1 9 】

また、本発明の撮像装置において、前記変更部は、第2の容量素子と第2のスイッチ素子と、を備え、前記第2の容量素子の一端は、前記第1の入力端に接続され、前記第2の容量素子の他端は、前記第2のスイッチ素子により、前記リセット部によるリセット動作時には第1の電圧源に接続され、前記リセット部によるリセット動作後には前記第1の電圧源と異なる第2の電圧源に接続される、ことを特徴とする。

40

【 0 0 2 0 】

また、本発明の撮像装置において、前記第1の電圧源は電源あるいはグラウンドであり、前記第2の電圧源は前記画素信号である、ことを特徴とする。

【 0 0 2 1 】

また、本発明の撮像装置において、前記変更部は、第1のスイッチ素子を備え、前記第

50

1のスイッチ素子の一端は前記第1の入力端に接続され、前記第1のスイッチ素子の他端は、前記第1の入力端と前記第2の入力端の電圧差が、前記比較部による比較動作を保証する電圧となるように前記第1の入力端に電圧を印加する電圧源に接続され、前記リセット部によるリセット動作前に前記第1のスイッチ素子をOFF状態とし、前記リセット部によるリセット動作後に前記第1のスイッチ素子をON状態とする、ことを特徴とする。

【発明の効果】

【0022】

本発明によれば、リセット部によるリセット動作後に、第1の容量素子を介して単位画素と電氣的に接続された第1の入力端と、参照信号生成部と電氣的に接続された第2の入力端との電圧差が、比較部による比較動作を保証する電圧となるように第1の入力端の電圧を変更することによって、参照信号と画素信号との比較動作を確実に行うことができる。

10

【図面の簡単な説明】

【0023】

【図1】本発明の第1の実施形態による撮像装置の構成を示すブロック図である。

【図2】本発明の第1の実施形態による撮像装置が備えるカラム処理部の構成を示すブロック図である。

【図3】本発明の第1の実施形態による撮像装置が備える比較部と変更部の構成および比較部の入力端における電圧変化を示す図である。

【図4】本発明の第1の実施形態による撮像装置が備える比較部の入力端における電圧変化を説明するための図である。

20

【図5】本発明の第2の実施形態による撮像装置が備える比較部と変更部の構成および比較部の入力端における電圧変化を示す図である。

【図6】本発明の第3の実施形態による撮像装置の構成を示すブロック図である。

【図7】本発明の第3の実施形態による撮像装置が備えるアナログ部の構成を示す回路図である。

【図8】本発明の第4の実施形態による撮像装置の構成を示すブロック図である。

【図9】本発明の第4の実施形態による撮像装置が備える比較部と変更部の構成および比較部の入力端における電圧変化を示す図である。

【図10】本発明の第4の実施形態による撮像装置が備えるカラム処理部の構成を示すブロック図である。

30

【図11】本発明の第5の実施形態による撮像装置が備える比較部と変更部の構成および比較部の入力端における電圧変化を示す図である。

【図12】本発明の第6の実施形態による撮像装置の構成を示すブロック図である。

【図13】本発明の第7の実施形態による撮像装置の構成を示すブロック図である。

【図14】本発明の第7の実施形態による撮像装置が備える比較部と変更部の構成および比較部の入力端における電圧変化を示す図である。

【図15】本発明の第7の実施形態による撮像装置が備えるカラム処理部の構成を示すブロック図である。

【図16】本発明の第8の実施形態による撮像装置の構成を示すブロック図である。

40

【図17】本発明の第8の実施形態による撮像装置が備える比較部と変更部の構成および比較部の入力端における電圧変化を示す図である。

【図18】従来の撮像装置の構成を示すブロック図である。

【図19】従来の撮像装置が備えるカラム処理部の構成を示すブロック図である。

【発明を実施するための形態】

【0024】

以下、図面を参照し、本発明の実施形態を説明する。以下の各実施形態で説明する撮像装置は、従来の撮像装置が有する以下の問題の少なくともいずれかを解決している。

【0025】

(1) 変更部の構成に関する問題(第1の問題)

50

比較部の高速化のために、比較部を構成する差動アンプの入力端にNMOSトランジスタ（以後、NMOSと呼称）を用い、変更部の高速化のために、変更部を構成するスイッチ素子としてNMOSを用いることが好ましい。これらの構成を用いた比較部および変更部を一般的な撮像装置に適用した場合、比較動作を確実に実施するには、リセット動作後に、差動アンプの2つの入力端のうち参照信号が与えられる入力端に所定の電圧を与えて、その入力端の電圧を高く変更する必要がある。しかし、入力端に与える所定の電圧によっては、変更部を構成するNMOSがON（活性化）しないために入力端の電圧を変更できない、あるいは仮にNMOSがONしたとしても抵抗成分が大きいため変更に時間を要することが考えられる。変更部を低閾値のNMOSで構成することも考えられるが、半導体プロセスの追加工程が必要となり、コスト面で不利となる。

10

【0026】

（2）差動アンプの入力端の電圧を直接変更する構成に起因する問題（第2の問題）

第1の問題を解決するために、変更部をPMOSトランジスタ（以後、PMOSと呼称）で構成することが考えられる。PMOSのサイズを大きくし、小型化を犠牲にすることで、変更部の高速化は可能となる。しかし、差動アンプの入力端の電圧を直接変更する場合、以下の問題がある。リセット後の差動アンプの2つの入力端の電圧はリセット電圧VRSTに完全に一致するわけではなく、トランジスタの閾値等に起因するリセットバラツキ VRSTを含む電圧となる。一般的に、撮像装置の隣接する列間では製造条件のバラツキが同程度となるが、撮像装置の全列間では、製造条件のバラツキが大きくなり、リセットバラツキ VRSTが100[mV]程度ある場合が考えられる。つまり、容量素子等を介して差動アンプの入力端の電圧を変更する場合と異なり、差動アンプの入力端の電圧を直接変更する場合、このリセットバラツキ VRSTを含めた電圧に変更する必要がある。撮像装置の全列間のリセットバラツキ VRST分の比較時間が余分に必要となるため、結果的に、比較時間が長くなり、AD変換の高速化が難しい。

20

【0027】

（3）参照信号生成部の構成に関する問題（第3の問題）

参照信号を制御することで、参照信号が与えられる入力端の電圧を変更することが考えられる。この場合、第1および第2の問題を抑圧できるが、参照信号生成部に電圧変更機能を内蔵する必要があり、構成やその制御が複雑となる。

30

【0028】

（第1の実施形態）

まず、本発明の第1の実施形態を説明する。図1は、本実施形態による（C）MOS撮像装置の構成の一例を示している。図1に示す撮像装置1aは、撮像部2、垂直選択部12、読出し電流源部5、カラム処理部15、参照信号生成部16、変更部18、水平選択部14、出力部17、タイミング制御部20で構成されている。

【0029】

撮像部2は、入射される電磁波の大きさに応じた画素信号を生成し出力する単位画素3が複数、行列状に配置されている。垂直選択部12は、撮像部2の各行を選択する。読出し電流源部5は、撮像部2からの信号を電圧信号として読み出す。参照信号生成部16は、時間の経過とともに増加または減少する参照信号Ramp（ランプ波）を生成する。カラム処理部15は参照信号生成部16と接続される。水平選択部14は、AD変換されたデータを水平信号線に読み出す。出力部17は、水平選択部14によって読み出されたデジタルデータを後段の回路に出力する。タイミング制御部20は各部を制御する。

40

【0030】

図1では、簡単のため4行×6列の単位画素3から構成される撮像部2の場合について説明しているが、現実には、撮像部2の各行や各列には、数十から数万の単位画素3が配置されることになる。尚、図示を割愛するが、撮像部2を構成する単位画素3は、フォトダイオード/フォトゲート/フォトトランジスタなどの光電変換素子、およびトランジスタ回路によって構成されている。

【0031】

50

以下では、各部のより詳細な説明を行う。撮像部2は、単位画素3が4行6列分だけ2次元に配置されるとともに、この4行6列の画素配列に対して行ごとに行制御線11が配線されている。行制御線11の各一端は、垂直選択部12の各行に対応した各出力端に接続されている。垂直選択部12は、シフトレジスタあるいはデコーダなどによって構成され、撮像部2の各单位画素3の駆動に際して、行制御線11を介して撮像部2の行アドレスや行走査の制御を行う。また、撮像部2の画素配列に対して列ごとに垂直信号線13が配線されている。読出し電流源部5は、撮像部2からの画素信号を電圧信号として読み出すための電流源で構成されている。

【0032】

コラム処理部15は、変更部18と、撮像部2の画素列ごと、即ち垂直信号線13ごとに設けられた列AD変換部30とを有する。列AD変換部30は、比較部31と計測部32を有する。列AD変換部30は、撮像部2の各单位画素3から画素列ごとに垂直信号線13を通して読み出されるアナログの画素信号をデジタルデータに変換する。

10

【0033】

変更部18はNMOSで構成され、NMOSのソースは、列AD変換部30の比較部31(図2)の第1の入力端に接続され、NMOSのドレインは、所定の電圧を与える電圧源に接続され、ゲートをON(活性化)することでNMOSが短絡される。

【0034】

尚、本例では、撮像部2の画素列に対して1対1の対応関係をもって列AD変換部30を配置する構成をとっているが、これは一例に過ぎず、この配置関係に限定されるものではない。例えば、複数の画素列に対して列AD変換部30を1つ配置し、当該1つの列AD変換部30を複数の画素列間で時分割にて使用する構成をとることも可能である。コラム処理部15は、後述する参照信号生成部16と共に、撮像部2の選択画素行の単位画素3から読み出されるアナログの画素信号をデジタルの画素データに変換するアナログ-デジタル変換回路を構成している。尚、列AD変換部30の詳細については後述する。

20

【0035】

参照信号生成部16は、例えば積分回路によって構成され、タイミング制御部20による制御に従って、時間が経過するにつれてレベルが傾斜状に増加あるいは減少する、いわゆるランプ波を生成し、参照信号線を介して列AD変換部30の比較部31(図2)の第2の入力端に参照信号Rampとして供給する。尚、参照信号生成部16としては、積分回路を用いたものに限られるものではなく、DAC回路を用いても構わない。ただし、DAC回路を用いてデジタル的にランプ波を生成する構成をとる場合には、ランプ波のステップを細かくする、あるいはそれと同等な構成をとる必要がある。

30

【0036】

水平選択部14は、シフトレジスタあるいはデコーダなどによって構成され、コラム処理部15の列AD変換部30の列アドレスや列走査の制御を行う。この水平選択部14による制御に従って、列AD変換部30でAD変換されたデジタルデータは順に水平信号線を介して出力部17に読み出される。

【0037】

タイミング制御部20は、垂直選択部12、読出し電流源部5、参照信号生成部16、コラム処理部15、水平選択部14、出力部17などの各部の動作に必要なクロックや所定タイミングのパルス信号を供給するTG(=Timing Generator: タイミングジェネレータ)の機能ブロックと、このTGと通信を行うための機能ブロックとを備える。

40

【0038】

出力部17は、バッファリング機能以外に、例えば黒レベル調整、列バラツキ補正、色処理などの信号処理機能を内蔵しても構わない。更に、nビットパラレルのデジタルデータをシリアルデータに変換して出力するようにしても構わない。

【0039】

次に、列AD変換部30の構成について説明する。図2は、列AD変換部30を含むコラム処理部15の構成の一例を示している。列AD変換部30は列ごとに設けられており、図1および図

50

2では6個の列AD変換部30が設けられている。各々の列AD変換部30は同一の構成となっている。列AD変換部30は、撮像部2の各单位画素3から垂直信号線13を通して読み出されるアナログの画素信号を、参照信号生成部16から与えられる参照信号Rampと比較することにより、リセットレベルや信号レベルの各々の大きさに対応した時間軸方向の大きさ（パルス幅）を持つパルス信号を生成する。そして、このパルス信号のパルス幅の期間に対応したデータを画素信号の大きさに応じたデジタルデータとすることによってAD変換を行う。

【0040】

以下では、列AD変換部30の構成の詳細について説明する。列AD変換部30は、比較部31および計測部32を備える。

【0041】

比較部31は、第1の入力端に与えられる、撮像部2の各单位画素3から垂直信号線13を通して出力されるアナログの画素信号に応じた信号電圧と、第2の入力端に与えられる、参照信号生成部16から供給される参照信号Rampとを比較することによって、画素信号の大きさを時間軸方向の情報（パルス信号のパルス幅）に変換する。比較部31の比較出力は、例えば参照信号Rampのランプ電圧が信号電圧よりも大なるときにはHighレベル（Hレベル）になり、ランプ電圧が信号電圧以下のときにはLowレベル（Lレベル）になる。

【0042】

計測部32は、比較部31による比較開始から比較終了までの比較時間を計測するための、例えばnビットのアップ/ダウンカウンタ回路で構成される。nビットは例えば10ビットである。尚、nビットが10ビットであるのは一例であって、nビットが10ビット未満のビット数（例えば、8ビット）や10ビットを超えるビット数（例えば、12ビット）などであっても構わない。

【0043】

次に、本例の動作について説明する。ここでは、各单位画素3の具体的な動作については説明を省略するが、周知のように各单位画素3ではリセットレベルと信号レベルとが出力される。

【0044】

AD変換は、以下のようにして行われる。例えば所定の傾きで下降するランプ波（参照信号Ramp）と、各单位画素3からの画素信号であるリセットレベルあるいは信号レベルの各電圧とを比較し、この比較処理で用いるランプ波が生成された時点から、リセットレベルや信号レベルに応じた信号とランプ波（ランプ電圧）とが一致するまでの期間を、例えば基準クロックで計測することによって、リセットレベルあるいは信号レベルの各大きさに対応したデジタルデータを得る。

【0045】

ここで、撮像部2の選択行の各单位画素3からは、アナログの画素信号として、1回目の読出し動作で画素信号の雑音を含むリセットレベルが読み出され、その後、2回目の読出し動作で信号レベルが読み出される。そして、リセットレベルと信号レベルとが垂直信号線13を通して列AD変換部30に時系列で入力される。

【0046】

<1回目の読出し>

任意の画素行の各单位画素3から垂直信号線13への1回目の読出しが安定した後、比較部31のリセット動作が行われる。続いて、変更部18は、リセットレベルが与えられた比較部31の第1の入力端の電圧を、リセットレベルよりも低い所定の電圧に変更する。その後、タイミング制御部20は、参照信号生成部16に対して、ランプ波生成の制御データを供給する。これを受けて参照信号生成部16は、比較部31の第2の入力端に与える比較電圧として、波形が全体として時間的にランプ状に変化するランプ波（参照信号Ramp）を出力する。比較部31は、参照信号生成部16からのランプ波が与えられた第2の入力端の電圧と、リセットレベルが与えられた第1の入力端の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。

【0047】

10

20

30

40

50

計測部32は、比較部31での比較開始に基づいてダウンカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、リセットレベルに応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、ランプ波の生成を停止する。

【0048】

<2回目の読出し>

続いて、2回目の読出し時には、単位画素3毎の入射光量に応じた信号レベルが読み出される。この2回目の読出し時には、比較部31のリセット動作および変更部18による変更動作は行わない。

10

【0049】

任意の画素行の単位画素3から垂直信号線13への2回目の読出しが安定した後、タイミング制御部20は、参照信号生成部16に対して、ランプ波生成の制御データを供給する。これを受けて参照信号生成部16はランプ波（参照信号Ramp）を出力する。比較部31は、参照信号生成部16からのランプ波が与えられた第2の入力端の電圧と、信号レベルが与えられた第1の入力端の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。

【0050】

計測部32は、比較部31での比較開始に基づいてアップカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、信号レベルからリセットレベルを減算（CDS(=Correlated Double Sampling: 相関2重サンプリング)処理)した信号成分に応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、ランプ波の生成を停止する。

20

【0051】

次に、比較部31と変更部18の構成および比較部31の入力端における電圧変化の詳細を説明する。図3は、比較部31および変更部18の具体的な回路構成の一例である。以下、本例の回路構成について説明する。

【0052】

図3において、比較部31内の差動アンプは、ソースが共通に接続されたNMOSで構成されるトランジスタN1、N2と、これらトランジスタN1、N2の各ドレインと電源VDDとの間に接続され、ゲートが共通に接続されたPMOSで構成されるトランジスタP3、P4と、トランジスタN1、N2のソースに共通に接続されたノードとグランドGNDとの間に接続されたNMOSの電流源N5とから構成されている。

30

【0053】

この差動アンプにおいて、トランジスタN1、N2の各ゲートとドレインとの間に、PMOSで構成されるトランジスタP6、P7がそれぞれ接続されている。これらトランジスタP6、P7は、各ゲートにLowアクティブのリセットパルスResetがタイミング制御部20から与えられることでON状態となり、トランジスタN1、N2の各ゲートとドレインとを短絡し、トランジスタN1、N2の各ゲートの電圧、即ち差動アンプの2つの入力端IN1、IN2の電圧をリセットするリセット部として機能する。

40

【0054】

トランジスタN1、N2の各ゲートには、DCレベルをカットするための容量素子C1、C2の各一端がそれぞれ接続されている。容量素子C1の他端には、撮像部2の各単位画素3から出力される画素信号Pixelが与えられる。容量素子C2の他端には、参照信号生成部16からの参照信号Rampが与えられる。

【0055】

全列で共通のスイッチ素子SW1（第1のスイッチ素子）は変更部18を構成する。スイッチ素子SW1の一端はトランジスタN1のゲートに接続され、スイッチ素子SW1の他端は、例えば電圧源VDDLに接続される。電圧源VDDLが供給する電圧 V_{DDL} は、リセットレベルよりも低

50

い電圧となるように予め調整されている。スイッチ素子SW1は、例えばNMOSで構成され、タイミング制御部20からの図示しない制御信号によってON状態とOFF状態が制御される。また、電流源N5のゲートには、電流値を制御するためのバイアス電圧Vbiasが与えられる。

【0056】

以下、本例の動作について説明する。ここでは、リセットレベルの電圧を V_R 、信号レベルの電圧を V_S （ただし、 $V_S > V_R$ ）、電圧源VDDLの電圧を V_{DDL} とする。図3には、比較部31内の差動アンプの第1の入力端IN1および第2の入力端IN2の電圧変化および参照信号Rampの波形が示されている。

【0057】

単位画素3からの画素信号Pixelとしてリセットレベルが第1の入力端IN1に与えられ、参照信号生成部16から第2の入力端IN2に与えられる参照信号Rampが安定した後、タイミング制御部20が比較部31の比較開始前にリセットパルスResetを活性化（Lowアクティブ）する。これにより、トランジスタP6、P7がON状態となってトランジスタN1、N2の各ゲートとドレインとを短絡し、これらトランジスタN1、N2の動作点をドレイン電圧として2つの入力端の電圧がリセットされる。

【0058】

このリセットによって決定された動作点で、差動アンプの2つの入力端の電圧、即ちトランジスタN1、N2の各ゲート電圧のオフセット成分がほぼキャンセルされる。即ち、差動アンプの2つの入力端の電圧が、略同一の電圧 V_{RST} になるようにリセットされる。この時点（時刻T1）で、第1の入力端IN1の電圧は V_{RST} 、第2の入力端IN2の電圧は V_{RST} である。リセット後、トランジスタP6、P7はOFF状態となる。

【0059】

続いて、スイッチ素子SW1がOFF状態からON状態となることで、画素信号Pixelが与えられる第1の入力端IN1の電圧、即ちトランジスタN1のゲート電圧が電圧 V_{RST} から所定の電圧 V_{DDL} （ $V_{DDL} < V_{RST}$ ）に低く変更される。この時点（時刻T2）で、第1の入力端IN1の電圧は V_{DDL} 、第2の入力端IN2の電圧は V_{RST} である。スイッチ素子SW1はON状態となった後、OFF状態となる。

【0060】

$V_{DDL} < V_{RST}$ であるため、1回目の読出しに係る比較部31での比較開始時の第1の入力端IN1の電圧は、参照信号Rampが与えられる第2の入力端IN2の電圧よりも低くなる。つまり、比較部31のリセット動作後に、比較部31を構成する差動アンプの2つの入力端の電圧に多少のばらつきが残ったとしても、変更部18により、リセットレベルが与えられた比較部31の第1の入力端の電圧をより低い電圧に変更することで、ランプ波が与えられる第2の入力端の電圧が、リセットレベルが与えられた第1の入力端の電圧よりも高くなる。図3に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保證することができる。

【0061】

時刻T2以降、第2の入力端に参照信号Rampとしてランプ波が与えられる。ランプ波が与えられた第2の入力端の電圧と、リセットされた第1の入力端の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端へのランプ波の入力が開始されてから所定の期間が経過した時点（時刻T3）で、参照信号生成部16はランプ波の生成を停止する。

【0062】

続いて、単位画素3からの画素信号Pixelとして信号レベルが第1の入力端IN1に与えられる。以下では、図4を用いて、信号レベルが入力された時点（時刻T4）での第1の入力端IN1の電圧を説明する。図4は、第1の入力端の周辺の構成のみを抽出して示している。以下では、第1の入力端IN1とグランドGNDとの間の寄生容量CPを仮定して説明を行う。

【0063】

10

20

30

40

50

スイッチ素子SW1によって第1の入力端IN1の電圧が V_{RST} から V_{DDL} に変更された時点(時刻T2)で、画素信号Pixelとしてリセットレベルが与えられている容量素子C1の他端の電圧は V_R である。また、画素信号Pixelとして信号レベルが入力された時点(時刻T4)で、容量素子C1の他端の電圧は V_S となる。時刻T2から時刻T4までの容量素子C1の他端の電圧の変化を $V1$ とすると、 $V1$ は以下の(1)式となる。

$$V1 = V_S - V_R \quad \dots (1)$$

【0064】

時刻T2から時刻T4までの間、トランジスタP6およびスイッチ素子SW1はOFF状態であるため、容量素子C1および寄生容量CPに蓄積されている電荷量は保持される。このため、時刻T2から時刻T4までの第1の入力端IN1の電圧の変化を $V2$ とすると、 $V2$ は以下の(2)式となる。尚、(2)式において、 C_1 は容量素子C1の容量値、 C_P は寄生容量CPの容量値である。

10

【0065】

【数1】

$$\Delta V2 = \frac{C_1}{C_1 + C_P} \times \Delta V1 \quad \dots (2)$$

【0066】

20

C_1 に比べて C_P を無視できる場合($C_1 \gg C_P$)、 $V2 = V1$ となる。時刻T2における第1の入力端IN1の電圧は V_{DDL} であるので、(1)式を用いて、時刻T4における第1の入力端IN1の電圧VIN1は以下の(3)式となる。

$$VIN1 = V_{DDL} + (V_S - V_R) \quad \dots (3)$$

【0067】

前述したように $V_{DDL} < V_{RST}$ であり、更に $V_S > V_R$ であるため、2回目の読出しに係る比較部31での比較開始時の第1の入力端IN1の電圧は、参照信号Rampが与えられる第2の入力端IN2の電圧よりも低くなる。図3に示すように、参照信号Rampとして時間の経過とともに減少するランプ波が与えられるので、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保證することができる。

30

【0068】

時刻T4以降、第2の入力端に参照信号Rampとしてランプ波が与えられる。ランプ波が与えられた第2の入力端の電圧と、第1の入力端の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端へのランプ波の入力が開始されてから所定の期間が経過した時点(時刻T5)で、参照信号生成部16はランプ波の生成を停止する。1回目の読出し時に計測部32がダウンカウントモードで計測を行い、2回目の読出し時に計測部32がアップカウントモードで計測を行うため、計測部32の計測値として、(3)式の右辺第2項に相当する信号成分($V_S - V_R$)に係る計測値が得られる。

【0069】

上述したように、本実施形態によれば、トランジスタP6、P7によるリセット動作後に、第1の入力端IN1と第2の入力端IN2との電圧差が、比較部31による比較動作を保證する電圧となるように、変更部18(スイッチ素子SW1)が第1の入力端IN1の電圧をより低い電圧に変更することによって、比較部31が参照信号Rampと画素信号Pixelとの比較動作を確実に行うことができる。更に、スイッチ素子SW1で変更部18を構成することによって、容易な構成で電圧の変更を行うことができる。

40

【0070】

また、参照信号Rampが与えられる第2の入力端IN2の電圧をより高い電圧に変更するのではなく、画素信号Pixelが与えられる第1の入力端IN1の電圧をより低い電圧に変更することによって、前述した第1の問題および第3の問題を解決することができる。

【0071】

50

(第2の実施形態)

次に、本発明の第2の実施形態を説明する。本実施形態の(C)MOS撮像装置の構成は、第1の実施形態で説明した構成と略同様(図1)であり、AD変換動作のみが異なる。

【0072】

以下では、本例の動作のうち、第1の実施形態と異なる部分を中心に説明する。第1の実施形態と同様に、単位画素3ではリセットレベルと信号レベルとが出力される。

【0073】

AD変換は、以下のようにして行われる。例えば所定の傾きで下降するランプ波(参照信号Ramp)と、単位画素3からの画素信号であるリセットレベルおよび信号レベルの差分に応じた電圧(差分信号レベル)とを比較し、この比較処理で用いるランプ波が生成された時点から、差分信号レベルに応じた信号とランプ波(ランプ電圧)とが一致するまでの期間を、例えば基準クロックで計測することによって、差分信号レベルの大きさに対応したデジタルデータを得る。

10

【0074】

ここで、撮像部2の選択行の各単位画素3からは、アナログの画素信号として、1回目の読出し動作でリセットレベルが読み出され、その後、2回目の読出し動作で信号レベルが読み出される。そして、リセットレベルと信号レベルとが垂直信号線13を通して列AD変換部30に時系列で入力される。

【0075】

<1回目の読出し>

20

任意の画素行の単位画素3から垂直信号線13への1回目の読出しが安定した後、比較部31のリセット動作が行われる。続いて、変更部18は、リセットレベルが与えられた比較部31の第1の入力端の電圧を、リセットレベルよりも低い所定の電圧に変更する。

【0076】

<2回目の読出し>

続いて、2回目の読出し時には、単位画素3毎の入射光量に応じた信号レベルが読み出される。この2回目の読出し時には、比較部31のリセット動作および変更部18による変更動作は行わない。

【0077】

任意の画素行の単位画素3から垂直信号線13への2回目の読出しが安定した後、タイミング制御部20は、参照信号生成部16に対して、ランプ波生成の制御データを供給する。これを受けて参照信号生成部16はランプ波(参照信号Ramp)を出力する。比較部31は、参照信号生成部16からのランプ波が与えられた第2の入力端の電圧と、差分信号レベルが与えられた第1の入力端の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。

30

【0078】

計測部32は、比較部31での比較開始に基づいてアップカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、信号レベルからリセットレベルを減算(CDS処理)した信号成分に応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、ランプ波の生成を停止する。

40

【0079】

次に、比較部31の入力端における電圧変化の詳細を説明する。図5は、比較部31および変更部18の具体的な回路構成の一例である。図5に示す回路構成は、図3に示した回路構成と略同様であるので説明を省略する。

【0080】

以下、本例の動作について説明する。ここでは、リセットレベルの電圧を V_R 、信号レベルの電圧を V_S (ただし、 $V_S > V_R$)、電圧源VDDLの電圧を V_{DDL} とする。図5には、比較部31内の差動アンプの第1の入力端IN1および第2の入力端IN2の電圧変化および参照信号Ramp

50

の波形が示されている。

【0081】

単位画素3からの画素信号Pixelとしてリセットレベルが第1の入力端IN1に与えられ、参照信号生成部16から第2の入力端IN2に与えられる参照信号Rampが安定した後、2つの入力端の電圧がリセットされる。このとき、差動アンプの2つの入力端の電圧が、略同一の電圧 V_{RST} になるようにリセットされる。この時点(時刻T1)で、第1の入力端IN1の電圧は V_{RST} 、第2の入力端IN2の電圧は V_{RST} である。リセット後、トランジスタP6、P7はOFF状態となる。

【0082】

続いて、スイッチ素子SW1がOFF状態からON状態となることで、画素信号Pixelが与えられる第1の入力端IN1の電圧、即ちトランジスタN1のゲート電圧が電圧 V_{RST} から所定の電圧 V_{DDL} ($V_{DDL} < V_{RST}$)に低く変更される。この時点(時刻T2)で、第1の入力端IN1の電圧は V_{DDL} 、第2の入力端IN2の電圧は V_{RST} である。スイッチ素子SW1はON状態となった後、OFF状態となる。

【0083】

続いて、単位画素3からの画素信号Pixelとして信号レベルが第1の入力端IN1に与えられる。信号レベルが入力された時点(時刻T4)での第1の入力端IN1の電圧VIN1は、第1の実施形態と同様に以下の(4)式となる。

$$VIN1 = V_{DDL} + (V_S - V_R) \quad \dots (4)$$

【0084】

前述したように $V_{DDL} < V_{RST}$ であり、更に $V_S > V_R$ であるため、比較部31での比較開始時の第1の入力端IN1の電圧は、参照信号Rampが与えられる第2の入力端IN2の電圧よりも低くなる。参照信号Rampとして時間の経過とともに減少するランプ波が与えられるので、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保證することができる。

【0085】

時刻T4以降、第2の入力端に参照信号Rampとしてランプ波が与えられる。ランプ波が与えられた第2の入力端の電圧と、第1の入力端の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端へのランプ波の入力が開始されてから所定の期間が経過した時点(時刻T5)で、参照信号生成部16はランプ波の生成を停止する。2回目の読出し時に計測部32がアップカウントモードで計測を行うため、計測部32の計測値として、(4)式の $V_{DDL} + (V_S - V_R)$ に係る計測値が得られる。

【0086】

本実施形態では、1回のAD変換動作でデジタルデータを得ることが可能となる。尚、リセットレベルが与えられた第1の入力端を所定の電圧に低く変更することで信号成分($V_S - V_R$)にオフセット成分(V_{DDL})が重畳したデジタルデータが得られるが、撮像部2に設けられた遮光画素やダミー画素のデータを用いてオフセット成分のデジタルデータを演算し、計測部32の計測値からオフセット成分のデジタルデータを減算することで、オフセット成分を抑圧することが可能である。

【0087】

また、参照信号Rampが与えられる第2の入力端IN2の電圧をより高い電圧に変更するのではなく、画素信号Pixelが与えられる第1の入力端IN1の電圧をより低い電圧に変更することによって、前述した第1の問題および第3の問題を解決することができる。

【0088】

(第3の実施形態)

次に、本発明の第3の実施形態を説明する。図6は、本実施形態による(C)MOS撮像装置の構成の一例を示している。以下、本例の構成について説明する。図6に示す撮像装置1bの構成のうち、図1と異なるのはアナログ部6の構成である。本例のアナログ部6は、減算(CDS処理)回路を有する。アナログ部6以外の構成は、図1に示した構成と略同様であるので説明は省略する。

10

20

30

40

50

【 0 0 8 9 】

図7は、アナログ部6の構成の一例を示している。図7に示す構成は、第1の信号電圧と第2の信号電圧との差分に応じた信号成分を取得する手段として、CDS処理機能を備えるようにした構成である。アナログ部6は、垂直信号線13に接続されたクランプ容量 C_{clp} 、クランプ容量 C_{clp} をクランプバイアス V_{clp} にクランプするためのクランプスイッチ SW_{clp} 、信号をサンプルホールドするためのサンプルホールド容量 C_{sh} 、サンプルホールドスイッチ SW_{sh} 、バッファ部B1、およびバッファ部B2で構成されている。CDS処理を行う場合、アナログ部6は、タイミング制御部20から与えられるクランプパルスとサンプリングパルスとの2つのパルスに基づいて、クランプスイッチ SW_{clp} およびサンプルホールドスイッチ SW_{sh} を制御し、垂直信号線13を介して入力された電圧モードの画素信号に対して、リセットレベルと信号レベルとの減算（CDS処理）を行うことで、信号成分を取得する。

10

【 0 0 9 0 】

次に、本例の動作について説明する。第1の実施形態による撮像装置1aの動作と異なるのは、アナログ部6に減算（CDS処理）回路を設けたことによるAD変換動作である。以下では、本例の動作のうち、第1の実施形態と異なる部分を中心に説明する。第1の実施形態と同様に、単位画素3ではリセットレベルと信号レベルとが出力される。ここでは、リセットレベルの電圧を V_R 、信号レベルの電圧を V_S （ただし、 $V_S > V_R$ ）とする。

【 0 0 9 1 】

AD変換は、以下のようにして行われる。例えば所定の傾きで下降するランプ波（参照信号Ramp）と、単位画素3からの画素信号であるリセットレベルおよび信号レベルの差分に応じた電圧（差分信号レベル）とを比較し、この比較処理で用いるランプ波が生成された時点から、差分信号レベルに応じた信号とランプ波（ランプ電圧）とが一致するまでの期間を、例えば基準クロックで計測することによって、差分信号レベルの大きさに対応したデジタルデータを得る。

20

【 0 0 9 2 】

ここで、撮像部2の選択行の各単位画素3からは、アナログの画素信号として、1回目の読出し動作でリセットレベルが読み出され、その後、2回目の読出し動作で信号レベルが読み出される。そして、リセットレベルと信号レベルとが垂直信号線13を通してアナログ部6に時系列で入力される。

【 0 0 9 3 】

<1回目の読出し>

任意の画素行の単位画素3から垂直信号線13への1回目の読出しが安定した後、クランプスイッチ SW_{clp} およびサンプルホールドスイッチ SW_{sh} がON状態となり、更に比較部31のリセット動作が行われる。続いて、変更部18は、リセットレベルが与えられた比較部31の第1の入力端の電圧を、リセットレベルよりも低い所定の電圧に変更する。続いて、クランプスイッチ SW_{clp} がOFF状態となる。

30

【 0 0 9 4 】

<2回目の読出し>

続いて、2回目の読出し時には、単位画素3毎の入射光量に応じた信号レベルが読み出される。この2回目の読出し時には、比較部31のリセット動作および変更部18による変更動作は行わない。また、クランプスイッチ SW_{clp} がOFF状態であるため、クランプ容量 C_{clp} に入力される電圧がリセットレベルから信号レベルに変化すると、バッファ部B1の入力電圧が、その変化に応じた電圧（ $V_S - V_R$ ）だけ変化する。この変化に応じて、バッファ部B2の入力電圧および出力電圧も同様に変化する。これによって、比較部31の第1の入力端には、信号レベルとリセットレベルとの差分信号レベル（ $V_S - V_R$ ）が与えられる。信号レベルの読出し後、サンプルホールドスイッチ SW_{sh} がOFF状態となる。

40

【 0 0 9 5 】

任意の画素行の単位画素3から垂直信号線13への2回目の読出しが安定した後、タイミング制御部20は、参照信号生成部16に対して、ランプ波生成の制御データを供給する。これを受けて参照信号生成部16はランプ波（参照信号Ramp）を出力する。比較部31は、このラ

50

ンプ波が与えられた第2の入力端の電圧と、差分信号レベルが与えられた第1の入力端の電圧とを比較する。

【0096】

本実施形態では、第1の実施形態と同様に、比較部31のリセット動作後に、比較部31を構成する差動アンプの2つの入力端の電圧に多少のばらつきが残ったとしても、比較部31での比較開始時の第1の入力端IN1の電圧は、参照信号Rampが与えられる第2の入力端IN2の電圧よりも低くなる。このため、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。

【0097】

比較部31は、参照信号生成部16からのランプ波が与えられた第2の入力端の電圧と、差分信号レベルが与えられた第1の入力端の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。計測部32は、比較部31での比較開始に基づいてアップカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、信号レベルからリセットレベルを減算（CDS処理）した信号成分に応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、ランプ波の生成を停止する。2回目の読出し時に計測部32がアップカウントモードで計測を行うため、計測部32の計測値として、(3)式の $V_{DDL} + (V_S - V_R)$ に係る計測値が得られる。

【0098】

本実施形態では、1回のAD変換動作でデジタルデータを得ることが可能となる。尚、リセットレベルが与えられた第1の入力端を所定の電圧に低く変更することで信号成分 $(V_S - V_R)$ にオフセット成分 (V_{DDL}) が重畳したデジタルデータが得られるが、撮像部2に設けられた遮光画素やダミー画素のデータを用いてオフセット成分のデジタルデータを演算し、計測部32の計測値からオフセット成分のデジタルデータを減算することで、オフセット成分を抑圧することが可能である。

【0099】

また、参照信号Rampが与えられる第2の入力端IN2の電圧をより高い電圧に変更するのではなく、画素信号Pixelが与えられる第1の入力端IN1の電圧をより低い電圧に変更することによって、前述した第1の問題および第3の問題を解決することができる。

【0100】

(第4の実施形態)

次に、本発明の第4の実施形態を説明する。図8は、本実施形態による(C)MOS撮像装置の構成の一例を示している。以下、本例の構成について説明する。図8に示す撮像装置1cの構成のうち、図1と異なるのは変更部18aの構成である。本例の変更部18aは、列毎に設けられており、容量素子およびスイッチ素子で構成される。変更部18a以外の構成は、図1に示した構成と略同様であるので説明は省略する。

【0101】

以下では、本例の動作のうち、第1の実施形態と異なる部分を中心に説明する。第1の実施形態と同様に、単位画素3ではリセットレベルと信号レベルとが出力される。

【0102】

AD変換は、以下のようにして行われる。例えば所定の傾きで下降するランプ波（参照信号Ramp）と、単位画素3からの画素信号であるリセットレベルあるいは信号レベルの各電圧とを比較し、この比較処理で用いるランプ波が生成された時点から、リセットレベルや信号レベルに応じた信号とランプ波（ランプ電圧）とが一致するまでの期間を、例えば基準クロックで計測することによって、リセットレベルあるいは信号レベルの各大きさに対応したデジタルデータを得る。

【0103】

ここで、撮像部2の選択行の各単位画素3からは、アナログの画素信号として、1回目の読出し動作でリセットレベルが読み出され、その後、2回目の読出し動作で信号レベルが

10

20

30

40

50

読み出される。そして、リセットレベルと信号レベルとが垂直信号線13を通して列AD変換部30に時系列で入力される。

【0104】

<1回目の読出し>

任意の画素行の単位画素3から垂直信号線13への1回目の読出しが安定した後、比較部31のリセット動作が行われる。続いて、変更部18aは、リセットレベルが与えられた比較部31の第1の入力端の電圧を、リセットレベルよりも低い所定の電圧に変更する。変更部18aによる変更動作の詳細については、後述する。その後、タイミング制御部20は、参照信号生成部16に対して、ランプ波生成の制御データを供給する。これを受けて参照信号生成部16はランプ波（参照信号Ramp）を出力する。比較部31は、参照信号生成部16からのランプ波が与えられた第2の入力端の電圧と、リセットレベルが与えられた第1の入力端の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。

10

【0105】

計測部32は、比較部31での比較開始に基づいてダウンカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、リセットレベルに応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、ランプ波の生成を停止する。

【0106】

<2回目の読出し>

続いて、2回目の読出し時には、単位画素3毎の入射光量に応じた信号レベルが読み出される。この2回目の読出し時には、比較部31のリセット動作および変更部18aによる変更動作は行わない。

20

【0107】

任意の画素行の単位画素3から垂直信号線13への2回目の読出しが安定した後、タイミング制御部20は、参照信号生成部16に対して、ランプ波生成の制御データを供給する。これを受けて参照信号生成部16はランプ波（参照信号Ramp）を出力する。比較部31は、参照信号生成部16からのランプ波が与えられた第2の入力端の電圧と、信号レベルが与えられた第1の入力端の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。

30

【0108】

計測部32は、比較部31での比較開始に基づいてアップカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、信号レベルからリセットレベルを減算（CDS処理）した信号成分に応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、ランプ波の生成を停止する。

【0109】

次に、比較部31と変更部18aの構成および比較部31の入力端における電圧変化の詳細を説明する。図9は、比較部31および変更部18aの具体的な回路構成の一例である。図10は、比較部31および変更部18aを含むカラム処理部15の回路構成の一例である。以下、本例の回路構成について説明する。以下では、図3に示した構成と異なる構成についてのみ説明する。

40

【0110】

変更部18aは、列毎に設けられたスイッチ素子SW2（第2のスイッチ素子）および容量素子C3（第2の容量素子）で構成されている。容量素子C3の一端はトランジスタN1のゲートに接続され、容量素子C3の他端はスイッチ素子SW2の第1の端子に接続される。スイッチ素子SW2の第2の端子は電圧源V1（第1の電圧源）に接続され、スイッチ素子SW2の第3の端子は電圧源V2（第2の電圧源）に接続される。スイッチ素子SW2は、第1の端子および第2の端子を短絡して電圧源V1と容量素子C3の他端とが接続された状態と、第1の端子お

50

よび第3の端子を短絡して電圧源V2と容量素子C3の他端とが接続された状態との切替を行う。

【0111】

以下、本例の動作について説明する。ここでは、電圧源V1の電圧を V_1 、電圧源V2の電圧を V_2 （ただし、 $V_2 < V_1$ ）、リセットレベルの電圧を V_R （ただし、電源VDDの電圧を V_{DD} としたとき、 $V_R < V_{DD}$ ）、信号レベルの電圧を V_S （ただし、 $V_S > V_R$ ）、容量素子C1の容量値を C_1 、容量素子C3の容量値を C_3 とする。図9には、比較部31内の差動アンプの第1の入力端IN1および第2の入力端IN2の電圧変化および参照信号Rampの波形が示されている。

【0112】

単位画素3からの画素信号Pixelとしてリセットレベルが第1の入力端IN1に与えられ、参照信号生成部16から第2の入力端IN2に与えられる参照信号Rampが安定した後、2つの入力端の電圧がリセットされる。このとき、差動アンプの2つの入力端の電圧が、略同一の電圧 V_{RST} になるようにリセットされる。この時点（時刻T1）で、第1の入力端IN1の電圧は V_{RST} 、第2の入力端IN2の電圧は V_{RST} である。リセット動作中、容量素子C3の他端は、スイッチ素子SW2により電圧源V1に接続されている。リセット後、トランジスタP6、P7はOFF状態となる。

10

【0113】

続いて、スイッチ素子SW2が容量素子C3の他端を電圧源V2に接続することで、画素信号Pixelが与えられる第1の入力端IN1の電圧、即ちトランジスタN1のゲート電圧が電圧 V_{RST} から所定の電圧に低く変更される。容量素子C3の他端の電圧が V_1 から V_2 に（ $V_2 - V_1$ ）だけ変化するため、この時点（時刻T2）で、第1の入力端IN1の電圧VIN1は以下の（5）式となる。

20

【0114】

【数2】

$$VIN1 = V_{RST} + \frac{C_3}{C_1 + C_3} \times (V_2 - V_1) \quad \dots(5)$$

【0115】

比較部31のリセット動作後に、比較部31を構成する差動アンプの2つの入力端の電圧に多少のばらつきが残ったとしても、 $V_2 < V_1$ であるため、1回目の読出しに係る比較部31での比較開始時の第1の入力端IN1の電圧は、参照信号Rampが与えられる第2の入力端IN2の電圧よりも低くなる。図9に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。

30

【0116】

時刻T2以降、第2の入力端に参照信号Rampとしてランプ波が与えられる。ランプ波が与えられた第2の入力端の電圧と、リセットされた第1の入力端の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端へのランプ波の入力が開始されてから所定の期間が経過した時点（時刻T3）で、参照信号生成部16はランプ波の生成を停止する。

40

【0117】

続いて、単位画素3からの画素信号Pixelとして信号レベルが第1の入力端IN1に与えられる。スイッチ素子SW2によって容量素子C3の他端が電圧源V2に接続された時点（時刻T2）で、画素信号Pixelとしてリセットレベルが与えられている容量素子C1の他端の電圧は V_R である。また、画素信号Pixelとして信号レベルが入力された時点（時刻T4）で、容量素子C1の他端の電圧は V_S となる。時刻T2における第1の入力端IN1の電圧は（5）式であるので、（5）式を用いて、時刻T4における第1の入力端IN1の電圧VIN1は以下の（6）式となる。

50

【 0 1 1 8 】

【 数 3 】

$$VIN1 = V_{RST} + \frac{C_3}{C_1 + C_3} \times (V_2 - V_1) + \frac{C_1}{C_1 + C_3} \times (V_S - V_R) \quad \dots(6)$$

【 0 1 1 9 】

$V_2 < V_1$ かつ $V_S < V_R$ であるため、2回目の読出しに係る比較部31での比較開始時の第1の入力端IN1の電圧は、参照信号Rampが与えられる第2の入力端IN2の電圧よりも低くなる。図9に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保證することができる。

10

【 0 1 2 0 】

時刻T4以降、第2の入力端に参照信号Rampとしてランプ波が与えられる。ランプ波が与えられた第2の入力端の電圧と、第1の入力端の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端へのランプ波の入力が開始されてから所定の期間が経過した時点(時刻T5)で、参照信号生成部16はランプ波の生成を停止する。1回目の読出し時に計測部32がダウンカウントモードで計測を行い、2回目の読出し時に計測部32がアップカウントモードで計測を行うため、計測部32の計測値として、(6)式の右辺第3項に係る計測値が得られる。

20

【 0 1 2 1 】

上述したように、本実施形態によれば、トランジスタP6, P7によるリセット動作後に、第1の入力端IN1と第2の入力端IN2との電圧差が、比較部31による比較動作を保證する電圧となるように、変更部18(スイッチ素子SW2および容量素子C3)が第1の入力端IN1の電圧をより低い電圧に変更することによって、比較部31が参照信号Rampと画素信号Pixelとの比較動作を確実に行うことができる。

【 0 1 2 2 】

また、参照信号Rampが与えられる第2の入力端IN2の電圧をより高い電圧に変更するのではなく、画素信号Pixelが与えられる第1の入力端IN1の電圧をより低い電圧に変更することによって、前述した第1の問題および第3の問題を解決することができる。

30

【 0 1 2 3 】

前述したように、撮像装置の隣接する列間では製造条件のバラツキが同程度となるが、撮像装置の全列間では、製造条件のバラツキが大きくなり、リセットバラツキ VRSTが100[mV]程度ある場合が考えられる。第1の実施形態では、全列で共通のスイッチ素子SW1を介して、差動アンプの入力端の電圧を直接変更するため、このリセットバラツキ VRSTを含めた電圧に変更する必要がある。したがって、差動アンプの入力端の電圧を必要以上に低い電圧に変更してしまい、比較部31での比較動作に時間を要し、AD変換時間が長くなる。

【 0 1 2 4 】

これに対して、本実施形態では、容量素子C3を介して、所定の電圧変化を与えることで差動アンプの入力端の電圧を変更している。同じ差動アンプ内の2つの入力端の製造条件のバラツキは小さいため、リセットバラツキは小さい。したがって、所定の電圧変化を与えるためには同じ差動アンプ内の2つの入力端のリセットバラツキのみを考慮すればよいので、差動アンプの入力端の電圧を必要以上に低い電圧に変更してしまうことがなく、AD変換時間は第1の実施形態よりも短くなる。よって、前述した第2の問題を解決することができる。

40

【 0 1 2 5 】

(第5の実施形態)

次に、本発明の第5の実施形態を説明する。本実施形態の(C)MOS撮像装置の構成は、

50

第4の実施形態で説明した構成と略同様（図8）であり、AD変換動作のみが異なる。

【0126】

以下では、本例の動作のうち、第4の実施形態と異なる部分を中心に説明する。第1の実施形態と同様に、単位画素3ではリセットレベルと信号レベルとが出力される。

【0127】

AD変換は、以下のようにして行われる。例えば所定の傾きで下降するランプ波（参照信号Ramp）と、単位画素3からの画素信号であるリセットレベルおよび信号レベルの差分に応じた電圧（差分信号レベル）とを比較し、この比較処理で用いるランプ波が生成された時点から、差分信号レベルに応じた信号とランプ波（ランプ電圧）とが一致するまでの期間を、例えば基準クロックで計測することによって、差分信号レベルの大きさに対応したデジタルデータを得る。

10

【0128】

ここで、撮像部2の選択行の各単位画素3からは、アナログの画素信号として、1回目の読出し動作でリセットレベルが読み出され、その後、2回目の読出し動作で信号レベルが読み出される。そして、リセットレベルと信号レベルとが垂直信号線13を通して列AD変換部30に時系列で入力される。

【0129】

<1回目の読出し>

任意の画素行の単位画素3から垂直信号線13への1回目の読出しが安定した後、比較部31のリセット動作が行われる。続いて、変更部18aは、リセットレベルが与えられた比較部31の第1の入力端の電圧を、リセットレベルよりも低い所定の電圧に変更する。

20

【0130】

<2回目の読出し>

続いて、2回目の読出し時には、単位画素3毎の入射光量に応じた信号レベルが読み出される。この2回目の読出し時には、比較部31のリセット動作および変更部18aによる変更動作は行わない。

【0131】

任意の画素行の単位画素3から垂直信号線13への2回目の読出しが安定した後、タイミング制御部20は、参照信号生成部16に対して、ランプ波生成の制御データを供給する。これを受けて参照信号生成部16はランプ波（参照信号Ramp）を出力する。比較部31は、参照信号生成部16からのランプ波が与えられた第2の入力端の電圧と、差分信号レベルが与えられた第1の入力端の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。

30

【0132】

計測部32は、比較部31での比較開始に基づいてアップカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、信号レベルからリセットレベルを減算（CDS処理）した信号成分に応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、ランプ波の生成を停止する。

40

【0133】

次に、比較部31の構成および比較部31の入力端における電圧変化の詳細を説明する。図11は、比較部31の具体的な回路構成の一例である。図11に示す回路構成は、図9に示した回路構成と略同様であるので説明を省略する。

【0134】

以下、本例の動作について説明する。ここでは、電圧源V1の電圧を V_1 、電圧源V2の電圧を V_2 （ただし、 $V_2 < V_1$ ）、リセットレベルの電圧を V_R （ただし、電源VDDの電圧を V_{DD} としたとき、 $V_R < V_{DD}$ ）、信号レベルの電圧を V_S （ただし、 $V_S > V_R$ ）、容量素子C1の容量値を C_1 、容量素子C3の容量値を C_3 とする。図11には、比較部31内の差動アンプの第1の入力端IN1および第2の入力端IN2の電圧変化および参照信号Rampの波形が示されている。

50

【 0 1 3 5 】

単位画素3からの画素信号Pixelとしてリセットレベルが第1の入力端IN1に与えられ、参照信号生成部16から第2の入力端IN2に与えられる参照信号Rampが安定した後、2つの入力端の電圧がリセットされる。このとき、差動アンプの2つの入力端の電圧が、略同一の電圧 V_{RST} になるようにリセットされる。この時点(時刻T1)で、第1の入力端IN1の電圧は V_{RST} 、第2の入力端IN2の電圧は V_{RST} である。リセット動作中、容量素子C3の他端は、スイッチ素子SW2により電圧源V1に接続されている。リセット後、トランジスタP6、P7はOFF状態となる。

【 0 1 3 6 】

続いて、スイッチ素子SW2が容量素子C3の他端を電圧源V2に接続することで、画素信号Pixelが与えられる第1の入力端IN1の電圧、即ちトランジスタN1のゲート電圧が電圧 V_{RST} から所定の電圧に低く変更される。容量素子C3の他端の電圧が V_1 から V_2 に($V_2 - V_1$)だけ変化するため、この時点(時刻T2)で、第1の入力端IN1の電圧VIN1は以下の(7)式となる。

【 0 1 3 7 】

【数4】

$$VIN1 = V_{RST} + \frac{C_3}{C_1 + C_3} \times (V_2 - V_1) \quad \dots(7)$$

20

【 0 1 3 8 】

続いて、単位画素3からの画素信号Pixelとして信号レベルが第1の入力端IN1に与えられる。信号レベルが入力された時点(時刻T4)での第1の入力端IN1の電圧VIN1は、第4の実施形態と同様に以下の(8)式となる。

【 0 1 3 9 】

【数5】

$$VIN1 = V_{RST} + \frac{C_3}{C_1 + C_3} \times (V_2 - V_1) + \frac{C_1}{C_1 + C_3} \times (V_S - V_R) \quad \dots(8)$$

30

【 0 1 4 0 】

$V_2 < V_1$ かつ $V_S < V_R$ であるため、2回目の読出しに係る比較部31での比較開始時の第1の入力端IN1の電圧は、参照信号Rampが与えられる第2の入力端IN2の電圧よりも低くなる。図11に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。

【 0 1 4 1 】

時刻T4以降、第2の入力端に参照信号Rampとしてランプ波が与えられる。ランプ波が与えられた第2の入力端の電圧と、第1の入力端の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端へのランプ波の入力が開始されてから所定の期間が経過した時点(時刻T5)で、参照信号生成部16はランプ波の生成を停止する。2回目の読出し時に計測部32がアップカウントモードで計測を行うため、計測部32の計測値として、(8)式に係る計測値が得られる。

【 0 1 4 2 】

本実施形態では、1回のAD変換動作でデジタルデータを得ることが可能となる。尚、リセットレベルが与えられた第1の入力端の電圧を所定の電圧に低く変更することで信号成分((8)式の右辺第3項)にオフセット成分((8)式の右辺第1項、第2項)が重畳したデジタルデータが得られるが、撮像部2に設けられた遮光画素やダミー画素のデータ

50

を用いてオフセット成分のデジタルデータを演算し、計測部32の計測値からオフセット成分のデジタルデータを減算することで、オフセット成分を抑圧することが可能である。

【0143】

また、参照信号Rampが与えられる第2の入力端IN2の電圧をより高い電圧に変更するのではなく、画素信号Pixelが与えられる第1の入力端IN1の電圧をより低い電圧に変更することによって、前述した第1の問題および第3の問題を解決することができる。更に、容量素子C3を介して、所定の電圧変化を与えることで差動アンプの入力端の電圧を変更することによって、前述した第2の問題を解決することができる。

【0144】

(第6の実施形態)

次に、本発明の第6の実施形態を説明する。図12は、本実施形態による(C)MOS撮像装置の構成の一例を示している。以下、本例の構成について説明する。図12に示す撮像装置1dの構成のうち、図8と異なるのはアナログ部6の構成である。本例のアナログ部6は、減算(CDS処理)回路を有する。アナログ部6以外の構成は、図12に示した構成と同様であるので説明は省略する。

【0145】

次に、本例の動作について説明する。第4の実施形態による撮像装置1cの動作と異なるのは、アナログ部6に減算(CDS処理)回路を設けたことによるAD変換動作である。以下では、本例の動作のうち、第4の実施形態と異なる部分を中心に説明する。第1の実施形態と同様に、単位画素3ではリセットレベルと信号レベルとが出力される。

【0146】

AD変換は、以下のようにして行われる。例えば所定の傾きで下降するランプ波(参照信号Ramp)と、単位画素3からの画素信号であるリセットレベルおよび信号レベルの差分に応じた電圧(差分信号レベル)とを比較し、この比較処理で用いるランプ波が生成された時点から、差分信号レベルに応じた信号とランプ波(ランプ電圧)とが一致するまでの期間を、例えば基準クロックで計測することによって、差分信号レベルの大きさに対応したデジタルデータを得る。

【0147】

ここで、撮像部2の選択行の各単位画素3からは、アナログの画素信号として、1回目の読出し動作でリセットレベルが読み出され、その後、2回目の読出し動作で信号レベルが読み出される。そして、リセットレベルと信号レベルとが垂直信号線13を通してアナログ部6に時系列で入力される。

【0148】

<1回目の読出し>

任意の画素行の単位画素3から垂直信号線13への1回目の読出しが安定した後、図7に示したクランプスイッチSWc1pおよびサンプルホールドスイッチSWshがON状態となり、更に比較部31のリセット動作が行われる。続いて、変更部18aは、リセットレベルが与えられた比較部31の第1の入力端の電圧を、リセットレベルよりも低い所定の電圧に変更する。続いて、クランプスイッチSWc1pがOFF状態となる。

【0149】

<2回目の読出し>

続いて、2回目の読出し時には、単位画素3毎の入射光量に応じた信号レベルが読み出される。この2回目の読出し時には、比較部31のリセット動作および変更部18aによる変更動作は行わない。クランプ容量Cc1pに入力される電圧がリセットレベルから信号レベルに変化すると、第3の実施形態と同様に、比較部31の第1の入力端には、信号レベルとリセットレベルとの差分信号レベル($V_S - V_R$)が与えられる。信号レベルの読出し後、サンプルホールドスイッチSWshがOFF状態となる。

【0150】

任意の画素行の単位画素3から垂直信号線13への2回目の読出しが安定した後、タイミング制御部20は、参照信号生成部16に対して、ランプ波生成の制御データを供給する。これ

10

20

30

40

50

を受けて参照信号生成部16はランプ波（参照信号Ramp）を出力する。比較部31は、このランプ波が与えられた第2の入力端の電圧と、差分信号レベルが与えられた第1の入力端の電圧とを比較する。

【0151】

本実施形態では、第1の実施形態と同様に、比較部31のリセット動作後に、比較部31を構成する差動アンプの2つの入力端の電圧に多少のばらつきが残ったとしても、比較部31での比較開始時の第1の入力端IN1の電圧は、参照信号Rampが与えられる第2の入力端IN2の電圧よりも低くなる。このため、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保證することができる。

【0152】

比較部31は、参照信号生成部16からのランプ波が与えられた第2の入力端の電圧と、差分信号レベルが与えられた第1の入力端の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。計測部32は、比較部31での比較開始に基づいてアップカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、信号レベルからリセットレベルを減算（CDS処理）した信号成分に応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、ランプ波の生成を停止する。2回目の読み出し時に計測部32がアップカウントモードで計測を行うため、計測部32の計測値として、（8）式に係る計測値が得られる。

【0153】

本実施形態では、1回のAD変換動作でデジタルデータを得ることが可能となる。尚、リセットレベルが与えられた第1の入力端の電圧を所定の電圧に低く変更することで信号成分（（8）式の右辺第3項）にオフセット成分（（8）式の右辺第1項、第2項）が重畳したデジタルデータが得られるが、撮像部2に設けられた遮光画素やダミー画素のデータを用いてオフセット成分のデジタルデータを演算し、計測部32の計測値からオフセット成分のデジタルデータを減算することで、オフセット成分を抑圧することが可能である。

【0154】

また、参照信号Rampが与えられる第2の入力端IN2の電圧をより高い電圧に変更するのではなく、画素信号Pixelが与えられる第1の入力端IN1の電圧をより低い電圧に変更することによって、前述した第1の問題および第3の問題を解決することができる。更に、容量素子C3を介して、所定の電圧変化を与えることで差動アンプの入力端の電圧を変更することによって、前述した第2の問題を解決することができる。

【0155】

（第7の実施形態）

次に、本発明の第7の実施形態を説明する。図13は、本実施形態による（C）MOS撮像装置の構成の一例を示している。以下、本例の構成について説明する。図13に示す撮像装置1eの構成のうち、図8と異なるのは変更部18bと他の部分の接続である。尚、変更部18bを構成する素子自体は、図8の変更部18aと同様である。他の構成は、図8に示した構成と略同様であるので説明は省略する。

【0156】

以下では、本例の動作のうち、第4の実施形態と異なる部分を中心に説明する。第1の実施形態と同様に、単位画素3ではリセットレベルと信号レベルとが出力される。

【0157】

AD変換は、以下のようにして行われる。例えば所定の傾きで下降するランプ波（参照信号Ramp）と、単位画素3からの画素信号であるリセットレベルあるいは信号レベルの各電圧とを比較し、この比較処理で用いるランプ波が生成された時点から、リセットレベルや信号レベルに応じた信号とランプ波（ランプ電圧）とが一致するまでの期間を、例えば基準クロックで計測することによって、リセットレベルあるいは信号レベルの各大きさに対応したデジタルデータを得る。

10

20

30

40

50

【 0 1 5 8 】

ここで、撮像部2の選択行の各单位画素3からは、アナログの画素信号として、1回目の読出し動作でリセットレベルが読み出され、その後、2回目の読出し動作で信号レベルが読み出される。そして、リセットレベルと信号レベルとが垂直信号線13を通して列AD変換部30に時系列で入力される。

【 0 1 5 9 】

<1回目の読出し>

任意の画素行の各单位画素3から垂直信号線13への1回目の読出しが安定した後、比較部31のリセット動作が行われる。続いて、変更部18bは、リセットレベルが与えられた比較部31の第1の入力端の電圧を、リセットレベルよりも低い所定の電圧に変更する。変更部18bによる変更動作の詳細については、後述する。その後、タイミング制御部20は、参照信号生成部16に対して、ランプ波生成の制御データを供給する。これを受けて参照信号生成部16はランプ波（参照信号Ramp）を出力する。比較部31は、参照信号生成部16からのランプ波が与えられた第2の入力端の電圧と、リセットレベルが与えられた第1の入力端の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。

10

【 0 1 6 0 】

計測部32は、比較部31での比較開始に基づいてダウンカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、リセットレベルに応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、ランプ波の生成を停止する。

20

【 0 1 6 1 】

<2回目の読出し>

続いて、2回目の読出し時には、各单位画素3毎の入射光量に応じた信号レベルが読み出される。この2回目の読出し時には、比較部31のリセット動作および変更部18bによる変更動作は行わない。

【 0 1 6 2 】

任意の画素行の各单位画素3から垂直信号線13への2回目の読出しが安定した後、タイミング制御部20は、参照信号生成部16に対して、ランプ波生成の制御データを供給する。これを受けて参照信号生成部16はランプ波（参照信号Ramp）を出力する。比較部31は、参照信号生成部16からのランプ波が与えられた第2の入力端の電圧と、信号レベルが与えられた第1の入力端の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。

30

【 0 1 6 3 】

計測部32は、比較部31での比較開始に基づいてアップカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、信号レベルからリセットレベルを減算（CDS処理）した信号成分に応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、ランプ波の生成を停止する。

40

【 0 1 6 4 】

次に、比較部31と変更部18bの構成および比較部31の入力端における電圧変化の詳細を説明する。図14は、比較部31および変更部18bの具体的な回路構成の一例である。図15は、比較部31および変更部18bを含むカラム処理部15の回路構成の一例である。以下、本例の回路構成について説明する。以下では、図8および図9に示した構成と異なる構成についてのみ説明する。

【 0 1 6 5 】

変更部18bは、前述した変更部18aと同様に、列毎に設けられたスイッチ素子SW2および容量素子C3で構成されているが、スイッチ素子SW2における接続が変更部18aと異なる。スイッチ素子SW2の第1の端子は容量素子C3の他端に接続される。スイッチ素子SW2の第2の

50

端子は、画素信号Pixelが入力される容量素子C1の他端に接続され、スイッチ素子SW2の第3の端子は電源VDDに接続される。スイッチ素子SW2の第3の端子が接続される電源VDDはグランドGNDであってもよい。スイッチ素子SW2は、第1の端子および第2の端子を短絡して容量素子C1の他端と容量素子C3の他端とが接続された状態と、第1の端子および第3の端子を短絡して電源VDDと容量素子C3の他端とが接続された状態との切替を行う。

【0166】

以下、本例の動作について説明する。ここでは、電源VDDの電圧を V_{DD} 、リセットレベルの電圧を V_R （ただし、 $V_R < V_{DD}$ ）、信号レベルの電圧を V_S （ただし、 $V_S > V_R$ ）、容量素子C1の容量値を C_1 、容量素子C3の容量値を C_3 とする。図14には、比較部31内の差動アンプの第1の入力端IN1および第2の入力端IN2の電圧変化および参照信号Rampの波形が示されている。

10

【0167】

単位画素3からの画素信号Pixelとしてリセットレベルが第1の入力端IN1に与えられ、参照信号生成部16から第2の入力端IN2に与えられる参照信号Rampが安定した後、2つの入力端の電圧がリセットされる。このとき、差動アンプの2つの入力端の電圧が、略同一の電圧 V_{RST} になるようにリセットされる。この時点（時刻T1）で、第1の入力端IN1の電圧は V_{RST} 、第2の入力端IN2の電圧は V_{RST} である。リセット動作中、容量素子C3の他端は、スイッチ素子SW2により電源VDDに接続されている。リセット後、トランジスタP6、P7はOFF状態となる。

【0168】

20

続いて、スイッチ素子SW2が容量素子C3の他端を容量素子C1の他端に接続することで、画素信号Pixelが与えられる第1の入力端IN1の電圧、即ちトランジスタN1のゲート電圧が電圧 V_{RST} から所定の電圧に低く変更される。容量素子C3の他端の電圧が V_{DD} から V_R に（ $V_R - V_{DD}$ ）だけ変化するため、この時点（時刻T2）で、第1の入力端IN1の電圧VIN1は以下の（9）式となる。

【0169】

【数6】

$$VIN1 = V_{RST} + \frac{C_3}{C_1 + C_3} \times (V_R - V_{DD}) \quad \dots(9)$$

30

【0170】

比較部31のリセット動作後に、比較部31を構成する差動アンプの2つの入力端の電圧に多少のばらつきが残ったとしても、 $V_{DD} < V_R$ であるため、1回目の読出しに係る比較部31での比較開始時の第1の入力端IN1の電圧は、参照信号Rampが与えられる第2の入力端IN2の電圧よりも低くなる。図14に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。

【0171】

40

時刻T2以降、第2の入力端に参照信号Rampとしてランプ波が与えられる。ランプ波が与えられた第2の入力端の電圧と、リセットされた第1の入力端の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端へのランプ波の入力が開始されてから所定の期間が経過した時点（時刻T3）で、参照信号生成部16はランプ波の生成を停止する。

【0172】

続いて、単位画素3からの画素信号Pixelとして信号レベルが第1の入力端IN1に与えられる。スイッチ素子SW2によって容量素子C3の他端が容量素子C1の他端に接続された時点（時刻T2）で、画素信号Pixelとしてリセットレベルが与えられている容量素子C1の他端の電圧は V_R である。また、画素信号Pixelとして信号レベルが入力された時点（時刻T4）

50

で、容量素子C1の他端の電圧は V_S となる。時刻T2における第1の入力端IN1の電圧は(9)式であるので、(9)式を用いて、時刻T4における第1の入力端IN1の電圧VIN1は以下の(10)式となる。

【0173】

【数7】

$$VIN1 = V_{RST} + \frac{C_3}{C_1 + C_3} \times (V_R - V_{DD}) + (V_S - V_R) \quad \dots(10)$$

10

【0174】

尚、時刻t2において、スイッチ素子SW2によって容量素子C3の他端が容量素子C1の他端に接続されると、容量素子C1と容量素子C3は並列に接続される。この並列に接続された容量素子C1と容量素子C3を図3の容量素子C1に置き換えて考えると、図4を用いた説明と同様に、時刻T2から時刻T4までの容量素子C1の他端の電圧の変化($V_S - V_R$)により、時刻T2から時刻T4までの第1の入力端IN1の電圧に($V_S - V_R$)の変化が生じる。(10)式の右辺第3項はこの変化を示している。

【0175】

$V_{DD} < V_R$ かつ $V_S < V_R$ であるため、2回目の読出しに係る比較部31での比較開始時の第1の入力端IN1の電圧は、参照信号Rampが与えられる第2の入力端IN2の電圧よりも低くなる。図14に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。

20

【0176】

時刻T4以降、第2の入力端に参照信号Rampとしてランプ波が与えられる。ランプ波が与えられた第2の入力端の電圧と、第1の入力端の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端へのランプ波の入力が開始されてから所定の期間が経過した時点(時刻T5)で、参照信号生成部16はランプ波の生成を停止する。1回目の読出し時に計測部32がダウンカウントモードで計測を行い、2回目の読出し時に計測部32がアップカウントモードで計測を行うため、計測部32の計測値として、(10)式の右辺第3項に係る計測値が得られる。

30

【0177】

上述したように、本実施形態によれば、トランジスタP6, P7によるリセット動作後に、第1の入力端IN1と第2の入力端IN2との電圧差が、比較部31による比較動作を保証する電圧となるように、変更部18b(スイッチ素子SW2および容量素子C3)が第1の入力端IN1の電圧をより低い電圧に変更することによって、比較部31が参照信号Rampと画素信号Pixelとの比較動作を確実に行うことができる。更に、第4の実施形態における(8)式と本実施形態における(10)式の右辺第3項の($V_S - V_R$)の係数を比較すると、(8)式では係数は1よりも小さく、(10)式では係数は1である。このため、本実施形態では、容量素子を設けたことに起因するゲイン低下のないAD変換動作が可能となる。

40

【0178】

また、参照信号Rampが与えられる第2の入力端IN2の電圧をより高い電圧に変更するのではなく、画素信号Pixelが与えられる第1の入力端IN1の電圧をより低い電圧に変更することによって、前述した第1の問題および第3の問題を解決することができる。更に、容量素子C3を介して電圧変化を与えることで差動アンプの入力端の電圧を変更することによって、前述した第2の問題を解決することができる。

【0179】

(第8の実施形態)

次に、本発明の第8の実施形態を説明する。図16は、本実施形態による(C)MOS撮像装置の構成の一例を示している。以下、本例の構成について説明する。図16に示す撮像

50

装置1fの構成のうち、図13と異なるのはアナログ部6の構成である。本例のアナログ部6は、減算（CDS処理）回路を有する。アナログ部6以外の構成は、図13に示した構成と同様であるので説明は省略する。

【0180】

次に、本例の動作について説明する。第7の実施形態による撮像装置1eの動作と異なるのは、アナログ部6に減算（CDS処理）回路を設けたことによるAD変換動作である。以下では、本例の動作のうち、第7の実施形態と異なる部分を中心に説明する。第1の実施形態と同様に、単位画素3ではリセットレベルと信号レベルとが出力される。

【0181】

AD変換は、以下のようにして行われる。例えば所定の傾きで下降するランプ波（参照信号Ramp）と、単位画素3からの画素信号であるリセットレベルおよび信号レベルの差分に応じた電圧（差分信号レベル）とを比較し、この比較処理で用いるランプ波が生成された時点から、差分信号レベルに応じた信号とランプ波（ランプ電圧）とが一致するまでの期間を、例えば基準クロックで計測することによって、差分信号レベルの大きさに対応したデジタルデータを得る。

【0182】

ここで、撮像部2の選択行の各単位画素3からは、アナログの画素信号として、1回目の読出し動作でリセットレベルが読み出され、その後、2回目の読出し動作で信号レベルが読み出される。そして、リセットレベルと信号レベルとが垂直信号線13を通してアナログ部6に時系列で入力される。

【0183】

<1回目の読出し>

任意の画素行の単位画素3から垂直信号線13への1回目の読出しが安定した後、図7に示したクランプスイッチSWc1pおよびサンプルホールドスイッチSWshがON状態となり、更に比較部31のリセット動作が行われる。続いて、変更部18bは、リセットレベルが与えられた比較部31の第1の入力端の電圧を、リセットレベルよりも低い電圧に変更する。続いて、クランプスイッチSWc1pがOFF状態となる。

【0184】

<2回目の読出し>

続いて、2回目の読出し時には、単位画素3毎の入射光量に応じた信号レベルが読み出される。この2回目の読出し時には、比較部31のリセット動作および変更部18bによる変更動作は行わない。クランプ容量Cc1pに入力される電圧がリセットレベルから信号レベルに変化すると、第3の実施形態と同様に、比較部31の第1の入力端には、信号レベルとリセットレベルとの差分信号レベル（ $V_S - V_R$ ）が与えられる。信号レベルの読出し後、サンプルホールドスイッチSWshがOFF状態となる。

【0185】

任意の画素行の単位画素3から垂直信号線13への2回目の読出しが安定した後、タイミング制御部20は、参照信号生成部16に対して、ランプ波生成の制御データを供給する。これを受けて参照信号生成部16はランプ波（参照信号Ramp）を出力する。比較部31は、参照信号生成部16からのランプ波が与えられた第2の入力端の電圧と、差分信号レベルが与えられた第1の入力端の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。

【0186】

計測部32は、比較部31での比較開始に基づいてアップカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、信号レベルからリセットレベルを減算（CDS処理）した信号成分に応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、ランプ波の生成を停止する。

【0187】

10

20

30

40

50

次に、比較部31の入力端における電圧変化の詳細を説明する。図17は、比較部31の具体的な回路構成の一例である。図17に示す回路構成は、図14に示した回路構成と略同様であるので説明を省略する。

【0188】

以下、本例の動作について説明する。ここでは、電圧源V1の電圧を V_1 、電圧源V2の電圧を V_2 （ただし、 $V_2 < V_1$ ）、リセットレベルの電圧を V_R （ただし、電源VDDの電圧を V_{DD} としたとき、 $V_R < V_{DD}$ ）、信号レベルの電圧を V_S （ただし、 $V_S > V_R$ ）、容量素子C1の容量値を C_1 、容量素子C3の容量値を C_3 とする。図17には、比較部31内の差動アンプの第1の入力端IN1および第2の入力端IN2の電圧変化および参照信号Rampの波形が示されている。

【0189】

10

単位画素3からの画素信号Pixelとしてリセットレベルが第1の入力端IN1に与えられ、参照信号生成部16から第2の入力端IN2に与えられる参照信号Rampが安定した後、2つの入力端の電圧がリセットされる。このとき、差動アンプの2つの入力端の電圧が、略同一の電圧 V_{RST} になるようにリセットされる。この時点（時刻T1）で、第1の入力端IN1の電圧は V_{RST} 、第2の入力端IN2の電圧は V_{RST} である。リセット動作中、容量素子C3の他端は、スイッチ素子SW2により電源VDDに接続されている。リセット後、トランジスタP6、P7はOFF状態となる。

【0190】

続いて、スイッチ素子SW2が容量素子C3の他端を電圧源V2に接続することで、画素信号Pixelが与えられる第1の入力端IN1の電圧、即ちトランジスタN1のゲート電圧が電圧 V_{RST} から所定の電圧に低く変更される。図7に示したクランプスイッチSWclpおよびサンプルホールドスイッチSWshがON状態のときに容量素子C1の他端に与えられる電圧を V_{clp} とすると、容量素子C3の他端の電圧が V_{DD} から V_{clp} に $(V_{clp} - V_{DD})$ だけ変化するため、この時点（時刻T2）で、第1の入力端IN1の電圧VIN1は以下の(11)式となる。

20

$$VIN1 = V_{RST} + \frac{C_3}{C_1 + C_3} \times (V_{clp} - V_{DD}) \quad \dots(11)$$

30

【0192】

続いて、単位画素3からの画素信号Pixelとして信号レベルが第1の入力端IN1に与えられる。信号レベルが入力された時点（時刻T4）での第1の入力端IN1の電圧VIN1は、以下の(12)式となる。

【0193】

【数9】

$$VIN1 = V_{RST} + \frac{C_3}{C_1 + C_3} \times (V_{clp} - V_{DD}) + (V_S - V_R) \quad \dots(12)$$

40

【0194】

$V_{clp} < V_{DD}$ かつ $V_S < V_R$ であるため、2回目の読出しに係る比較部31での比較開始時の第1の入力端IN1の電圧は、参照信号Rampが与えられる第2の入力端IN2の電圧よりも低くなる。図17に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。

【0195】

時刻T4以降、第2の入力端に参照信号Rampとしてランプ波が与えられる。ランプ波が与

50

えられた第2の入力端の電圧と、第1の入力端の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端へのランプ波の入力が開始されてから所定の期間が経過した時点(時刻T5)で、参照信号生成部16はランプ波の生成を停止する。2回目の読出し時に計測部32がアップカウントモードで計測を行うため、計測部32の計測値として、(12)式に係る計測値が得られる。

【0196】

本実施形態では、1回のAD変換動作でデジタルデータを得ることが可能となる。尚、リセットレベルが与えられた第1の入力端の電圧を所定の電圧に低く変更することで信号成分((12)式の右辺第3項)にオフセット成分((12)式の右辺第1項、第2項)が重畳したデジタルデータが得られるが、撮像部2に設けられた遮光画素やダミー画素のデータを用いてオフセット成分のデジタルデータを演算し、計測部32の計測値からオフセット成分のデジタルデータを減算することで、オフセット成分を抑圧することが可能である。

10

【0197】

また、参照信号Rampが与えられる第2の入力端IN2の電圧をより高い電圧に変更するのではなく、画素信号Pixelが与えられる第1の入力端IN1の電圧をより低い電圧に変更することによって、前述した第1の問題および第3の問題を解決することができる。更に、容量素子C3を介して電圧変化を与えることで差動アンプの入力端の電圧を変更することによって、前述した第2の問題を解決することができる。

【0198】

20

以上、図面を参照して本発明の実施形態について詳述してきたが、具体的な構成は上記の実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。例えば、上記の各実施形態では、各実施形態の変更部が比較部31の第1の入力端IN1の電圧を、より低い電圧に変更しているが、以下のようにしてもよい。即ち、1回目の読出しで読み出されるリセットレベルよりも2回目の読出しで読み出される信号レベルのほうが高い電圧であり、参照信号Rampとして比較部31に入力されるランプ波の波形が、時間の経過とともに増加する場合には、変更部が比較部31の第1の入力端IN1の電圧を、より高い電圧に変更する。

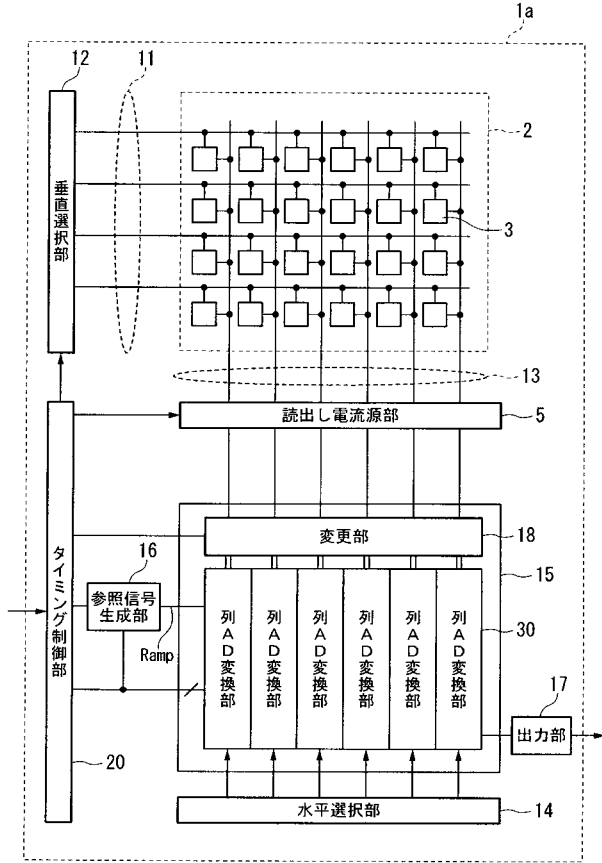
【符号の説明】

【0199】

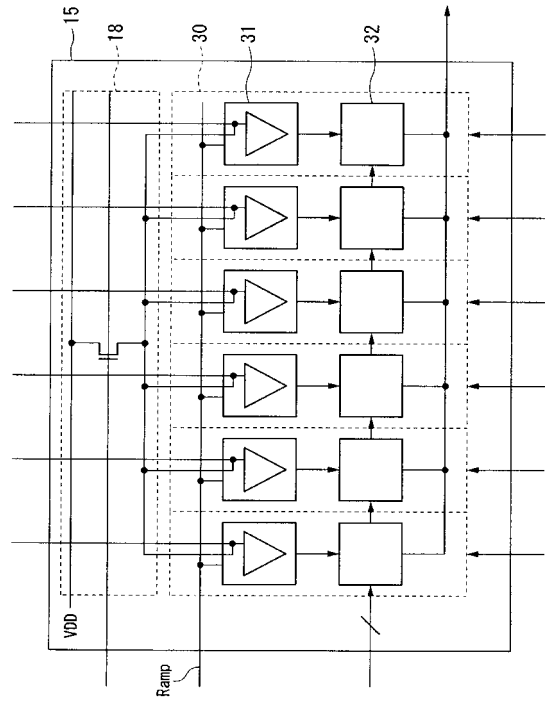
30

1a, 1b, 1c, 1d, 1e, 1f, 1001・・・撮像装置、2, 1002・・・撮像部、3, 1003・・・単位画素、5, 1005・・・読出し電流源部、6, 1006・・・アナログ部、11, 1011・・・行制御線、12, 1012・・・垂直選択部、13, 1013・・・垂直信号線、14, 1014・・・水平選択部、15, 1015・・・カラム処理部、16, 1016・・・参照信号生成部、17, 1017・・・出力部、18, 18a, 18b, 1018・・・変更部、20, 1020・・・タイミング制御部、30, 1030・・・列AD変換部、31, 1031・・・比較部、32, 1032・・・計測部

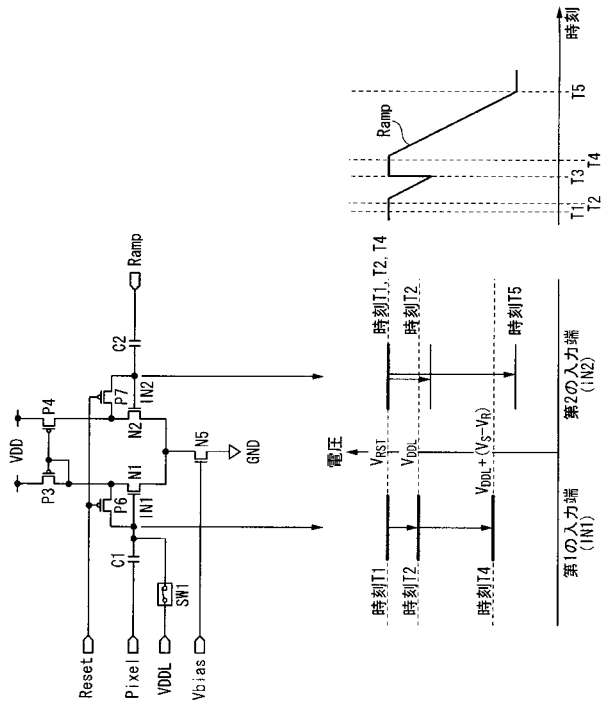
【図1】



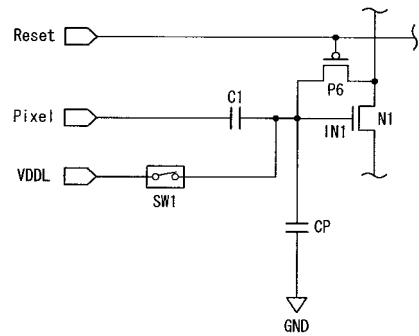
【図2】



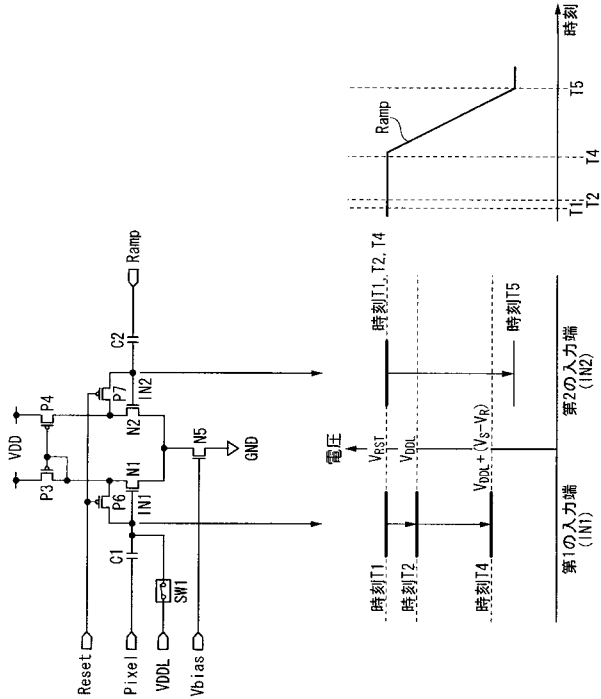
【図3】



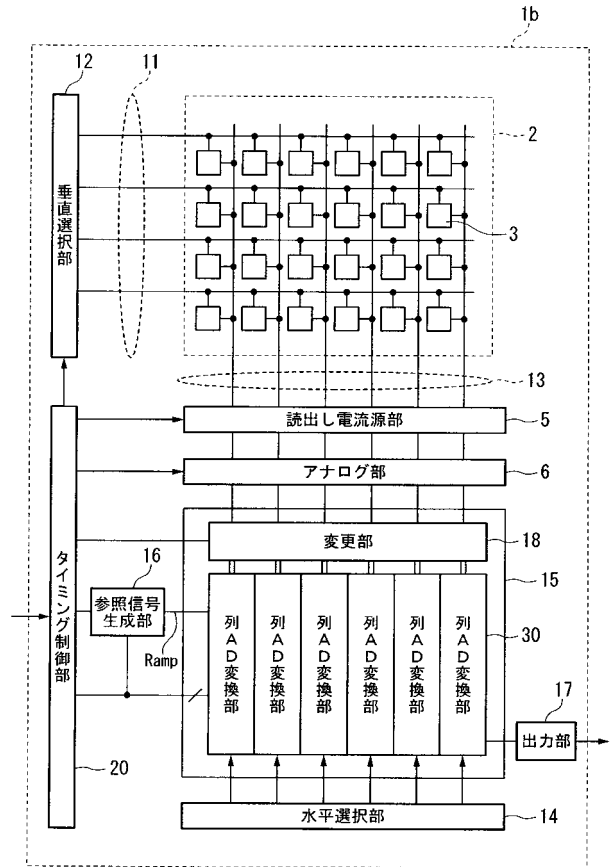
【図4】



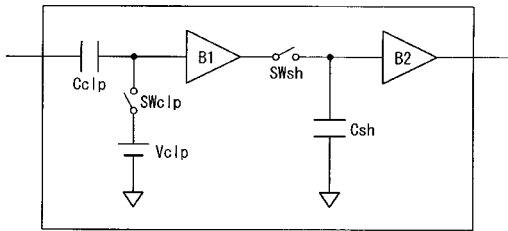
【図5】



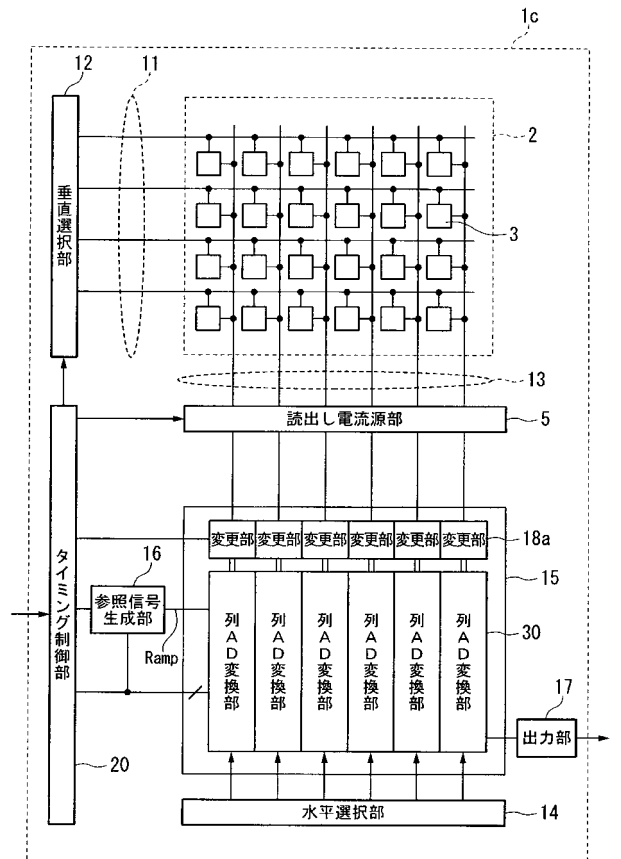
【図6】



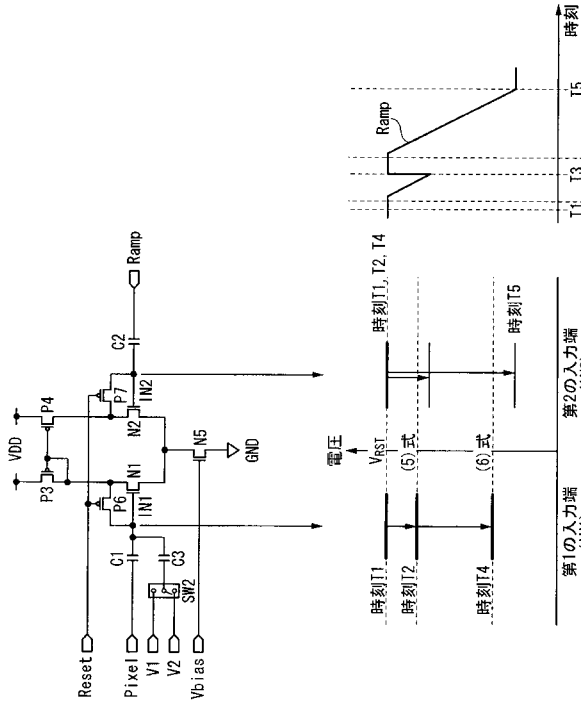
【図7】



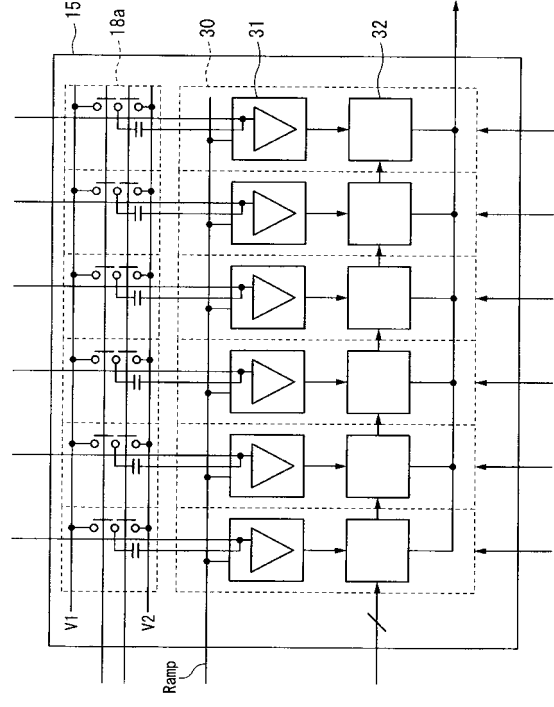
【図8】



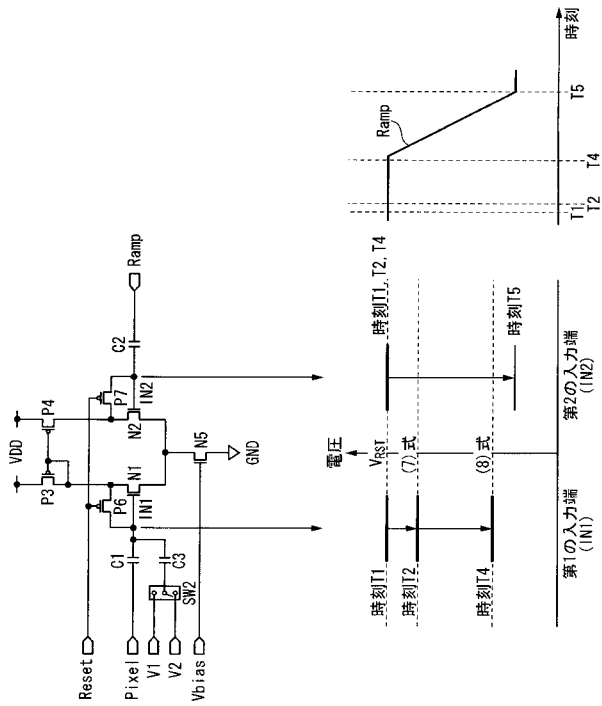
【図 9】



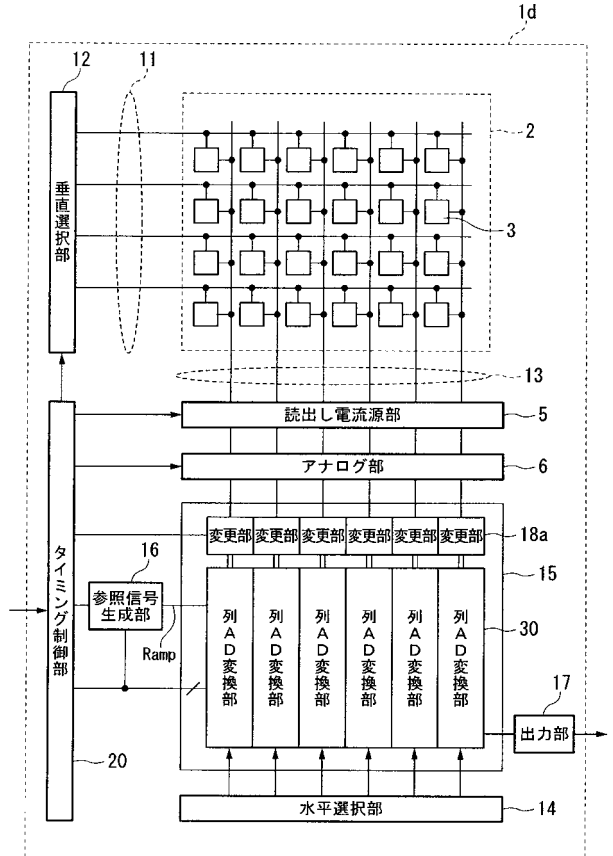
【図 10】



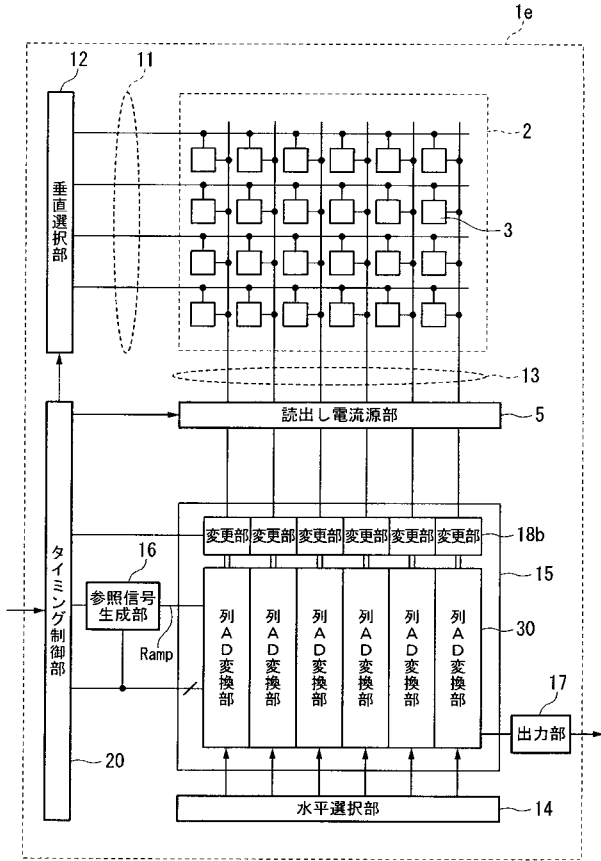
【図 11】



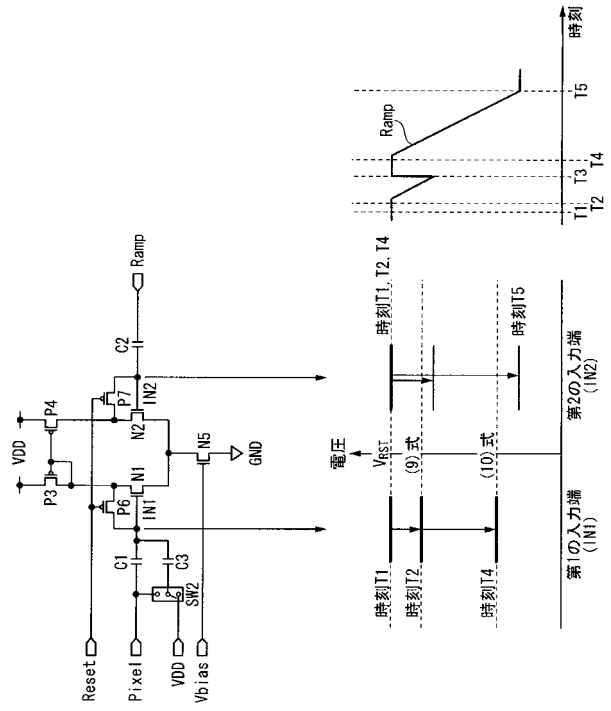
【図 12】



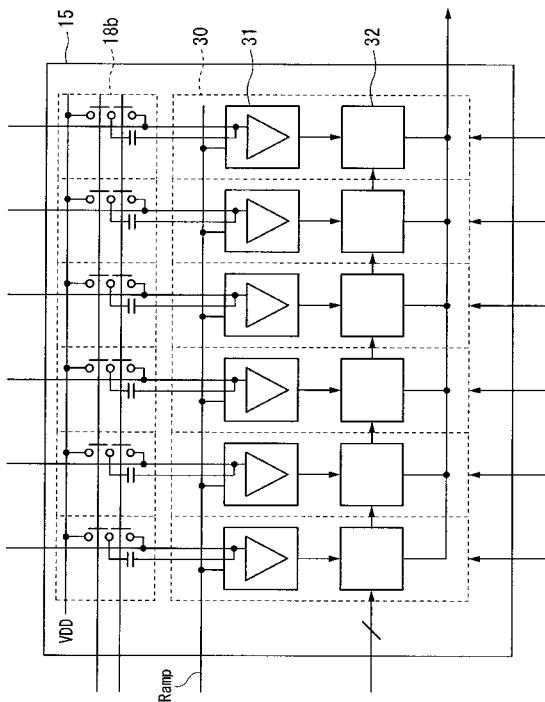
【図 1 3】



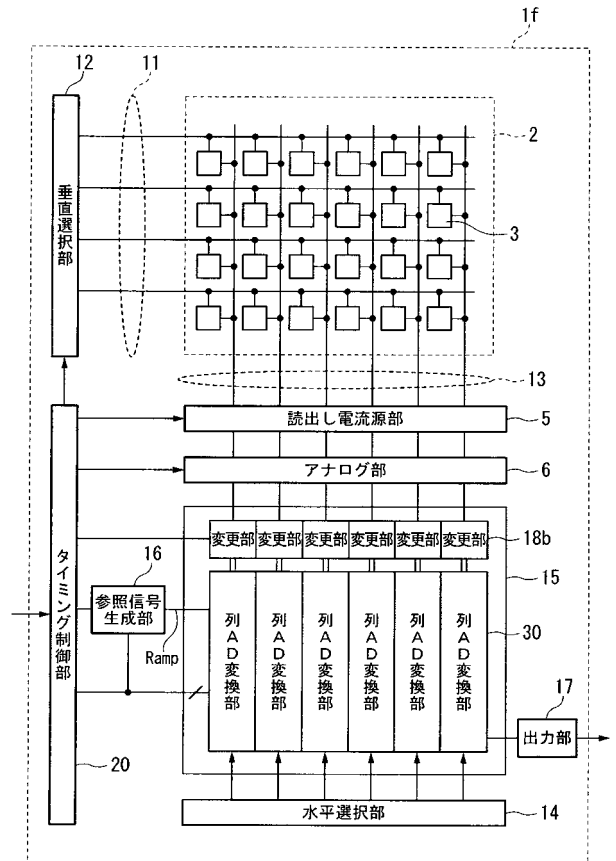
【図 1 4】



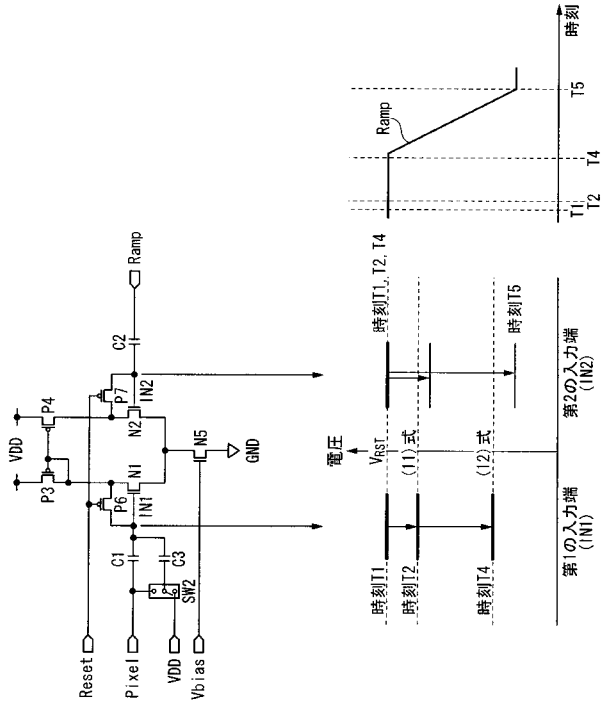
【図 1 5】



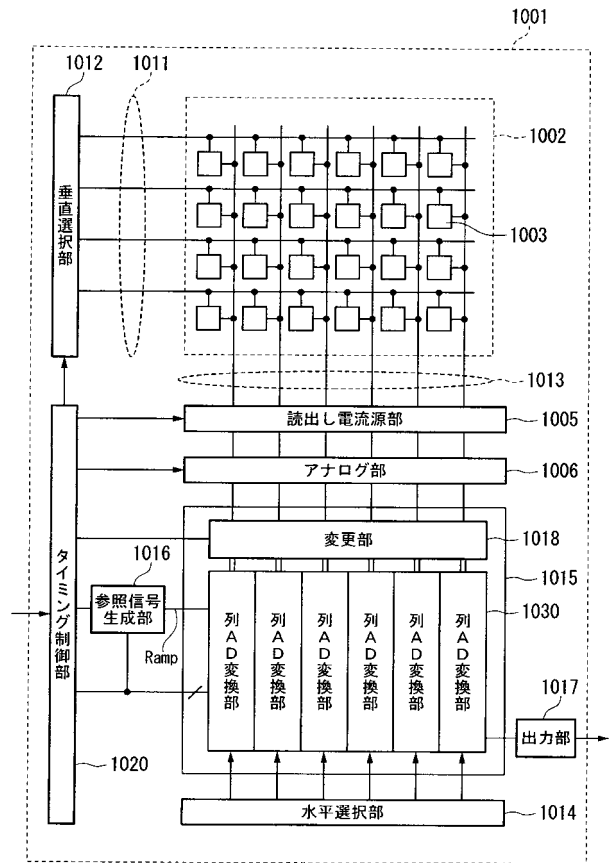
【図 1 6】



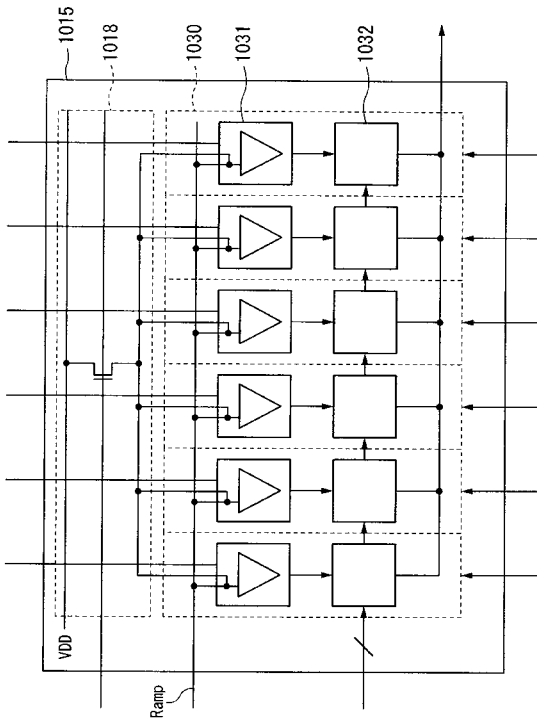
【図 17】



【図 18】



【図 19】



フロントページの続き

(72)発明者 萩原 義雄

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリパス株式会社内

Fターム(参考) 5C024 AX01 CY46 GX03 GY31 HX23 HX29 HX35 HX40 HX41 HX47