

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

OPIS PATENTOWY 142 939

**Patent dodatkowy
do patentu —**

Zgłoszono: 84 12 21 (P. 251119)

Pierwszeństwo: —

Zgłoszenie ogłoszono: 85 07 02

Opis patentowy opublikowano: 88 07 30

CZYTELNIĄ

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Int. Cl.: G08C 25/00
G06F 11/00
H04L 1/00

Twórcy wynalazku: Andrzej Nowak, Andrzej Książkiewicz

Uprawniony z patentu: Instytut Łączności, Warszawa (Polska)

UKŁAD CYFROWY, WYKRYWAJĄCY PRZEKROCZENIE DOPUSZCZALNEJ SUMY CYFROWEJ W KODACH DWUBIEGUNOWYCH

Przedmiotem wynalazku jest układ cyfrowy, wykrywający przekroczenie dopuszczalnej sumy cyfrowej w kodach dwubiegunowych, zwłaszcza w teletransmisyjnych kodach dwubiegunowych, stosowanych w systemach łączności wielokrotnej z cyfrowym zwielokrotnieniem sygnałów o modulacji impulsowo-kodowej PCM. Układ według wynalazku znajduje główne zastosowanie w technice pomiaru stopy błędów w kodach o znanej dopuszczalnej sumie cyfrowej.

Znany jest układ do wykrywania błędów w dwubiegunowym kodzie cyfrowym typu HDB-3. Jest to detektor zaburzeń biegunowości, stosowany w "Testerze Regeneratorów TCC-120, typ TR-1/80". Tester opracowano 1980 r. w Instytucie Telekomunikacji Politechniki Warszawskiej. Ten znany układ zawiera dwa przerzutniki typu J-K, sześć bramek NAND oraz sześć inwerterów NOT i wykrywa przekroczenia sumy cyfrowej powyżej "plus jeden" i poniżej "minus jeden". Dodatnie i ujemne jedyńki badanego kodu HDB-3 doprowadzone są do wejść J i K drugiego z przerzutników J-K, zaś sygnał taktujący doprowadzany jest do wejścia CL tego przerzutnika, przy czym sygnałem taktującym jest występująca na wyjściu trzeciej bramki suma logiczna jedynek dodatnich i ujemnych. Sygnał na wyjściu trzeciej bramki pojawia się przy wystąpieniu przewagi dwu impulsów dodatnich nad impulsami ujemnymi lub odwrotnie. Na wyjściu detektora sygnał pojawia się przy wystąpieniu przewagi trzech impulsów dodatnich nad ujemnymi, lub odwrotnie. Dla umożliwienia pomiaru błędów w kodzie dwubiegunowym typu 4B/3T, w którym dopuszczalne granice sumy cyfrowej wynoszą minus 4 oraz plus 3, znany detektor należałoby rozbudować o dalsze 4 stopnie, co w znacznym stopniu skomplikowałoby jego strukturę.

Układ według wynalazku zawiera szeregowy n-bitowy rejestr przesuwny, gdzie n jest liczbą naturalną, oraz cyfrowy układ kombinacyjny, zawierający pierwszą, drugą i trzecią bramkę logiczną, oraz pierwszy i drugi inwerter. Do wejścia rejestru, przesuwającego jego zawartość w prawo i do jednego z wejść drugiej bramki logicznej doprowadzony jest sygnał,

odpowiadający dodatnim jedynkom badanego kodu dwubiegunowego, a do wejścia tego rejestru, przesuwającego jego zawartość w lewo i do jednego z wejść pierwszej bramki logicznej doprowadzony jest sygnał, odpowiadający ujemnym jedynkom kodu. Do jednego z szeregowych wejść rejestru przesuwanego doprowadzone jest napięcie o poziomie jedynki logicznej, a do drugiego, szeregowego wejścia tego rejestru doprowadzone jest napięcie o poziomie zera logicznego. Sygnał taktujący doprowadzony jest do wejścia taktującego rejestru, oraz, poprzez drugi inwerter, do drugich wejść pierwszej i drugiej bramki logicznej. Trzecie wejście pierwszej bramki sterowane jest zanegowanym przez pierwszy inwerter sygnałem, występującym na wyjściu pierwszego stopnia rejestru, a trzecie wejście drugiej bramki sterowane jest sygnałem, występującym na wyjściu ostatniego stopnia rejestru. Sygnały, pojawiające się na wyjściach pierwszej i drugiej bramki logicznej, sterują wejściami trzeciej bramki logicznej, realizującej sumę logiczną tych sygnałów. Sygnał wyjściowy trzeciej bramki zawiera ilościowe informacje o przekroczeniu dopuszczalnej sumy cyfrowej w badanym kodzie dwubiegunowym.

Szeregowy, n -bitowy rejestr przesuwany może być szeregowym, siedmiobitowym rejestrem przesuwalnym, zrealizowanym z dwu scalonych, czterobitowych rejestrów przesuwalnych z wpisem szeregowym, wzajemnie połączonych w konfiguracji szeregowego, siedmiobitowego rejestru przesuwanego.

Rejestr siedmiobitowy umożliwia wykorzystanie układu według wynalazku zwłaszcza do badania kodu o minimalnej sumie cyfrowej równej -4 i maksymalnej sumie cyfrowej równej $+3$.

Zalety układu cyfrowego według wynalazku w pełni ujawniają się przy badaniu kodów dwubiegunowych, w których granice dopuszczalnej sumy cyfrowej są stosunkowo wysokie. Takim kodem jest przykładowo teletransmisyjny kod 4B/3T, dla którego minimalna suma cyfrowa równa jest minus 4, zaś maksymalna suma cyfrowa równa jest plus 3. Znane układy do wykrywania przekroczenia dopuszczalnej sumy cyfrowej w takim kodzie są bardzo rozbudowane. Układ cyfrowy według wynalazku spełnia te same zadania bardziej racjonalnie, gdyż zawiera znacznie mniej elementów. Ponadto układ według wynalazku jest bardzo elastyczny, gdyż może być wykorzystany do badania kodów o innych wartościach dopuszczalnej sumy cyfrowej, a takich możliwości pozbawione są znane rozwiązania.

Wynalazek zostanie bliżej objaśniony w przykładzie wykonania, zilustrowanym figurami rysunku. Fig. 1 rysunku stanowi ogólny schemat ideowy układu cyfrowego, wykrywającego przekroczenie dopuszczalnej sumy cyfrowej w kodzie dwubiegunowym, zaś na fig. 2 pokazany jest układ połączeń siedmiobitowego rejestru przesuwanego z wpisem szeregowym.

W przykładowym rozwiązaniu zastosowany jest szeregowy, siedmiobitowy rejestr przesuwany R. Wybór rejestru o takiej pojemności podyktowany został właściwościami badanego kodu, w tym przypadku teletransmisyjnego kodu dwubiegunowego 4B/3T, w którym dopuszczalne granice bieżącej sumy cyfrowej wynoszą minus 4 i plus 3. Rejestry siedmiobitowe nie są jednak dostępne w postaci gotowych układów scalonych, toteż wykorzystano tu dwa scalone, czterobitowe rejestry przesuwne z wpisem szeregowym, wzajemnie połączone w konfiguracji szeregowego, siedmiobitowego rejestru przesuwanego. Jak to przedstawiono na fig. 2 rysunku, wejścia S_0 scalonych rejestrów czterobitowych, sterujące przesuwem w prawo i wejścia S_1 , sterujące przesuwem w lewo, połączone są równolegle. Równolegle połączone są także wejścia taktujące T obu rejestrów. Natomiast wejście szeregowe SE_L pierwszego czterobitowego rejestru połączone jest z wyjściem Q_B drugiego stopnia rejestru, a wejście szeregowe SE_R drugiego rejestru połączone jest z wyjściem Q_C trzeciego stopnia pierwszego czterobitowego rejestru przesuwanego. Sygnał występujący na wyjściu Q_A pierwszego stopnia rejestru czterobitowego stanowi sygnał A siedmiobitowego rejestru, zaś sygnał, występujący na wyjściu Q_D ostatniego stopnia drugiego rejestru czterobitowego stanowi sygnał K występujący na wyjściu Q_K rejestru siedmiobitowego. Drugie, szeregowe wejście SE_R pierwszego rejestru czterobitowego stanowi szeregowe wejście SE_R rejestru siedmiobitowego, zaś drugie, szeregowe wejście SE_L drugiego czterobitowego rejestru stanowi szeregowe wejście SE_L rejestru siedmiobitowego. Wejście szeregowe SE_R rejestru siedmiobitowego R sterowane jest napięciem o poziomie jedynki logicznej, zaś wejście szeregowe SE_L tego rejestru sterowane jest napięciem o poziomie zera logicznego.

Do przesuwającego w prawo wejścia SR rejestru R i do pierwszego wejścia bramki logicznej M_2 doprowadzone są impulsy B^+ , odpowiadające dodatnim jedynekom kodu 4B/3T. Drugie wejście bramki M_2 sterowane jest z wyjścia Q_K ostatniego stopnia rejestru R sygnałem K. Trzecie wejście bramki M_2 sterowane jest zanegowanym przez inwerter I_2 sygnałem taktującym C. Na wyjściu bramki M_2 pojawia się sygnał, informujący o przekroczeniu dopuszczalnej sumy cyfrowej, gdy w sytuacji, odpowiadającej wypełnieniu rejestru jedynekami, w doprowadzonym kodzie 4B/3T pojawi się dodatnia jedynka. Z kolei do przesuwającego w lewo wejścia SL rejestru R i do pierwszego wejścia bramki logicznej M_1 doprowadzone są impulsy B^- , odpowiadające ujemnym jedynekom kodu 4B/3T. Drugie wejście bramki M_1 sterowane jest zanegowanym przez inwerter I_1 sygnałem A pojawiającym się na wyjściu Q_A pierwszego stopnia rejestru R. Trzecie wejście bramki M_1 sterowane jest zanegowanym sygnałem taktującym C. Na wyjściu bramki M_1 pojawia się sygnał, informujący o przekroczeniu dopuszczalnej sumy cyfrowej, gdy przy wypełnieniu rejestru R zerami, wystąpi w badanym kodzie kolejna ujemna jedynka.

Sygnały wyjściowe bramek M_1 i M_2 sumowane są za pomocą trzeciej bramki M_3 , a następnie doprowadzane do układu zliczającego w celu określenia stopy błędu.

Działanie układu według wynalazku jest następujące: Impulsy, odpowiadające dodatnim jedynekom kodu dwubiegunowego, powodują przesuwanie zawartości rejestru w prawo, przy czym do rejestru wpisywane są jedynki, a impulsy, odpowiadające ujemnym jedynekom kodu dwubiegunowego, przesuwają zawartość rejestru w lewo i powodują wpisywanie do rejestru zer. Maksymalna dla danego kodu wartość sumy cyfrowej powoduje wypełnienie rejestru jedynekami, zaś minimalna jej wartość powoduje wypełnienie rejestru zerami. Wystąpienie jedynki dodatniej w badanym kodzie dwubiegunowym - przy wypełnieniu rejestru jedynekami - i jedynki ujemnej - przy wypełnieniu rejestru zerami - świadczy o przekroczeniu sumy cyfrowej. Stan taki jest wykrywany przez pierwszą i drugą bramkę cyfrowego układu kombinacyjnego i na wyjściach tych bramek pojawiają się sygnały interpretowane jako błędy. Sygnały te są następnie sumowane za pomocą trzeciej bramki logicznej i zliczane np. w celu określenia stopy błędu.

Z a s t r z e ż e n i a p a t e n t o w e

1. Układ cyfrowy wykrywający przekroczenie dopuszczalnej sumy cyfrowej w kodach dwubiegunowych, zawierający co najmniej jeden sekwencyjny układ logiczny współpracujący z pewną liczbą kombinacyjnych elementów logicznych, z n a m i e n n y t y m, że zawiera szeregowy n-bitowy rejestr przesuwany (R), gdzie n jest liczbą naturalną, oraz cyfrowy układ kombinacyjny (L) zawierający pierwszą, drugą i trzecią bramkę logiczną (M_1 , M_2 , M_3) i pierwszy oraz drugi inwerter (I_1 , I_2), przy czym do przesuwającego w prawo wejścia (SR) rejestru przesuwanego (R) i do jednego z wejść drugiej bramki logicznej (M_2) układu kombinacyjnego (L) doprowadzony jest sygnał (B^+), odpowiadający dodatnim jedynekom badanego kodu dwubiegunowego, a do przesuwającego w lewo wejścia (SL) tego rejestru (R) i do jednego z wejść pierwszej bramki logicznej (M_1) układu kombinacyjnego (L) doprowadzony jest sygnał (B^-), odpowiadający ujemnym jedynekom badanego kodu, zaś do jednego z szeregowych wejść (SE_R) rejestru przesuwanego (R) doprowadzone jest napięcie o poziomie jedynki logicznej, a do drugiego, szeregowego wejścia (SE_L) tego rejestru (R) doprowadzone jest napięcie o poziomie zera logicznego, natomiast sygnał taktujący (C) doprowadzony jest do wejścia taktującego (T) rejestru (R) oraz, poprzez drugi inwerter (I_2) układu kombinacyjnego (L), do drugich wejść pierwszej i drugiej bramki logicznej (M_1 , M_2), zaś trzecie wejście pierwszej bramki logicznej (M_1) poprzez pierwszy inwerter (I_1) układu kombinacyjnego (L) sterowane jest sygnałem (A), występującym na wyjściu (Q_A) pierwszego stopnia rejestru (R), a trzecie wejście drugiej bramki logicznej (M_2) sterowane jest sygnałem (K) występującym na wyjściu

(Q_K) ostatniego stopnia rejestru (R), a ponadto sygnały, występujące na wyjściu pierwszej i drugiej bramki logicznej (M_1 , M_2) doprowadzone są do wejść trzeciej bramki logicznej (M_3) układu kombinacyjnego (L), w której są sumowane i której sygnał wyjściowy informuje o przekroczeniu dopuszczalnej sumy cyfrowej w badanym kodzie dwubiegunowym.

2. Układ cyfrowy według zastrz. 1, z n a m i e n n y t y m, że szeregowy n-bitowy rejestr przesuwny (R) jest rejestrem siedmiobitowym, zrealizowanym z dwu scalonych, czterobitowych rejestrów przesuwnych z wpisem szeregowym, wzajemnie połączonych w konfiguracji szeregowego, siedmiobitowego rejestru przesuwanego.

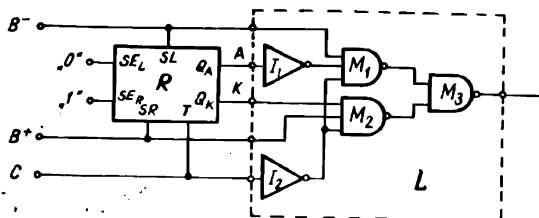


Fig 1

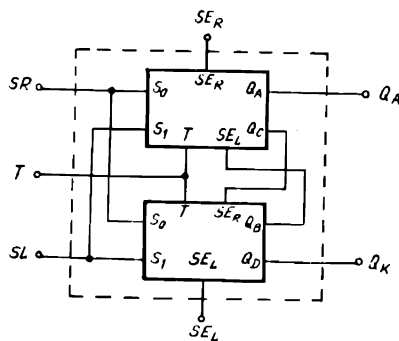


Fig. 2