

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2021-504952
(P2021-504952A)

(43) 公表日 令和3年2月15日(2021.2.15)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 N	5 F 0 3 8
HO 1 L 27/06 (2006.01)	HO 1 L 29/78 6 1 7 K	5 F 0 4 8
HO 1 L 21/822 (2006.01)	HO 1 L 29/78 6 1 6 T	5 F 1 1 0
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 6 1 4	
	HO 1 L 27/06 3 1 1 C	

審査請求 有 予備審査請求 未請求 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2020-528306 (P2020-528306)
 (86) (22) 出願日 平成29年11月27日 (2017.11.27)
 (85) 翻訳文提出日 令和2年5月22日 (2020.5.22)
 (86) 国際出願番号 PCT/CN2017/113151
 (87) 国際公開番号 W02019/100394
 (87) 国際公開日 令和1年5月31日 (2019.5.31)

(71) 出願人 516013631
 シェンジェン ロイオル テクノロジーズ
 カンパニー リミテッド
 SHENZHEN ROYOLE TEC
 HNOLOGIES CO., LTD.
 中華人民共和国 グアンドン シェンジェ
 ン ロンガン・ディストリクト ホンガン
 ・ストリート ロンガン・ロード 828
 8 ダユイン・ソフトウェア・タウン ビ
 ルディング 43
 (74) 代理人 100121728
 弁理士 井関 勝守
 (74) 代理人 100165803
 弁理士 金子 修平

最終頁に続く

(54) 【発明の名称】 TFT基板、ESD保護回路およびTFT基板の製造方法

(57) 【要約】

本発明は、TFT基板、ESD保護回路およびTFT基板の製造方法に係り、本実施例におけるTFT基板は、ベース基板と、ベース基板に設けられる第1のゲートと、第1のゲートの上に設けられる第1の絶縁層と、第1の絶縁層に設けられるドレインと、ソースと、アクティブ層と、ドレイン、ソース、およびアクティブ層の上に設けられる第2の絶縁層と、第2の絶縁層の上に設けられる第2のゲートとを備える。これにより、液晶パネル画面の異常表示を防ぐことができる。

【選択図】 図4

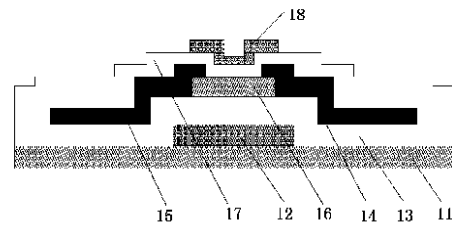


図4

【特許請求の範囲】

【請求項 1】

ベース基板と、
前記ベース基板に設けられる第 1 のゲートと、
前記第 1 のゲートの上に設けられる第 1 の絶縁層と、
前記第 1 の絶縁層の上に設けられるドレインと、ソースと、アクティブ層と、
前記ドレイン、前記ソース、および前記アクティブ層の上に設けられる第 2 の絶縁層と

、
前記第 2 の絶縁層の上に設けられ、マイナスの電圧に接続されている第 2 のゲートとを
備え、前記ドレインの少なくとも一部と前記ソースの少なくとも一部とが、前記アクティ
ブ層の外端に離間して設けられ、かつ前記アクティブ層を介して接続されることを特徴と
する、TFT 基板。

10

【請求項 2】

請求項 1 に記載の TFT 基板であって、前記第 1 のゲートおよび前記第 2 のゲートが前
記アクティブ層までそれぞれの距離は同じであることを特徴とする、TFT 基板。

【請求項 3】

請求項 1 に記載の TFT 基板であって、前記第 2 のゲートの形状は、U 字状であること
を特徴とする、TFT 基板。

【請求項 4】

請求項 1 に記載の TFT 基板であって、前記アクティブ層の前記ベース基板への正射影
は、前記第 1 のゲートの前記ベース基板への正射影を少なくとも部分的に覆っていること
を特徴とする、TFT 基板。

20

【請求項 5】

請求項 1 に記載の TFT 基板であって、前記ドレインと前記ソースは階段状であり、前
記アクティブ層の外端に対称に設けられていることを特徴とする、TFT 基板。

【請求項 6】

請求項 1 に記載の TFT 基板であって、前記第 1 のゲートと、前記第 2 のゲートとの形
状およびサイズは同じであることを特徴とする、TFT 基板。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項に記載の TFT 基板を備える ESD 保護回路であって、
前記 TFT 基板は、第 1 の TFT トランジスタと第 2 の TFT トランジスタとを備え、第
1 の TFT トランジスタのドレインはプラスの電圧信号に接続され、第 2 の TFT トラン
ジスタのソースはマイナスの電圧信号に接続され、第 1 の TFT トランジスタのソースと
、第 1 の TFT トランジスタの第 1 のゲートと、第 2 の TFT トランジスタのドレインと
共にデータ信号に接続され、第 2 の TFT トランジスタの第 1 のゲートは、ソースに接続
されることを特徴とする、ESD 保護回路。

30

【請求項 8】

請求項 7 に記載の ESD 保護回路であって、前記第 1 の TFT トランジスタの第 2 のゲ
ートおよび前記第 2 の TFT トランジスタの第 2 のゲートは、第 2 の TFT トランジスタ
のソースにそれぞれ接続されることを特徴とする、ESD 保護回路。

40

【請求項 9】

TFT 基板の製造方法であって、

S 1 1 . ベース基板を準備し、前記ベース基板に第 1 のゲートを形成することと、

S 1 2 . 前記第 1 のゲートおよび前記基板に第 1 の絶縁層を形成し、前記第 1 の絶縁層
は前記第 1 のゲートを完全に覆うことと、

S 1 3 . 前記第 1 の絶縁層にドレイン、ソースおよびアクティブ層を形成し、ドレイン
の少なくとも一部とソースの少なくとも一部とが、離間して前記アクティブ層の外端に設
けられ、かつ前記アクティブ層を介して接続されていることと、

S 1 4 . 前記ドレイン、前記ソースおよび前記アクティブ層の上に第 2 の絶縁層を形成
し、前記第 2 の絶縁層は前記ドレイン、前記ソースおよび前記アクティブ層を完全に覆う

50

ことと、

S 1 5 . 前記第 2 の絶縁層の上にマイナスの電圧に接続される第 2 のゲートを形成することのステップを含むことを特徴とする、T F T 基板の製造方法。

【請求項 1 0】

請求項 9 に記載の T F T 基板の製造方法であって、前記ステップ S 1 1 の内に、前記ベース基板に第 1 のゲートを形成することは、

前記ベース基板上に第 1 の金属層を堆積し、フォトリソグラフィプロセスによって前記第 1 の金属層をパターニングして第 1 のゲートを得ること、

または、

前記ベース基板上に第 1 のポリシリコン層を形成し、前記第 1 のポリシリコン層に N 型ドーピングを実行し、次にフォトリソグラフィプロセスによって前記 N 型のドーパされたポリシリコン層をパターニングして、第 1 のゲートを得ることを含むことを特徴とする、T F T 基板の製造方法。

10

【請求項 1 1】

請求項 9 に記載の T F T 基板の製造方法であって、ステップ S 1 3 は、

化学的または物理的気相成長法によって前記第 1 の絶縁層上に半導体層を堆積し、フォトリソグラフィプロセスによって前記半導体層をパターニングして、アクティブ層を得ることと、

前記アクティブ層および前記第 1 の絶縁層に第 2 の金属層を堆積し、フォトリソグラフィプロセスによって前記第 2 の金属層をパターニングして、ソースおよびドレインを得ることと、または、前記アクティブ層および前記第 1 の絶縁層に第 2 のポリシリコン層を形成し、前記第 2 のポリシリコン層に N 型ドーピングを実行し、次にフォトリソグラフィプロセスによって前記第 2 のポリシリコン層をパターニングして、ソースおよびドレインを得ることを含むことを特徴とする、T F T 基板の製造方法。

20

【請求項 1 2】

請求項 9 に記載の T F T 基板の製造方法であって、前記ステップ S 1 5 は、

前記第 2 の絶縁層に第 3 の金属層を堆積し、フォトリソグラフィプロセスによって前記第 3 の金属層をパターニングして第 2 のゲートを得ること、

または、

前記第 2 の絶縁層に第 3 のポリシリコン層を形成し、前記第 3 のポリシリコン層に N 型ドーピングを実行し、次にフォトリソグラフィプロセスによって前記 N 型のドーパされたポリシリコン層をパターニングして、第 2 のゲートを得ることを含むことを特徴とする、T F T 基板の製造方法。

30

【請求項 1 3】

請求項 1 0 乃至 1 2 のいずれか 1 項に記載の T F T 基板の製造方法であって、前記フォトリソグラフィプロセスは、フォトレジスト、露光、現像およびエッチングプロセスを含むことを特徴とする、T F T 基板の製造方法。

【発明の詳細な説明】

40

【技術分野】

【0 0 0 1】

本発明は、液晶ディスプレイの分野に関し、特に、T F T 基板、E S D 保護回路および T F T 基板の製造方法に関する。

【背景技術】

【0 0 0 2】

T F T - L C D (T h i n F i l m T r a n s i s t o r L i q u i d C r y s t a l D i s p l a y、薄膜トランジスタ液晶ディスプレイ) は、軽量、薄型、低消費電力などの利点があるため、テレビ、ノートパソコン、携帯電話などの機器に広く使用されている。

50

【 0 0 0 3 】

フラットパネルディスプレイデバイスとして、液晶ディスプレイの液晶パネルは、通常、2枚のガラス基板と、ガラス基板間の液晶層とからなる。下部ガラス基板に多数のデータ線と多数の走査線が集積されており、それらは垂直方向に交互に配置されて多数の単位領域を形成しており、これらの単位領域はピクセルユニットとして定義されている。各ピクセルユニットは、主にピクセル電極、ストレージコンデンサ、TFTトランジスタなどのデバイスを備える。走査線上の駆動信号は、TFTトランジスタの動作状態を制御することができ、それにより、データ線の駆動信号を適時にピクセル電極に書き込むことができる。上記ドライバレイを構成するガラス基板は、一般的にTFT基板と呼ばれている。上部ガラス基板にブラックマトリクス、カラーフィルター層、共通電極層を一体化で集積している。上部ガラス基板にはカラーフィルター層が設けられているため、一般的にカラーフィルター基板とも呼ばれている。TFT基板とカラーフィルム基板とを合わせて液晶表示基板と呼んでも良い。

10

【 0 0 0 4 】

しかしながら、液晶表示基板の製造工程においては、現像、エッチング、セル内への液晶配向、および搬送などの複数の工程により静電放電(Electro-Static Discharge、略称ESD)が発生する場合がある。静電気により発生した電荷により、TFTトランジスタデバイスや絶縁層が損傷され、液晶パネルの劣化や歩留まりに影響を与える。そのため、液晶パネルの設計においては、パネルに静電気を放電するための専用の経路や部品も設計されており、このような設計はESD保護回路と呼んでも良い。

20

【 0 0 0 5 】

図1は、従来技術におけるESD保護回路の概略構成図であり、このESD保護回路では、TFTトランジスタM1のソースがTFTトランジスタM2のドレインに接続され、TFTトランジスタM1のドレインがプラスの電圧(VGH)に接続され、TFTトランジスタM2のソースはマイナスの電圧(VGL)に接続され、また、TFTトランジスタM1のゲートはそのソースに並列に接続され、TFTトランジスタM2のゲートもそのソースに並列に接続されている。データ信号(Data)は、ドライバICにて生成されて対応するピクセル電極に出力され、また、外部から静電気が流入するのを防ぐため、途中にそのESD保護回路を通してている。静電気が発生すると、外部から静電気(-KVの高電圧)が流れ込み、それぞれのVGH側とVGL側に放電する。ただし、このESD保護回路では、TFTトランジスタ工程の初期ターンオン電圧の均一性が低いため、実際の製品のTFTトランジスタの初期ターンオン電圧はマイナスの電圧に移動し、すなわち、TFTトランジスタの初期ターンオン電圧は0より小さい。図2を参照すると、2つのTFTトランジスタM1およびM2は、初期ターンオン電圧がマイナスの電圧であるためにターンオンされ、それによって大きなリーク電流を生成する。データ信号が入ると、リーク電流により、データ信号(Data)にはプラスの電圧(VGH)が混在し、図3を示すように、ここで、実線はドライバICから出力されるデータ信号を表し、破線はESD保護回路を通じたデータ信号を表す。データ信号を用いて画素電極を駆動すると、データ信号に不要な電圧が混在するため、ピクセル電極の輝度が異常となり、液晶パネルの表示画面に異常が発生する。

30

40

【 発明の概要 】

【 0 0 0 6 】

本発明が解決しようとする技術的問題は、上記従来技術におけるTFTトランジスタは、ターンオン電圧がゼロ以下であるため、静電気発生時に液晶パネルを異常表示させることである。

【 0 0 0 7 】

本発明がその技術的問題を解決するために採用する技術的解決策は、以下を含むTFT基板を構築することであり、それは：

ベース基板と、

50

前記ベース基板に設けられる第1のゲートと、
 前記第1のゲートの上に設けられる第1の絶縁層と、
 前記第1の絶縁層の上に設けられる、ドレインと、ソースと、アクティブ層と、
 前記ドレイン、前記ソース、および前記アクティブ層の上に設けられる第2の絶縁層と

、
 前記第2の絶縁層の上に設けられ、マイナスの電圧に接続されている第2のゲートとを
 備え、前記ドレインの少なくとも一部と前記ソースの少なくとも一部とが、前記アクティ
 ブ層の外端に離間して設けられ、かつ前記アクティブ層を介して接続されることを特徴と
 する、TFT基板。

好ましくは、前記第1のゲートおよび前記第2のゲートが前記アクティブ層までそれぞ
 れの距離は同じである。

好ましくは、前記第2のゲートの形状は、U字状である。

好ましくは、前記アクティブ層の前記ベース基板への正射影は、前記第1のゲートの前
 記ベース基板への正射影を少なくとも部分的に覆っている。

好ましくは、前記ドレインと前記ソースは階段状であり、前記アクティブ層の両端と上
 端に対称に設けられている。

好ましくは、前記第1のゲートと、前記第2のゲートとの形状およびサイズは同じであ
 る。

【0008】

本発明はまた、上記のTFT基板を備えるESD保護回路を構築し、前記TFT基板は
 、第1のTFTトランジスタと第2のTFTトランジスタとを備え、第1のTFTトラン
 ジスタM1のドレインはプラスの電圧信号に接続され、第2のTFTトランジスタのソー
 スはマイナスの電圧信号に接続され、第1のTFTトランジスタのソースと、第1のTF
 Tトランジスタの第1のゲートと、第2のTFTトランジスタのドレインと共にデータ信
 号に接続され、第2のTFTトランジスタの第1のゲートは、ソースに接続される。

好ましくは、前記第1のTFTトランジスタの第2のゲートおよび前記第2のTFTト
 ランジスタの第2のゲートは、第2のTFTトランジスタのソースにそれぞれ接続される
 。

【0009】

本発明はまた、以下のステップを含む、TFT基板を製造する方法を構築する。

S11．ベース基板を準備し、前記ベース基板上に第1のゲートを形成することと、

S12．前記第1のゲートおよび前記基板に第1の絶縁層を形成し、前記第1の絶縁層
 は前記第1のゲートを完全に覆うことと、

S13．前記第1の絶縁層にドレイン、ソースおよびアクティブ層を形成し、ドレイン
 の少なくとも一部およびソースの少なくとも一部は、離間して前記アクティブ層の外端に
 設けられ、前記アクティブ層を介して接続されていることと、

S14．前記ドレイン、前記ソースおよび前記アクティブ層の上に第2の絶縁層を形成
 し、前記第2の絶縁層は前記ドレイン、前記ソースおよび前記アクティブ層を完全に覆う
 ことと、

S15．前記第2の絶縁層の上にマイナスの電圧に接続される第2のゲートを形成する
 こととのステップを含むことを特徴とする、TFT基板の製造方法。

好ましくは、前記ステップS11の内に、前記ベース基板に第1のゲートを形成し、そ
 れは、

前記ベース基板上に第1の金属層を堆積し、フォトリソグラフィプロセスによって前記
 第1の金属層をパターニングして第1のゲートを得ること、

または、

前記ベース基板上に第1のポリシリコン層を形成し、前記第1のポリシリコン層にN型
 ドーピングを実行し、次にフォトリソグラフィプロセスによって前記N型のドーパされた
 ポリシリコン層をパターニングして、第1のゲートを得ることを含むことを特徴とする、
 TFT基板の製造方法。

10

20

30

40

50

好ましくは、ステップ S 1 3 はさらに以下を含む。

化学的または物理的気相成長法によって前記第 1 の絶縁層上に半導体層を堆積し、フォトリソグラフィプロセスによって前記半導体層をパターニングして、アクティブ層を得ることと、

前記アクティブ層および前記第 1 の絶縁層に第 2 の金属層を堆積し、フォトリソグラフィプロセスによって前記第 2 の金属層をパターニングして、ソースおよびドレインを得ることと、または、前記アクティブ層および前記第 1 の絶縁層に第 2 のポリシリコン層を形成し、前記第 2 のポリシリコン層に N 型ドーピングを実行し、次にフォトリソグラフィプロセスによって前記第 2 のポリシリコン層をパターニングして、ソースおよびドレインを得ることを含むことを特徴とする、TFT 基板の製造方法。

10

好ましくは、前記ステップ S 1 5 は以下を含む。

前記第 2 の絶縁層に第 3 の金属層を堆積し、フォトリソグラフィプロセスによって前記第 3 の金属層をパターニングして第 2 のゲートを得ること、

または、

前記第 2 の絶縁層に第 3 のポリシリコン層を形成し、前記第 3 のポリシリコン層に N 型ドーピングを実行し、次にフォトリソグラフィプロセスによって前記 N 型のドーパされたポリシリコン層をパターニングして、第 2 のゲートを得ることを含むことを特徴とする、TFT 基板の製造方法。

好ましくは、前記フォトリソグラフィプロセスは、フォトレジスト、露光、現像およびエッチングプロセスを含む。

20

【0010】

本発明の技術的解決策の実施において、TFT 基板はダブルゲート構造を採用し、第 2 のゲートはマイナスの電圧に接続されるため、TFT トランジスタのターンオン電圧は正の方向に移動することができる。また、TFT トランジスタによって ESD 保護回路を構築すると、静電気が発生しても、両方の TFT トランジスタのターンオン電圧が 0 より大きいいため、リーク電流は非常小さいため、無視してもよく、結果として、ドライバ IC からピクセル電極に出力されるデータ信号は不要な電圧信号が混入せず、ピクセル電極の輝度異常が発生せず、液晶画面の異常を防ぐ。

【図面の簡単な説明】

【0011】

本発明の発明例をより明確に例示するために、実施例の説明に使用される図面を以下に簡単に説明する。以下の説明における図面は、本発明のいくつかの実施例であることが過ぎないと明らかであり、当業者にとっては、これらの図面に基づいて他の図面を創造的な仕事をすることなく得ることもできる。図面では：

30

【図 1】図 1 は、従来技術における ESD 保護回路の回路構成図である。

【図 2】図 2 は、静電気が発生したときの図 1 の ESD 保護回路の概略図である。

【図 3】図 3 は、静電気が発生したときの入力データ信号と出力データ信号の波形図である。

【図 4】図 4 は、本発明における TFT 基板の概略構成図である。

【図 5】図 5 は、従来技術における TFT トランジスタと本発明における TFT トランジスタのターンオン電圧のシミュレーションの概略図である。

40

【図 6】図 6 は、本発明における ESD 保護回路の回路構成図である。

【図 7】図 7 は、本発明における TFT 基板の製造方法の実施例 1 のフローチャートである。

【発明を実施するための形態】

【0012】

以下、添付図面を参照しながら、本発明の実施例について明確に説明する。尚、以下の実施例は、明らかに本発明を具体化した一例のみであって、本発明の技術的範囲を限定する性格を有さない。本発明の範囲から逸脱することなく本発明の実施例に基づいて当業者によって得られる他のすべての実施例も、本発明の範囲である。

50

【0013】

図4は、本発明における基板の実施例1の概略構成図であり、本実施例のTFT基板は、積層に設けられているベース基板11、第1のゲート12、第1の絶縁層13、ドレイン14、ソース15、アクティブ層16、第2の絶縁層17、および第2のゲート18を備える。ここで、第1のゲート12は、ベース基板11に設けられており、その面積は、ベース基板11よりも小さく、ベース基板11の中央部に設けられていることが好ましい。第1の絶縁層13は、第1のゲート12の上に設けられ、ドレイン14、ソース15およびアクティブ層16は第1の絶縁層13の上に設けられ、また、ドレイン14の少なくとも一部およびソース15の少なくとも一部は、離間してアクティブ層16の外端にアクティブ層16を介して接続される。また、第2の絶縁層17は、ドレイン14、ソース15およびアクティブ層16の上に配置され、ドレイン14、ソース15およびアクティブ層16を覆い、第2のゲート18は、第2の絶縁層17の上に設けられており、また、第2のゲート18はマイナスの電圧に接続される。

10

【0014】

また、本実施例では、アクティブ層16のベース基板11への正射影は、第1のゲート12のベース基板11への正射影を部分的に覆っている。もちろん、他の実施例では、第1のゲート12のベース基板11への正射影を完全に覆ってもよい。

【0015】

また、ドレイン14とソース15は階段状であり、アクティブ層16の両端と上端に对称に設けられている。もちろん、他の実施例では、ドレイン14およびソース15は他の形状を有してもよく、また、アクティブ層の左端および右端、下端または上端に設けられてもよい。

20

【0016】

また、第2のゲート18の形状は、U字状である。もちろん、他の実施例では、第1のゲート12と第2のゲート18との形状およびサイズは同じであってもよく、両者がアクティブ層16までそれぞれの距離は同じであり、もちろん、両者の形状、サイズ、およびアクティブ層16までそれぞれの距離は異なっても良い。

【0017】

本実施例におけるTFT基板はダブルゲート構造を採用しており、第1のゲート12と第2のゲート18がアクティブ層の両側に分布している。第1のゲートに電圧が印加されると、導電性チャネルのオン電流が発生しつつ、第2のゲート18がマイナスの電圧を印加するため、導電性チャネルの電流量が抑制され、さらに導電性チャネルの断面積の増加が防止され、すなわちTFTトランジスタのターンオン電圧の増加に相当する。図5を参照しながら、第2のゲート18を追加しない場合、TFTトランジスタのターンオン電圧は-5Vであり、第2のゲート18を追加した場合、TFTトランジスタのターンオン電圧は正方向に移動して0Vとなる。

30

【0018】

図6は、本発明におけるESD保護回路の回路構成図であり、本実施例におけるESD保護回路は、上記実施例で示したTFT基板を備え、また、このTFT基板は、第1のTFTトランジスタM1と第2のTFTトランジスタM2とを備え、ここで、第1のTFTトランジスタM1のドレインはプラスの電圧信号(VGH)に接続され、第2のTFTトランジスタM2のソースはマイナスの電圧信号(VGL)に接続され、第1のTFTトランジスタM1のソースと、第1のTFTトランジスタM1の第1のゲートと、第2のTFTトランジスタM2のドレインと共にデータ信号(Data)に接続され、第2のTFTトランジスタM2の第1のゲートは、ソースに接続される。

40

【0019】

好ましくは、第1のTFTトランジスタM1の第2のゲートおよび第2のTFTトランジスタM2の第2のゲートは、第2のTFTトランジスタM2のソースにそれぞれ接続され、その結果、電圧源を追加せずに、既存のマイナスの電圧信号(VGL)を利用して第1のTFTトランジスタM1の第2のゲートと第2のTFTトランジスタM2の第2のゲ

50

ートとを接続する。

【0020】

本実施例では、ドライバICがデータ信号(Data)を出力した後、ESD保護回路を介してピクセル電極に出力されるが、静電気が発生すると、両方のTFTトランジスタM1、M2のターンオン電圧が0より大きいため、リーク電流は非常小さいため、無視してもよく、結果として、データ信号(Data)に不要なプラスの電圧信号(VGH)が混入されないため、ピクセル電極に出力されるデータ信号(Data)がより正確になり、ピクセル電極の輝度の異常な状態が発生しない。

【0021】

図7は、本発明におけるTFT基板の製造方法の実施例1のフローチャートであり、本実施例のTFT基板の製造方法は、以下の工程を含む。

10

【0022】

S11. ベース基板を準備し、ベース基板上に第1のゲートを形成する。

具体的には、一例では、第1のゲートを製造する方法は、ベース基板上に第1の金属層を堆積し、フォトリソグラフィプロセスによって第1の金属層をパターニングして第1のゲートを得る。第1の金属層の材料は、アルミニウム、モリブデン、銅、または銀であってよい。もちろん、別の例では、第1のゲートの製造方法は、ベース基板上に第1のポリシリコン層を形成し、第1のポリシリコン層にN型ドーピングを実行し、次にフォトリソグラフィプロセスによってN型のドーピングされたポリシリコン層をパターニングして、第1のゲートを得る。

20

【0023】

S12. 第1の絶縁層を第1のゲートおよび基板上に形成し、第1の絶縁層は第1のゲートを完全に覆う。

【0024】

S13. 第1の絶縁層にドレイン、ソースおよびアクティブ層を形成し、ドレインの少なくとも一部およびソースの少なくとも一部は、離間してアクティブ層の外端に設けられ、アクティブ層を介して接続されている。

【0025】

具体的には、アクティブ層の製造方法は、化学的または物理的気相成長法によって第1の絶縁層上に半導体層を堆積し、フォトリソグラフィプロセスによって半導体層をパターニングして、アクティブ層を得る。

30

【0026】

具体的には、ドレインおよびソースの製造方法は、アクティブ層および第1の絶縁層に第2の金属層を堆積し、フォトリソグラフィプロセスによって第2の金属層をパターニングして、ソースおよびドレインを得る；または、アクティブ層および第1の絶縁層に第2のポリシリコン層を形成し、第2のポリシリコン層にN型ドーピングを実行し、次にフォトリソグラフィプロセスによって第2のポリシリコン層をパターニングして、ソースおよびドレインを得る。

【0027】

S14. ドレイン、ソースおよびアクティブ層に第2の絶縁層を形成し、第2の絶縁層はドレイン、ソースおよびアクティブ層を完全に覆う。

40

【0028】

S15. 第2の絶縁層の上にマイナスの電圧に接続される第2のゲートを形成する。

【0029】

具体的には、第2のゲートの製造方法は、第2の絶縁層に第3の金属層を堆積し、フォトリソグラフィプロセスによって第3の金属層をパターニングして、第2のゲートを得る；または、第2の絶縁層に第3のポリシリコン層を形成し、第3のポリシリコン層にN型ドーピングを実行し、次にフォトリソグラフィプロセスによってN型のドーピングされたポリシリコン層をパターニングして、第2のゲートを得る。

【0030】

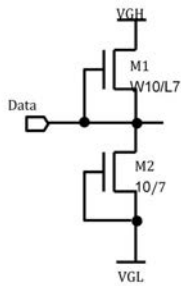
50

さらに、上記の実施例におけるフォトリソグラフィプロセスは、フォトリジスト、露光、現像およびエッチングプロセスを含む。

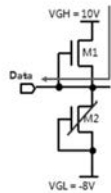
【 0 0 3 1 】

上記は本発明の好ましい実施例に過ぎず、本発明を限定することを意図するものではなく、当業者にとって、本発明は様々な改変および変更を有し得る。本発明の精神および原理の範囲内のあらゆる修正、同等の置換、改良などは、本発明の特許請求の範囲に含まれるものとする。

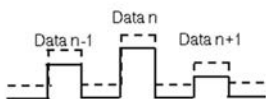
【 図 1 】



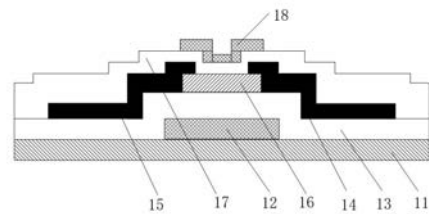
【 図 2 】



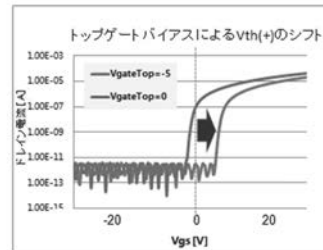
【 図 3 】



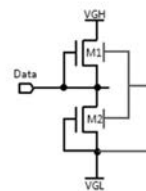
【 図 4 】



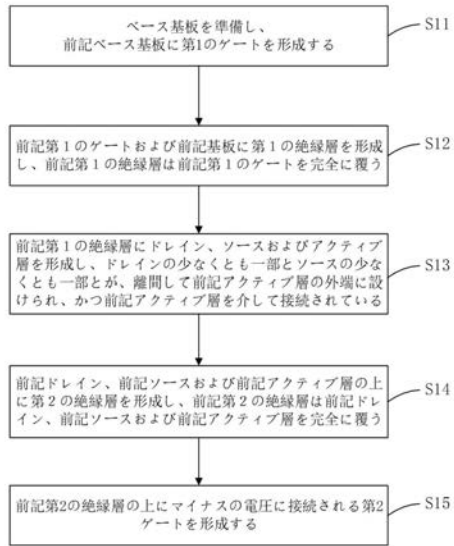
【 図 5 】



【 図 6 】



【 図 7 】



【 国际调查报告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2017/113151
A. CLASSIFICATION OF SUBJECT MATTER H01L 27/02(2006.01)i; H02H 9/04(2006.01)i; G09G 3/36(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L; H02H; G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNPAT, CNKI, EPODOC, WPI, IEEE: 静电保护电路, 薄膜晶体管, 源, 漏, 栅, 信号, 电压, ESD, electro+, static, discharge, TFT, thin, film, transistor, source, drain, gate, signal, voltage		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 106960663 A (NLT TECHNOLOGIES, LTD.) 18 July 2017 (2017-07-18) description, paragraphs [0032]-[0086], and figures 1-3	1-6, 9-13
A	CN 106960663 A (NLT TECHNOLOGIES, LTD.) 18 July 2017 (2017-07-18) description, paragraphs [0032]-[0086], and figures 1-3	7, 8
A	CN 103165525 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD.) 19 June 2013 (2013-06-19) entire document	1-13
A	CN 106373955 A (MA, LIFENG) 01 February 2017 (2017-02-01) entire document	1-13
A	US 6912109 B1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 28 June 2005 (2005-06-28) entire document	1-13
A	US 6479883 B1 (UNITED MICROELECTRONICS CORP.) 12 November 2002 (2002-11-12) entire document	1-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 15 August 2018		Date of mailing of the international search report 29 August 2018
Name and mailing address of the ISA/CN State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China Facsimile No. (86-10)62019451		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/113151

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106960663	A	18 July 2017	US	2017117705	A1	27 April 2017
				JP	2017084868	A	18 May 2017
CN	103165525	A	19 June 2013	None			
CN	106373955	A	01 February 2017	None			
US	6912109	B1	28 June 2005	None			
US	6479883	B1	12 November 2002	TW	446192	U	11 July 2001

国际检索报告

国际申请号

PCT/CN2017/113151

A. 主题的分类		
H01L 27/02(2006.01)i; H02H 9/04(2006.01)i; G09G 3/36(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
H01L; H02H; G09G		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT, CNKI, EPODOC, WPI, IEEE: 静电保护电路, 薄膜晶体管, 源, 漏, 栅, 信号, 电压, ESD, electro+, static, discharge, TFT, thin, film, transistor, source, drain, gate, signal, voltage		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 106960663 A (NLT科技股份有限公司) 2017年 7月 18日 (2017-07-18) 说明书第[0032]-[0086]段, 图1-3	1-6, 9-13
A	CN 106960663 A (NLT科技股份有限公司) 2017年 7月 18日 (2017-07-18) 说明书第[0032]-[0086]段, 图1-3	7, 8
A	CN 103165525 A (上海天马微电子有限公司) 2013年 6月 19日 (2013-06-19) 全文	1-13
A	CN 106373955 A (马利峰) 2017年 2月 1日 (2017-02-01) 全文	1-13
A	US 6912109 B1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 2005年 6月 28日 (2005-06-28) 全文	1-13
A	US 6479883 B1 (UNITED MICROELECTRONICS CORP.) 2002年 11月 12日 (2002-11-12) 全文	1-13
<input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “B” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2018年 8月 15日		2018年 8月 29日
ISA/CN的名称和邮寄地址		受权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088		刘天飞
传真号 (86-10)62019451		电话号码 86-(10)-53961216

表 PCT/ISA/210 (第2页) (2015年1月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/113151

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106960663	A	2017年 7月 18日	US	2017117705	A1	2017年 4月 27日
				JP	2017084868	A	2017年 5月 18日
CN	103165525	A	2013年 6月 19日	无			
CN	106373955	A	2017年 2月 1日	无			
US	6912109	B1	2005年 6月 28日	无			
US	6479883	B1	2002年 11月 12日	TW	446192	U	2001年 7月 11日

表 PCT/ISA/210 (同族专利附件) (2015年1月)

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 27/04 H

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(74)代理人 100170900

弁理士 大西 渉

(72)発明者 キム ジハ

中華人民共和国 グァンドン シェンジェン ロンガン・ディストリクト ホンガン・ストリート
ロンガン・ロード 8 2 8 8 ダユイン・ソフトウェア・タウン ビルディング 4 3

Fターム(参考) 5F038 BH07 BH13 DF20 EZ06

5F048 AA07 AB10 AC01 AC04 BB06 BB09 BC16 CC09 CC18

5F110 BB01 BB20 CC01 CC07 EE02 EE03 EE04 EE09 EE22 EE30

GG02 GG13 GG42 GG44 HK09 HK14 HK24 HM02 NN78