

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 5 月 4 日(04.05.2017)



(10) 国際公開番号
WO 2017/073350 A1

- (51) 国際特許分類:
H01L 21/60 (2006.01)
- (21) 国際出願番号: PCT/JP2016/080467
- (22) 国際出願日: 2016 年 10 月 14 日(14.10.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-214182 2015 年 10 月 30 日(30.10.2015) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者: 中磯俊幸(NAKAISO, Toshiyuki); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所(KAEDE PATENT ATTORNEYS' OFFICE); 〒5400011 大阪府大阪市中央区農人橋 1 丁目 4 番 3 4 号 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

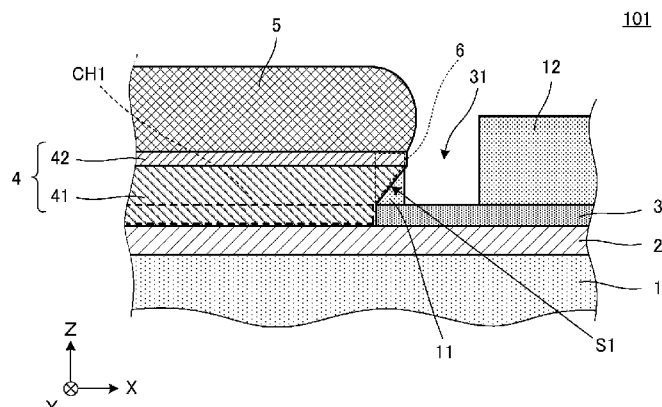
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: THIN FILM ELEMENT, AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 薄膜素子およびその製造方法

図2



(57) Abstract: This thin film element (101) is provided with: a substrate (1); a wiring conductor film (2) formed on the surface of the substrate (1); a protective film (3) which coats at least the surface of the wiring conductor film (2); an external electrode (4); and a first resist film (11) and a second resist film (12) which coat the surface of the protective film (3). The protective film (3) has a contact hole (CH1) provided in a position which overlaps the wiring conductor film (2) when viewed from the (Z) direction. The external electrode (4) is formed inside the contact hole (CH1) and on the surface of the wiring conductor film (2). The external electrode (4) is thicker than the protective film (3), and has a side surface (S1). The first resist film (11) is in contact with the entire circumference of the side surface (S1) of the external electrode (4). The second resist film (12) is disposed away from the first resist film (11) and the side surface (S1) of the external electrode (4).

(57) 要約:

[続葉有]

WO 2017/073350 A1



薄膜素子（１０１）は、基材（１）、基材（１）の表面に形成される配線導体膜（２）、少なくとも配線導体膜（２）の表面に被覆される保護膜（３）、外部電極（４）、保護膜（３）の表面に被覆される第１レジスト膜（１１）および第２レジスト膜（１２）を備える。保護膜（３）は（Ｚ）方向から見て配線導体膜（２）と重なる位置にコンタクトホール（ＣＨ１）を有し、外部電極（４）はコンタクトホール（ＣＨ１）内、且つ、配線導体膜（２）の表面に形成される。外部電極（４）は保護膜（３）より厚く、側面（Ｓ１）を有する。第１レジスト膜（１１）は、外部電極（４）の側面（Ｓ１）の全周に沿って接し、第２レジスト膜（１２）は、外部電極（４）の側面（Ｓ１）および第１レジスト膜（１１）から離間して配置される。

明 細 書

発明の名称： 薄膜素子およびその製造方法

技術分野

[0001] 本発明は、薄膜素子に関し、特に例えば、基材と基材上に形成される配線導体膜と、配線導体膜上に形成される外部電極とを有する薄膜素子に関する。また、その薄膜素子の製造方法に関する。

背景技術

[0002] 従来、基材と、基材上に形成される配線導体膜と、配線導体膜の表面に形成される外部電極と、基材の表面および配線導体膜の表面に被覆されるレジスト膜と、外部電極の表面に形成されるはんだバンプと、を備える端子構造が知られている（特許文献1）。

[0003] また、特許文献1に開示されているように、はんだ等の導電性接合材を外部電極に接合する際に、基材上に形成された配線導体膜や外部電極が、基材から剥離することを防止するため、配線導体膜や外部電極の外縁にレジスト膜を被せる方法（オーバーレジスト処理）が一般的である。

[0004] しかし、外部電極を構成するAuははんだに濡れやすく、はんだを外部電極に接合する際に、外部電極の表面とレジスト層との界面にはんだが浸入し、外部電極の表面がオーバーレジスト処理したレジスト層の剥離の起点となる虞がある。

[0005] 一方、このようなレジスト層の剥離を抑制するため、レジスト層と外部電極との間に所定間隔（クリアランス）が設けられたクリアランスレジスト型の端子構造もある（特許文献2）。

先行技術文献

特許文献

[0006] 特許文献1：特開2012-74487号公報

特許文献2：特開2013-98507号公報

発明の概要

発明が解決しようとする課題

[0007] しかし、レジスト層と外部電極との間に所定クリアランスを設けた場合、上記クリアランスからはんだが浸入し、上記クリアランス内で露出する配線導体膜とはんだとが反応すること（はんだ食われ等）によって、抵抗値の増大や、配線導体膜が断線する虞がある。また、上記クリアランスから水分やフラックス等が浸入し、上記クリアランス内に露出する配線導体膜が腐食する虞もある。

[0008] 本発明の目的は、レジスト層を外部電極から離間して配置する構造において、配線導体膜のはんだ食われや腐食等を抑制した、信頼性の高い外部電極を有する薄膜素子を提供することにある。また、その薄膜素子の製造方法を提供することにある。

課題を解決するための手段

[0009] (1) 本発明の薄膜素子は、
基材と、
前記基材の表面に形成される配線導体膜と、
少なくとも前記配線導体膜の表面に被覆され、平面視で前記配線導体膜と重なる位置にコンタクトホールを有する保護膜と、
前記コンタクトホール内、且つ、前記配線導体膜の表面に形成され、前記保護膜より厚く、側面を有する外部電極と、
前記保護膜の表面に被覆される第1レジスト膜および第2レジスト膜と、
を備え、
前記第1レジスト膜は、前記外部電極の前記側面の全周に沿って接し、
前記第2レジスト膜は、前記外部電極の前記側面および前記第1レジスト膜から離間して配置されることを特徴とする。

[0010] この構成では、外部電極の側面および第1レジスト膜と第2レジスト膜との間に形成された離間部内に配線導体膜が露出しないため、この離間部から導電性接合材や水分、フラックス等が浸入したとしても、配線導体膜と導電性接合材との反応等は抑制される。

- [0011] また、この構成では、外部電極の側面の全周に沿って接する第1レジスト膜を備えるため、外部電極の側面と保護膜との界面からの導電性接合材や水分、フラックス等の浸入が抑制される。
- [0012] (2) 上記(1)において、前記第1レジスト膜は熱硬化性樹脂であることが好ましい。この構成により、第1レジスト膜はキュアした際に収縮するため、硬化したループ状の第1レジスト膜には内側に向かって締まるような応力が発生する。したがって、保護膜の表面に被覆される第1レジスト膜が、外部電極の側面を締め付けるため、外部電極の側面と保護膜との界面からの導電性接合材や水分、フラックス等の浸入が抑制される。
- [0013] また、この構成により、硬化した第2レジスト膜には外部電極から外側に向かう応力が発生するが、第2レジスト膜は第1レジスト膜と離間して配置されているため、外部電極と第1レジスト膜との間の隙間の発生がさらに抑制される。
- [0014] (3) 上記(1)または(2)において、前記外部電極は、前記側面の全周に沿って形成される底部を有し、前記第1レジスト膜は、平面視で前記底部に重なることが好ましい。この構成により、硬化したループ状の第1レジスト膜が、外部電極の底面から表面に向かって脱落することを抑制できる。
- [0015] (4) 上記(3)において、前記外部電極は、底面から表面に向かって前記側面が逆テーパ状に形成されていてもよい。
- [0016] (5) 上記(1)から(4)のいずれかにおいて、前記配線導体膜は銅を主成分とする金属膜であり、前記保護膜はチタンを主成分とする金属膜であり、前記外部電極はニッケルを主成分とする金属であってもよい。
- [0017] (6) 本発明の薄膜素子の製造方法は、
基材の表面に配線導体膜を形成する第1工程と、
少なくとも前記配線導体膜の表面に、前記配線導体膜と重なる位置にコンタクトホールを有する保護膜を被覆する第2工程と、
前記コンタクトホール内、且つ、前記配線導体膜の表面に、側面の全周に沿って底部を有する外部電極を形成する第3工程と、

前記保護膜の表面にレジスト膜を被覆する第４工程と、

前記レジスト膜のうち、平面視で前記底部に重なる第１レジスト膜と、前記第１レジスト膜以外である第２レジスト膜とを離間する離間部を除去する第５工程と、

を備えることを特徴とする。

[0018] この製造方法により、配線導体膜のはんだ食われや腐食等を抑制した、信頼性の高い外部電極を有する薄膜素子を容易に製造できる。

[0019] (７) 上記(６)において、前記第５工程は、前記レジスト膜はポジ型感光性レジスト膜であり、前記離間部をフォトリソグラフィにより除去し、前記外部電極の前記底部をフォトマスクにして露光する工程を含むことが好ましい。この製造方法により、外部電極の側面の全周に沿って接する第１レジスト膜を容易に形成できる。

[0020] (８) 上記(６)または(７)において、前記第５工程の後に、前記外部電極の表面にはんだをプリコートする工程をさらに有していてもよい。

発明の効果

[0021] 本発明によれば、レジスト層と外部電極との間に所定のクリアランスを設ける構造において、配線導体膜のはんだ食われや腐食等を抑制した、信頼性の高い外部電極を有する薄膜素子を実現できる。

図面の簡単な説明

[0022] [図１]図１は第１の実施形態に係る薄膜素子１０１の外部電極４の構成を示す平面詳細図である。

[図２]図２は、図１におけるＡ－Ａ断面図である。

[図３]図３は薄膜素子１０１の外部電極４の実際の様子を示す断面図である。

[図４]図４（Ａ）は、比較例として、保護膜および第１レジスト膜を備えていない薄膜素子１００Ａの外部電極４の構成を示す断面詳細図であり、図４（Ｂ）は、第１レジスト膜を備えていない薄膜素子１００Ｂの外部電極４の構成を示す断面詳細図である。

[図５]図５は、薄膜素子１０１の製造工程を順に示す断面図である。

[図6]図6は、第2の実施形態に係る薄膜素子102の外部電極4の構成を示す断面詳細図である。

発明を実施するための形態

[0023] 以降、図を参照して幾つかの具体的な例を挙げて、本発明を実施するための複数の形態を示す。各図中には同一箇所に同一符号を付している。要点の説明または理解の容易性を考慮して、便宜上実施形態を分けて示すが、異なる実施形態で示した構成の部分的な置換または組み合わせが可能である。第2の実施形態以降では第1の実施形態と共通の事柄についての記述を省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については実施形態毎には逐次言及しない。

[0024] 《第1の実施形態》

図1は第1の実施形態に係る薄膜素子101の外部電極4の構成を示す平面詳細図である。図2は、図1におけるA-A断面図である。図3は薄膜素子101の外部電極4の実際の様子を示す断面図である。図2において、各部の厚みは誇張して図示している。以降の各実施形態における断面図についても同様である。薄膜素子101は、例えばキャパシタ等の受動素子やLC複合電子部品、半導体集積回路素子、ESD保護素子等の薄膜デバイス（Thin-Film Device）である。

[0025] 薄膜素子101は、基材1、配線導体膜2、保護膜3、外部電極4、導電性接合材5、第1レジスト膜11、第2レジスト膜12を備える。

[0026] 基材1は表面が平面状の絶縁性平板である。基材1の表面には配線導体膜2が形成されている。基材1は例えば受動素子やLC複合電子部品、集積回路素子、ESD保護素子等を構成するためのベース材であり、例えばSi基板やガラス基板である。なお、基材1と配線導体膜2との間には、他の絶縁層や配線導体層が設けられていてもよい。

[0027] 配線導体膜2の表面には保護膜3が被覆されている。保護膜3は、図2に示すように、Z方向から視て（平面視で）配線導体膜2と重なる位置にコンタクトホールCH1を有する。すなわち、保護膜3には、Z方向から視て、

配線導体膜 2 が形成されている位置にコンタクトホール C H 1 が形成されている。コンタクトホール C H 1 は保護膜 3 に形成される開口であり、配線導体膜 2 の表面に保護膜 3 が被覆されることにより、コンタクトホール C H 1 から配線導体膜 2 が露出する。配線導体膜 2 は例えば C u 膜である。保護膜 3 は例えば T i を主成分とする金属膜である。

[0028] 外部電極 4 は平面形状が円形の金属めっき膜であり、第 1 電極層 4 1 および第 2 電極層 4 2 を有する。第 1 電極層 4 1 は配線導体膜 2 の表面に形成され、第 2 電極層 4 2 は第 1 電極層 4 1 の表面に形成されている。外部電極 4 は例えば N i を主成分とする金属めっき膜である。第 1 電極層 4 1 は例えば N i めっき膜であり、第 2 電極層 4 2 は例えば A u めっき膜である。

[0029] 外部電極 4 は、コンタクトホール C H 1 から露出する配線導体膜 2 の表面に形成される。すなわち、外部電極 4 はコンタクトホール C H 1 内、且つ、配線導体膜 2 の表面に形成される。図 1 に示すように、外部電極 4 は保護膜 3 より厚く、側面 S 1 を有する。図 1 に示すように、外部電極 4 は底面から表面に向かって側面 S 1 が逆テーパ状に形成される。そのため、外部電極 4 は側面 S 1 に底部 6 を有する。底部 6 は外部電極 4 の側面 S 1 の全周に沿って形成される。なお、本発明における「底部」とは、Z 方向から視て（平面視で）、外部電極 4 の底面（基部）よりもはみ出した部分全体をいう。

[0030] 外部電極 4 の表面には導電性接合材 5 が形成されている。導電性接合材 5 は、例えば外部電極 4 の表面にプリコートされたはんだである。なお、導電性接合材 5 は、フラックス等で外部電極 4 の表面に仮固定されたはんだボールであってもよい。

[0031] 第 1 レジスト膜 1 1 は保護膜 3 の表面に被覆される熱硬化性樹脂であり、外部電極 4 の側面 S 1 の全周に沿って接している。そのため、本実施形態に係る第 1 レジスト膜 1 1 は、外部電極 4 と保護膜 3 との界面を覆うようなループ状（環状、リング状。但し、部分的に切れた形状であってもよい。）である。第 1 レジスト膜 1 1 は、Z 方向から視て、全体が外部電極 4 の底部 6 内に収まる。したがって、第 1 レジスト膜 1 1 は、Z 方向から視て、外部電

極 4 で覆われている（外部電極 4 に重なっている）。第 1 レジスト膜 1 1 は例えばポジ型感光性のソルダーレジスト膜である。

[0032] 第 2 レジスト膜 1 2 は保護膜 3 の表面に被覆される熱硬化性樹脂であり、第 1 レジスト膜 1 1 と同じ樹脂で構成され、外部電極 4 の側面 S 1 および第 1 レジスト膜 1 1 から離間して配置される。したがって、外部電極 4 の側面 S 1 および第 1 レジスト膜 1 1 と第 2 レジスト膜 1 2 との間には、図 2 等に表示するように、離間部 3 1（クリアランス）が形成されている。第 2 レジスト膜 1 2 は例えばポジ型感光性のソルダーレジスト膜である。第 1 レジスト膜 1 1 および第 2 レジスト膜は同一のレジスト膜をパターニングしたものであるが、第 1 レジスト膜 1 1 の高さ寸法は第 2 レジスト膜の高さ寸法よりも小さい。

[0033] 次に、保護膜 3 および第 1 レジスト膜 1 1 を備えることの利点について、図を参照して説明する。図 4（A）は、比較例として、保護膜および第 1 レジスト膜を備えていない薄膜素子 1 0 0 A の外部電極 4 の構成を示す断面詳細図であり、図 4（B）は、第 1 レジスト膜を備えていない薄膜素子 1 0 0 B の外部電極 4 の構成を示す断面詳細図である。

[0034] 図 4（A）に示すように、外部電極 4 と第 2 レジスト層との間には離間部 3 1 が形成されている。そのため、この離間部 3 1 から外部電極 4 に沿って導電性接合材 5 が浸入することがあり、離間部 3 1 内に露出する配線導体膜 2 と導電性接合材 5 とが接触して反応（はんだ食われ等）し、抵抗値の増大や、配線導体膜 2 が断線する虞がある。また、上記離間部 3 1 から水分やフラックス等が浸入し、上記離間部 3 1 内に露出する配線導体膜 2 が腐食する虞もある。

[0035] また、図 4（B）に示すように、配線導体膜 2 の表面に保護膜 3 が被覆されている場合には、この離間部 3 1 から導電性接合材 5 が浸入しても、離間部 3 1 内に配線導体膜 2 が露出していないため、配線導体膜 2 と導電性接合材 5 との反応は抑制される。しかし、外部電極 4 の側面と保護膜 3 との界面 5 0 は物理的に隣接・接触しているだけであり、化学的に結合してはいない

。そのため、導電性接合材 5 や水分、フラックス等がこの界面 5 0 から浸入し、配線導体膜 2 と導電性接合材 5 とが反応したり、配線導体膜 2 が腐食する虞がある。

[0036] 一方、本実施形態では、保護膜 3 が配線導体膜 2 の表面に被覆される。また、本実施形態では、第 1 レジスト膜 1 1 が、保護膜 3 の表面に被覆されるループ状の熱硬化性樹脂であり、外部電極 4 の側面 S 1 の全周に沿って接している。この構成では、離間部 3 1 内で配線導体膜 2 が露出しないため、この離間部 3 1 から導電性接合材 5 や水分、フラックス等が浸入したとしても、配線導体膜 2 と導電性接合材 5 との反応等は抑制される。また、薄膜素子 1 0 1 は、外部電極 4 の側面 S 1 の全周に沿って接する第 1 レジスト膜 1 1 を備えるため、外部電極 4 の側面と保護膜 3 との界面 5 0 からの導電性接合材や水分、フラックス等の浸入が抑制される。

[0037] さらに、第 1 レジスト膜 1 1 はキュアした際に収縮するため、硬化したループ状の第 1 レジスト膜 1 1 には内側に向かって締まるような応力が発生する（図 1 中の中抜き矢印を参照）。したがって、保護膜 3 の表面に被覆される第 1 レジスト膜 1 1 が、外部電極 4 の側面 S 1 を締め付けるため、外部電極 4 の側面と保護膜 3 との界面 5 0 からの導電性接合材や水分、フラックス等の浸入がさらに抑制される。

[0038] また、本実施形態では、第 2 レジスト膜 1 2 が第 1 レジスト膜 1 1 と離間して配置され、第 1 レジスト膜 1 1 と第 2 レジスト層との間に離間部 3 1 が形成されている。もし離間部 3 1 が設けられていない場合、レジスト膜には外部電極 4 との界面から外側に向かう応力が発生するため、外部電極 4 の側面とレジスト膜との間に隙間が生じ、この隙間から導電性接合材や水分、フラックス等が浸入する虞がある。一方、本実施形態では、硬化した第 2 レジスト膜 1 2 には外部電極 4 から外側に向かう応力が発生するが（図 1 中の矢印を参照）、第 2 レジスト膜 1 2 は第 1 レジスト膜 1 1 と離間して配置されているため、外部電極 4 とレジスト膜との間の隙間の発生がさらに抑制される。

- [0039] また、本実施形態の外部電極4は、側面S1の全周に沿って形成される底部6を有し、第1レジスト膜11が、Z方向から視て底部6に重なっている。この構成により、硬化したループ状の第1レジスト膜11が、外部電極4の底面から表面に向かって脱落することを抑制できる。
- [0040] 上記薄膜素子101は例えば次の工程で製造される。図5は、薄膜素子101の製造工程を順に示す断面図である。
- [0041] まず、図5中の(1)に示すように、集合基板状態の基材1を用意し、基材1の表面に、イオンスパッタリング等によって約 $1\mu\text{m}$ の配線導体膜2を形成する。基材1は例えば受動素子やLC複合電子部品、集積回路素子、ESD保護素子等のSi基板等であり、配線導体膜2は例えばCu等の金属膜である。基材1の表面に配線導体膜2を形成するこの工程が、本発明における「第1工程」に相当する。
- [0042] 次に、配線導体膜2の表面に、イオンスパッタリング等によって約 $0.1\mu\text{m}$ の保護膜3を連続形成する。保護膜3は例えばTi等を主成分とする金属膜である。その後、スピコートによって保護膜3の全面に約 $5\mu\text{m}$ のポジ型感光性のレジスト膜を形成し、露光してパターンニングする。この工程により、底面から表面に向かってテーパ状のレジスト膜51が形成される。さらに、レジスト膜51をマスクとしてエッチングを行い、保護膜3の配線導体膜2と重なる位置にコンタクトホールCH1を形成する。この工程により、コンタクトホールCH1から配線導体膜2が露出する。配線導体膜2の表面に保護膜3を形成し、保護膜3の配線導体膜2と重なる位置にコンタクトホールCH1を形成するこの工程が、本発明における「第2工程」に相当する。
- [0043] 次に図5中の(2)に示すように、コンタクトホールCH1に露出する配線導体膜2の表面に、外部電極4を形成する。具体的には、コンタクトホールCH1内、且つ、配線導体膜2の表面に、電解めっき法によって、約 $3\mu\text{m}$ の第1電極層41および約 $0.1\mu\text{m}$ の第2電極層42を連続形成する。第1電極層41は例えばNiを主成分とする金属めっき膜であり、第2電極

層42はAuを主成分とする金属めっき膜である。

[0044] 外部電極4の金属めっき膜は、底面から表面に向かってテーパ状のレジスト膜51に沿って成長する。そのため、外部電極4は、底面から表面に向かって側面が逆テーパ状に形成され、その側面の全周に沿って底部6が形成される。コンタクトホールCH1内、且つ、配線導体膜2の表面に、側面の全周に沿って底部6を有する外部電極4を形成するこの工程が、本発明における「第3工程」に相当する。

[0045] 次に図5中の(4)に示すように、レジスト膜51をアッシングにより取り除いた後、スピコートによって保護膜3および外部電極4の表面に約5 μ mのレジスト膜10を形成する。レジスト膜10は例えばポジ型感光性のソルダーレジスト膜である。なお、レジスト膜51はウェット処理で剥離装置にかけて取り除いてもよい。保護膜3の表面にレジスト膜10を形成するこの工程が、本発明における「第4工程」に相当する。

[0046] 次に図5中の(5)(6)に示すように、レジスト膜10のうち、平面視で底部6に重なる部分(第1レジスト膜11)と、それ以外の部分(第2レジスト膜12)とを離間する離間部31をフォトリソグラフィにより除去する。具体的には、レジスト膜10のうち、除去したくない部分にフォトリソマスク61を被せて、光線L1で露光する。このとき、外部電極4の底部6がフォトリソマスクとなり、平面視で底部6に重なる部分は露光されないため、現像して洗浄(リンス)した後、第1レジスト膜11と第2レジスト膜12とを離間する離間部31が除去される。光線L1は例えば紫外線(UV光)である。

[0047] レジスト膜10のうち、平面視で底部6に重なる第1レジスト膜11と、第2レジスト膜12とを離間する離間部31を除去するこの工程が、本発明における「第5工程」に相当する。そして、この第5工程は外部電極4の底部6をフォトリソマスクにして露光する工程を含む。

[0048] 上記第5工程の後に、外部電極4の表面に導電性接合材5をプリコートする。導電性接合材5は例えばはんだである。なお、導電性接合材5ははんだ

ペーストをスクリーン印刷した後、リフロープロセスによって形成してもよい。また、外部電極４の表面にフラックス等を塗付して、はんだボールをマウントして仮固定した後、リフロープロセスによって形成してもよい。さらに、導電性接合材５は、外部電極４の表面にフラックス等を塗付して、はんだボールを仮固定した状態であってもよい。

[0049] 上記製造方法により、配線導体膜２のはんだ食われや腐食等を抑制した、信頼性の高い外部電極４を有する薄膜素子１０１を容易に製造できる。

[0050] また、上記製造方法では、レジスト膜１０がポジ型感光性レジスト膜であり、外部電極４の底部６がフォトリソマスクとなるため、外部電極４の側面の全周に沿って接する第１レジスト膜１１を容易に形成できる。

[0051] 《第２の実施形態》

第２の実施形態では、外部電極４および第１レジスト膜１１の形状が第１の実施形態とは異なる例を示す。

[0052] 図６は、第２の実施形態に係る薄膜素子１０２の外部電極４の構成を示す断面詳細図である。

[0053] 本実施形態に係る外部電極４は、図６に示すように、ネジ頭のように側面上部が突出した形状である。このような構造であっても、外部電極４は側面の全周に沿って形成される底部６を有する。また、第１レジスト膜１１は外部電極４の側面の全周に沿って接しており、Ｚ方向から視て、全体が外部電極４の底部６内に収まる。

[0054] 《その他の実施形態》

なお、上述の実施形態では、外部電極４の平面形状が円形である例を示したが、これ限定されるものではない。外部電極４の平面形状は、正方形、矩形、多角形、楕円形等、適宜変更可能である。

[0055] また、底部６は、外部電極４の側面上部に形成されるものに限定されるものではない。底部６は、Ｚ方向から視て、外部電極４の底面（基部）からはみ出した部分であればよく、外部電極４の底面以外に形成されていればよい。すなわち、底部６は、外部電極４の側面中央部等に形成されていてもよい。

。

[0056] また、配線導体膜 2 は基材 1 の表面全体に形成されるものに限定されるものではなく、基材 1 の表面の一部にのみ形成されていてもよい。また、保護膜 3 は少なくとも配線導体膜 2 の表面に形成されていればよく、基材 1 の表面に形成されていてもよい。

[0057] なお、上述の実施形態では、基材 1 の表面が平面状である例を示したが、これに限定されるものではない。基材 1 の表面は、曲面であってもよく、基材 1 の表面に段差があってもよい。

符号の説明

[0058] C H 1 …コンタクトホール

L 1 …光線

S 1 …外部電極の側面

1 …基材

2 …配線導体膜

3 …保護膜

4 …外部電極

5 …導電性接合材

6 …底部

1 0 …レジスト膜

1 1 …第 1 レジスト膜

1 2 …第 2 レジスト膜

3 1 …離間部

4 1 …第 1 電極層

4 2 …第 2 電極層

5 0 …界面

5 1 …レジスト膜

6 1 …フォトマスク

1 0 0 A, 1 0 0 B, 1 0 1, 1 0 2 …薄膜素子

請求の範囲

- [請求項1] 基材と、
 前記基材の表面に形成される配線導体膜と、
 少なくとも前記配線導体膜の表面に被覆され、平面視で前記配線導体膜と重なる位置にコンタクトホールを有する保護膜と、
 前記コンタクトホール内、且つ、前記配線導体膜の表面に形成され、前記保護膜より厚く、側面を有する外部電極と、
 前記保護膜の表面に被覆される第1レジスト膜および第2レジスト膜と、
 を備え、
 前記第1レジスト膜は、前記外部電極の前記側面の全周に沿って接し、
 前記第2レジスト膜は、前記外部電極の前記側面および前記第1レジスト膜から離間して配置される、薄膜素子。
- [請求項2] 前記第1レジスト膜は熱硬化性樹脂である、請求項1に記載の薄膜素子。
- [請求項3] 前記外部電極は、前記側面の全周に沿って形成される底部を有し、
 前記第1レジスト膜は、平面視で前記底部に重なる、請求項1または2に記載の薄膜素子。
- [請求項4] 前記外部電極は、底面から表面に向かって前記側面が逆テーパ状に形成される、請求項3に記載の薄膜素子。
- [請求項5] 前記配線導体膜は銅を主成分とする金属膜であり、
 前記保護膜はチタンを主成分とする金属膜であり、
 前記外部電極はニッケルを主成分とする金属である、請求項1から4のいずれかに記載の薄膜素子。
- [請求項6] 基材の表面に配線導体膜を形成する第1工程と、
 少なくとも前記配線導体膜の表面に、前記配線導体膜と重なる位置にコンタクトホールを有する保護膜を被覆する第2工程と、

前記コンタクトホール内、且つ、前記配線導体膜の表面に、側面の全周に沿って底部を有する外部電極を形成する第3工程と、

前記保護膜の表面にレジスト膜を被覆する第4工程と、

前記レジスト膜のうち、平面視で前記底部に重なる第1レジスト膜と、前記第1レジスト膜以外である第2レジスト膜とを離間する離間部を除去する第5工程と、

を備える、薄膜素子の製造方法。

[請求項7] 前記第5工程は、

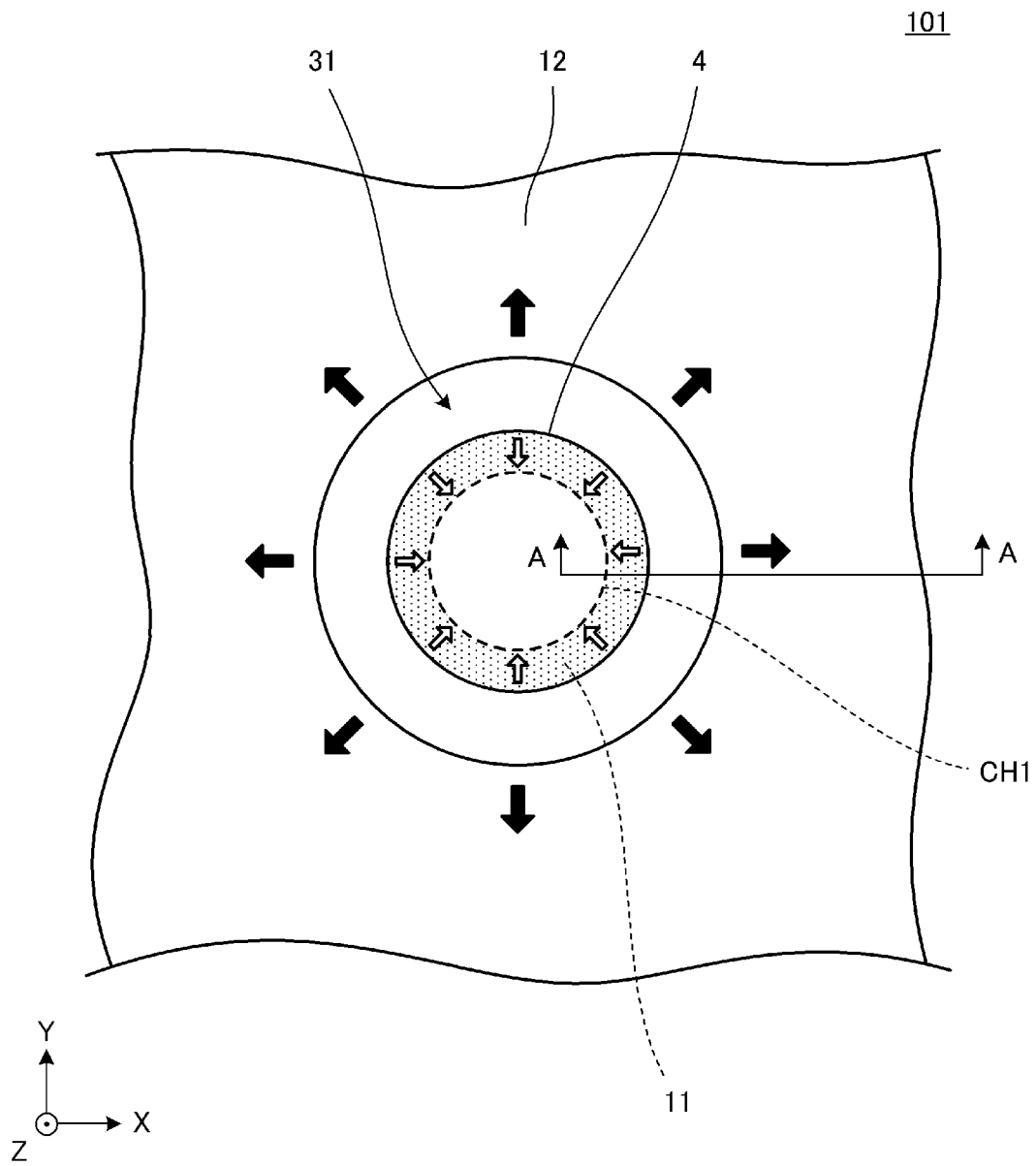
前記レジスト膜はポジ型感光性レジスト膜であり、前記離間部をフォトリソグラフィにより除去し、

前記外部電極の前記底部をフォトマスクにして露光する工程を含む、請求項6に記載の薄膜素子の製造方法。

[請求項8] 前記第5工程の後に、前記外部電極の表面にはんだをプリコートする工程をさらに有する、請求項6または7に記載の薄膜素子の製造方法。

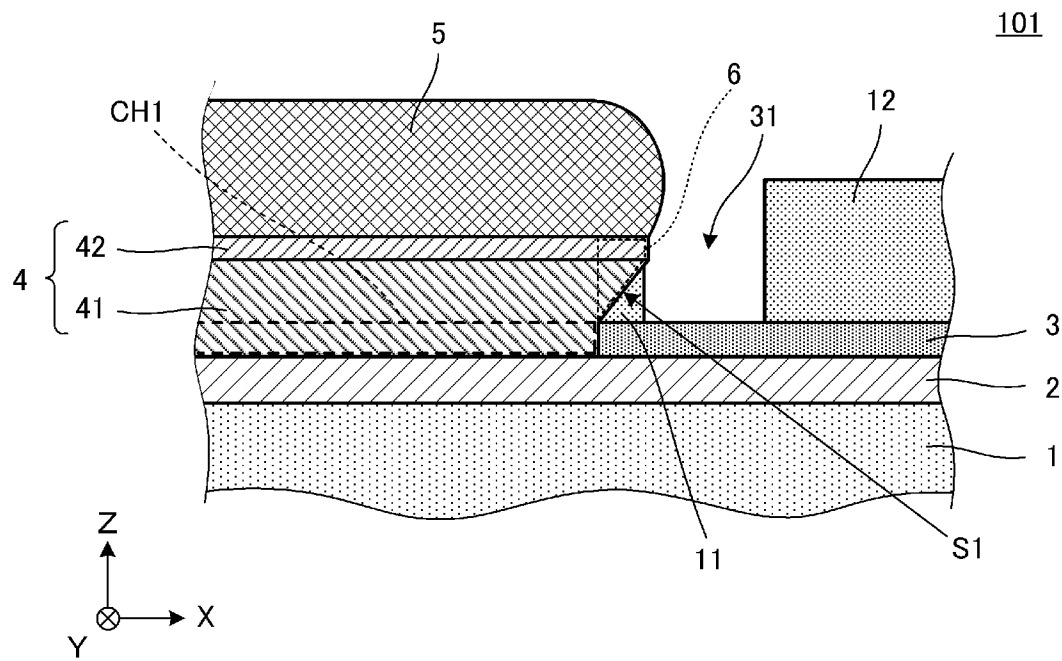
[図1]

図1



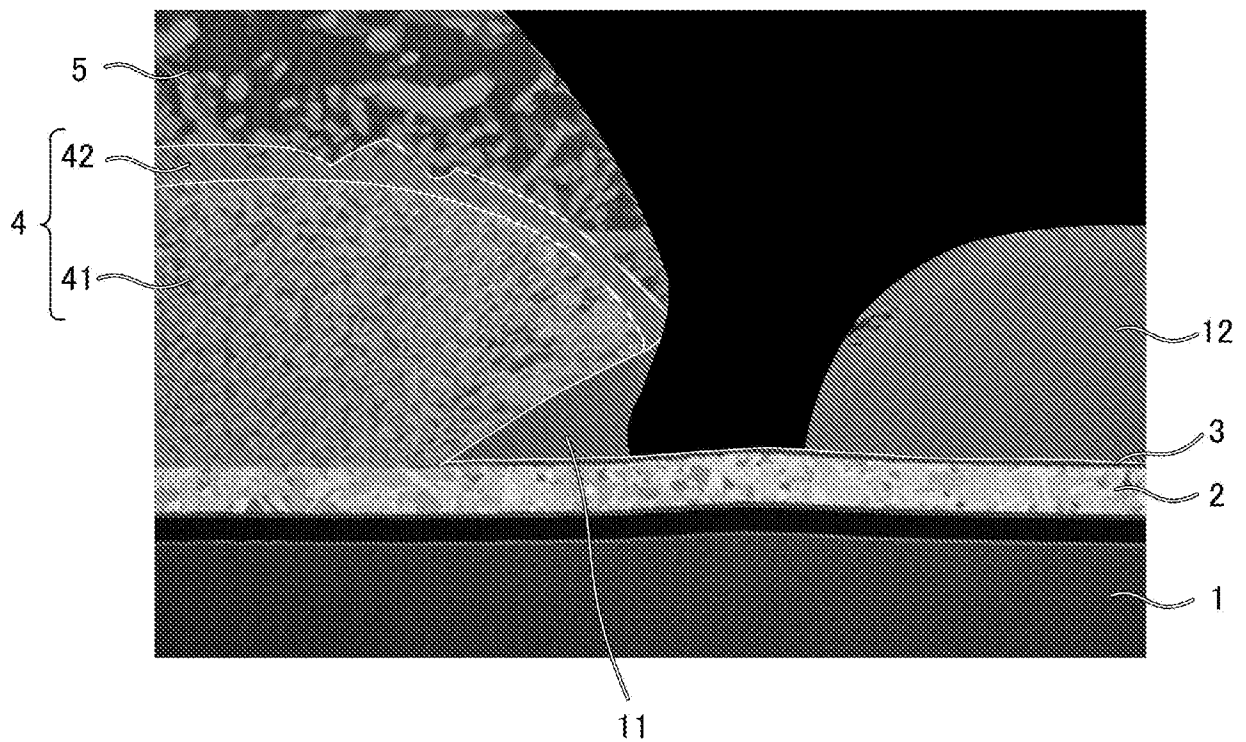
[図2]

図2



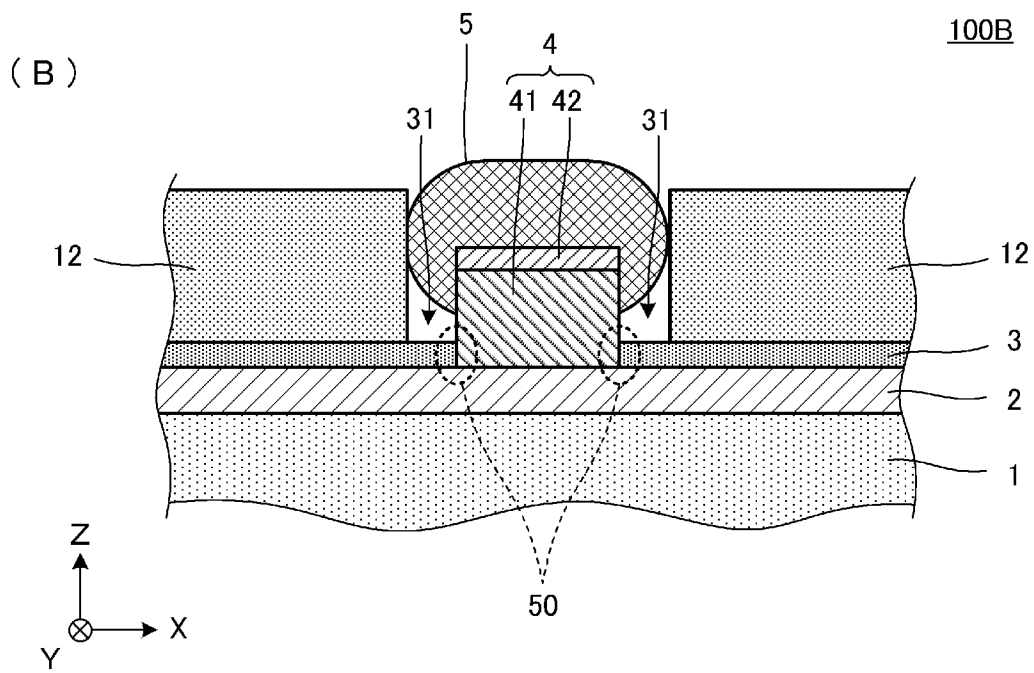
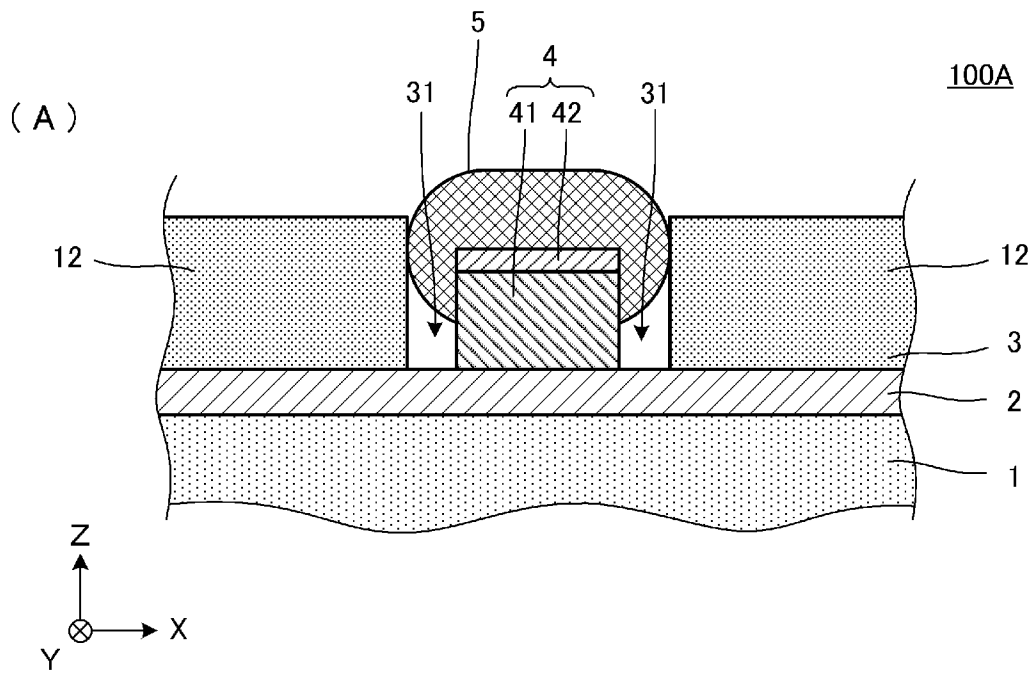
[図3]

図3



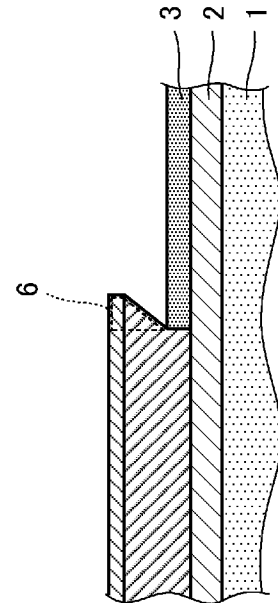
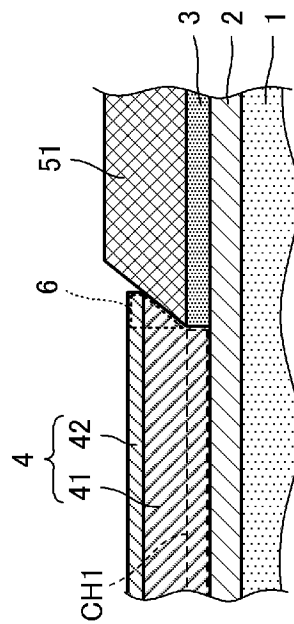
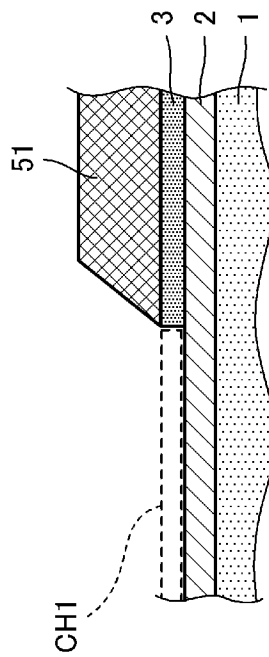
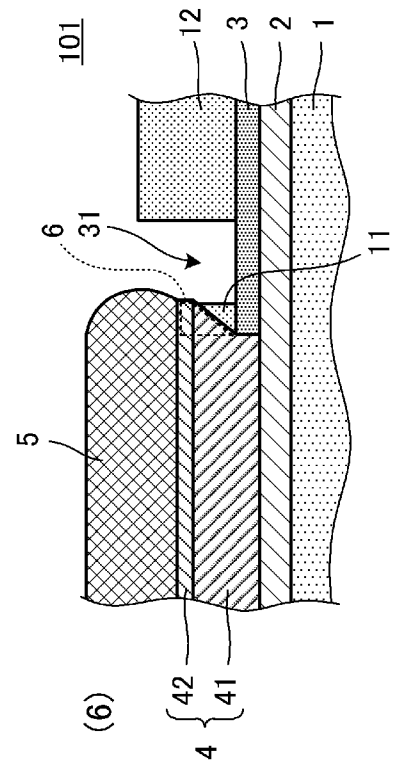
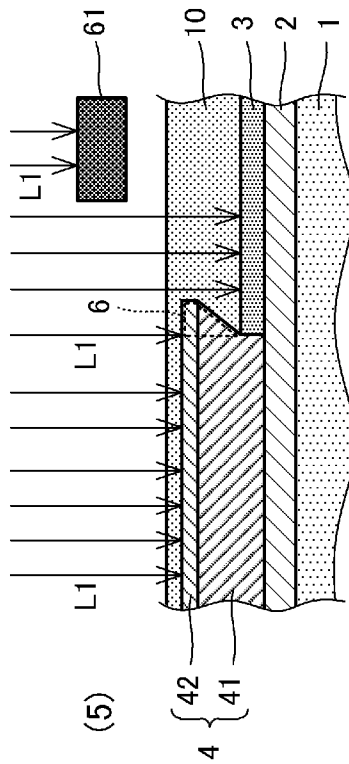
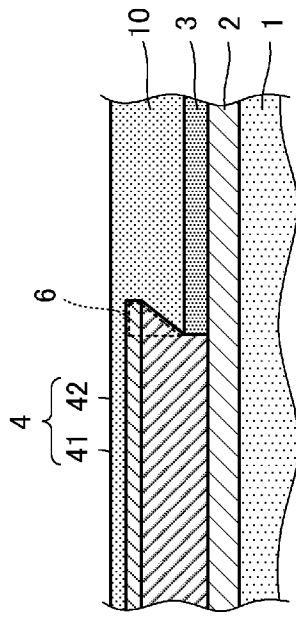
[図4]

図4



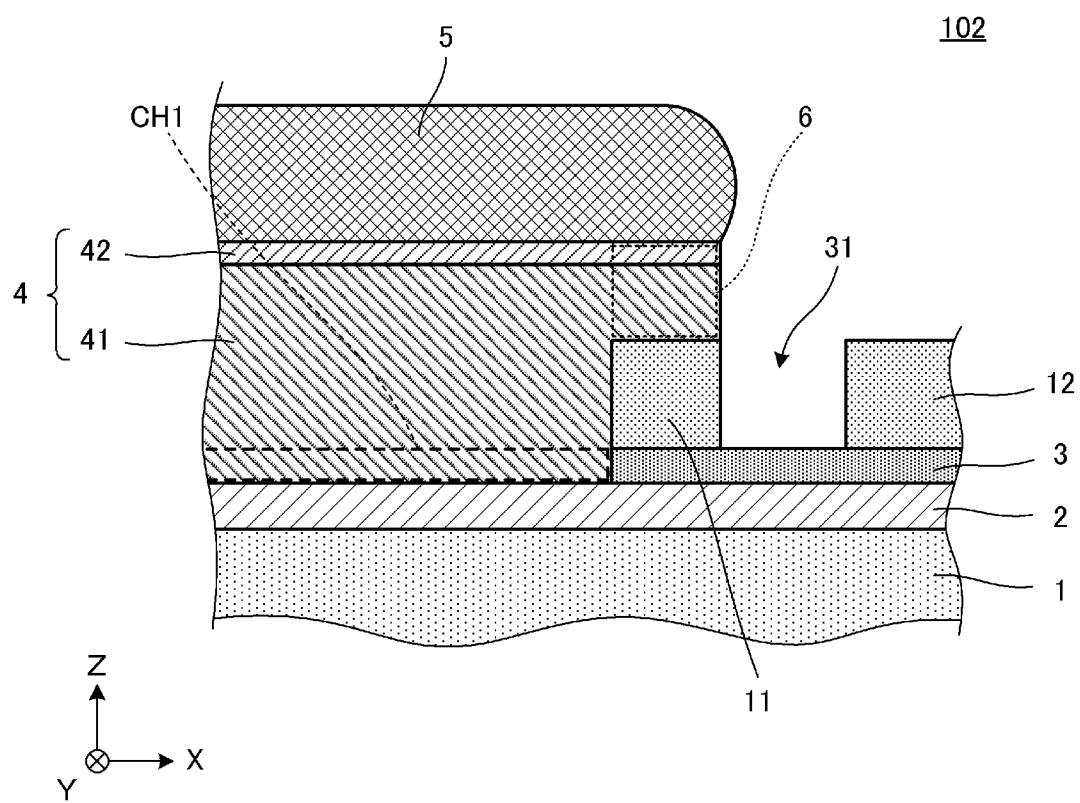
【図5】

图5



[図6]

図6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/080467

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/60(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2010-267641 A (Panasonic Corp.), 25 November 2010 (25.11.2010), paragraph [0029]; fig. 14 & WO 2010/131388 A1	1-2, 5 3-4, 6-8
A	JP 2003-124389 A (Fujikura Ltd.), 25 April 2003 (25.04.2003), paragraphs [0010], [0012], [0020]; fig. 1, 2 (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 December 2016 (21.12.16)

Date of mailing of the international search report
10 January 2017 (10.01.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/60(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2010-267641 A（パナソニック株式会社）2010.11.25, 段落 [0029]、図14 & WO 2010/131388 A1	1-2, 5 3-4, 6-8
A	JP 2003-124389 A（株式会社フジクラ）2003.04.25, 段落[0010]、 [0012]、[0020]、図1、図2（ファミリーなし）	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

21.12.2016

国際調査報告の発送日

10.01.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

堀江 義隆

50

9172

電話番号 03-3581-1101 内線 3559