

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3734853号
(P3734853)

(45) 発行日 平成18年1月11日(2006.1.11)

(24) 登録日 平成17年10月28日(2005.10.28)

(51) Int. Cl. F I
G 1 1 C 29/06 (2006.01) G 1 1 C 29/00 6 7 1 F
G 1 1 C 11/413 (2006.01) G 1 1 C 11/34 3 4 1 D

請求項の数 3 (全 36 頁)

<p>(21) 出願番号 特願平7-160394 (22) 出願日 平成7年6月27日(1995.6.27) (65) 公開番号 特開平9-17198 (43) 公開日 平成9年1月17日(1997.1.17) 審査請求日 平成14年6月7日(2002.6.7)</p> <p>前置審査</p>	<p>(73) 特許権者 503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号</p> <p>(74) 代理人 100064746 弁理士 深見 久郎</p> <p>(74) 代理人 100085132 弁理士 森田 俊雄</p> <p>(74) 代理人 100083703 弁理士 仲村 義平</p> <p>(74) 代理人 100096781 弁理士 堀井 豊</p> <p>(74) 代理人 100098316 弁理士 野田 久登</p> <p>(74) 代理人 100109162 弁理士 酒井 将行</p> <p style="text-align: right;">最終頁に続く</p>
---	--

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

通常モードおよびテストモードを有する半導体記憶装置であって、
 複数のワード線、前記ワード線と交差する複数のビット線、前記ワード線および前記ビット線の交点に対応して設けられ、各々が対応するワード線およびビット線に接続される複数のメモリセル、前記ワード線に対応して設けられ、各々が対応するワード線を駆動する複数の駆動手段、および前記通常モードでは外部から与えられる行アドレス信号にตอบสนองして前記駆動手段の1つを選択的に活性化するとともに、前記テストモードでは所定のマルチセクション信号にตอบสนองして前記駆動手段の2つ以上を活性化する活性化手段、

前記ビット線に供給するプリチャージ電位を発生するプリチャージ電位発生手段、および前記マルチセクション信号の不活性時に前記プリチャージ電位発生手段からの前記プリチャージ電位を前記ビット線に供給するとともに、前記マルチセクション信号の活性時に外部から与えられる制御信号のレベルにตอบสนองして、電源電位と接地電位とを切り替え前記ビット線に供給する第1の電位供給回路を備えた半導体記憶装置。

【請求項2】

前記メモリセルのセルプレートに供給するセルプレート電位を発生するセルプレート電位発生手段、および前記マルチセクション信号の不活性時に前記セルプレート電位発生手段からの前記セルプレート電位を前記メモリセルのセルプレートに供給するとともに、前記マルチセクション信号の活性時に前記制御信号にตอบสนองして前記ビット線に与えられる電位が電源電位の場合は接地電位を、接地電位の場合は電源電位を前記メモリセルのセ

10

20

ルプレートに供給する第2の電位供給手段をさらに備えた請求項1に記載の半導体記憶装置。

【請求項3】

通常モードおよびテストモードを有する半導体記憶装置であって、

複数のワード線、前記ワード線と交差する複数のビット線、前記ワード線および前記ビット線の交点に対応して設けられ、各々が対応するワード線およびビット線に接続される複数のメモリセル、前記ワード線に対応して設けられ、各々が対応するワード線を駆動する複数の駆動手段、および前記通常モードでは外部から与えられる行アドレス信号にตอบสนองして前記駆動手段の1つを選択的に活性化するとともに、前記テストモードでは所定のマルチセクション信号にตอบสนองして前記駆動手段の2つ以上を活性化する活性化手段、

10

前記メモリセルのセルプレートに供給するセルプレート電位を発生するセルプレート電位発生手段、および前記マルチセクション信号の不活性時に前記セルプレート電位発生手段からの前記セルプレート電位を前記メモリセルのセルプレートに供給するとともに、前記マルチセクション信号の活性時に外部から与えられる制御信号のレベルにตอบสนองして、電源電位と接地電位とを切り替え前記メモリセルのセルプレートに供給する第2の電位供給回路を備えた半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は、半導体記憶装置および半導体集積回路装置用半製品に関し、さらに詳しくは、バーンインのような加速試験の可能な半導体記憶装置、およびそのような試験がダイシング前のウエハ状態で可能な半導体集積回路装置用半製品に関する。

20

【0002】

【従来の技術】

図39は、ダイナミックランダムアクセスメモリ装置（以下「DRAM」という）において現在広く使用されているメモリセルおよび行デコーダの構成を簡略的に示すブロック図である。図39を参照して、メモリセル111はアクセストランジスタ112およびセルキャパシタ113を含み、対応するワード線WLおよびビット線BLに接続される。行アドレス信号にตอบสนองして1つのワード線を選択するための行デコーダは、行プリデコーダ121a、プリデコード信号線122および複数のワードドライバを含む。各ワード線WL 30 に対応して1つのワードドライバが設けられる。図39では1つのワードドライバWDのみが代表的に示される。行プリデコーダ121aは行アドレス信号RA1～RA4とその相補的な行アドレス信号/R A 1～/ R A 4をプリデコードすることによりプリデコード信号X1～X8を生成し、それらのプリデコード信号X1～X8をプリデコード信号線122に供給する。各ワードドライバはプリデコード信号X1～X4のうち1つとプリデコード信号X5～X8のうち1つとにตอบสนองして活性化される。ワードドライバが活性化されると、その対応するワード線に電源電位よりも高い昇圧電位VPPが供給される。

【0003】

ワードドライバWDは、プリチャージノードNXおよび接地ノードの間に直列に接続されたNチャンネルMOSトランジスタ124および125と、昇圧電位VPPが供給される昇圧ノードおよびプリチャージノードNXの間に並列に接続されたPチャンネルMOSトランジスタ126および127と、CMOSインバータを構成するPチャンネルMOSトランジスタ128およびNチャンネルMOSトランジスタ129とを備える。DRAM（チップ）が非活性の間、L（論理ロー）レベルのプリチャージ信号PRがトランジスタ126のゲート電極に与えられる。これによりプリチャージノードNXはH（論理ハイ）レベルにプリチャージされる。したがって、チップの非活性中はすべてのワード線がLレベルに固定される。他方、チップが活性化されると、プリチャージ信号PRがLレベルからHレベルに立上がる。これによりトランジスタ126によるノードNXのプリチャージが停止される。しかし、ノードNXはHレベルのまま維持されるので、ワード線WLはLレベルのまま維持される。これは、ワード線WLの電位がトランジスタ127のゲート電極にフィー

40

50

ドバックされ、これによりトランジスタ127が継続してノードNXに電荷を供給するからである。したがって、ワード線WLを活性化するためにはノードNXの電荷を接地ノードに放電させなければならない。このワードドライバWDでは、プリデコード信号X1~X4のうち1つのプリデコード信号DECAがHレベルとなり、かつプリデコード信号X5~X8のうち1つのプリデコード信号DECBがHレベルとなると、トランジスタ124および125の両方がオンになる。これによりノードNXの電位はLレベルに下降し、トランジスタ128がオンになるとともにトランジスタ129がオフになる。そのため、ワード線WLが活性化され、その電位は昇圧電位VPPまで上昇する。

【0004】

図40は、図39中の行プリデコーダ121aの構成を示す回路図である。図40を参照して、この行プリデコーダ121aは、NORゲート1211~1218、インバータ1221a~1228aおよび1231~1238を備える。NORゲート1211~1214の各々は、行アドレス信号RA1およびその相補的な行アドレス信号/RA1のうち一方と行アドレス信号RA2およびその相補的な行アドレス信号/RA2のうち一方とを受け、NORゲート1215~1218の各々は、行アドレス信号RA3およびその相補的な行アドレス信号/RA3のうち一方と行アドレス信号RA4およびその相補的な行アドレス信号/RA4のうち一方とを受け、NORゲート1211~1218の各々の出力信号は2つのインバータを介してプリデコード信号としてワードドライバに供給される。たとえばNORゲート1211は行アドレス信号/RA1および/RA2を受け、2つのインバータ1221a~1231を介してプリデコード信号X1をワードドライバに供給する。したがって、行アドレス信号RA1, /RA1, RA2, /RA2の4通りの組合せに従ってプリデコード信号X1~X4のうち1つがHレベルになる。たとえば行アドレス信号/RA1および/RA2の両方がLレベルならばプリデコード信号X1がLレベルになる。また、行アドレス信号RA3, /RA3, RA4, /RA4の4通りの組合せに従ってプリデコード信号X5~X8のうち1つがHレベルになる。たとえば行アドレス信号/RA3および/RA4の両方がLレベルならばプリデコード信号X5がHレベルになる。

【0005】

このようなDRAMにおいてワード線WLおよびアクセストランジスタ112のストレス試験を行なうためには、ワード線WLに所定期間だけ昇圧電位VPPを供給する必要がある。しかし、メモリ容量の大規模化に伴ってその試験時間が長くなり、その結果、試験にかかるコストが上昇する傾向にある。たとえばメモリセルに加速ストレスを与えることにより信頼性試験を行なうバーンインと呼ばれる試験においては、メモリセルの数が増大するにつれてその試験時間が長くなるという問題がある。特に、アクセストランジスタ112におけるゲート酸化膜、およびセルキャパシタ113における誘電膜に対するストレス試験は極めて重要である。しかし、通常の動作では一度に活性化されるワード線の数nは予め定められている。したがって、すべてのワード線を試験するためにはN(ワード線の総数)/n回の試験を行なわなければならない。その結果、チップの高集積化に従って試験時間が長くなる傾向にある。

【0006】

このような試験時間を短縮する1つの手法として、同時に活性化されるワード線の数を増やす手法が考えられる。このような手法による試験が可能なDRAMの一例が図41に示される。この図41は、「IEDM93, DIGEST」の第639頁~第642頁中の図3と実質的に同じである。図41を参照して、このDRAMは、複数のワード線WLおよびそれらと交差するビット線(図示せず)を含むメモリセルアレイ11と、ワード線WLの1つを選択する行デコーダ12と、ビット線の1つを選択する列デコーダ13と、ワード線WLに対応して接続された複数のNチャンネルMOSトランジスタ1とを備える。行デコーダ12は、各々が対応するワード線WLを駆動する複数のワードドライバWDを含む。すべてのトランジスタ1は1つのマルチセクション信号MLTにตอบสนองしてオンになり、それにより昇圧テスト電位VSTがすべてのワード線WLに供給される。したがって

10

20

30

40

50

、バーンイン時にはすべてのワード線が活性化されるので、すべてのアクセストランジスタに同時にストレスをかけることが可能である。その結果、試験時間は短縮される。

【0007】

ところで、図42は、ダイシング前の半導体（シリコン）ウエハ70を示す。このシリコンウエハ70には複数の半導体チップ71が形成されている。図42のようなウエハ状態でバーンインなどの加速試験を行なう際には図43に示されるようなプローブカード2が用いられる。このプローブカード2には、ウエハ70に縦1列に並ぶチップ71（図42では3つ）に対応して開口部3が形成されている。この開口部3の周縁には3つのチップ71に対応して複数のプローブ4が設けられている。ウエハ状態でバーンイン試験を行なうためには、このプローブカード2がウエハ70上にセットされる。これによりプローブ4が3つのチップ71のパッド（図示せず）に接触する。したがって、テスト用の電源および信号はこれら3つのチップ71に同時に供給される。したがって、ウエハ70状態ですべてのチップ71を試験するためには、ウエハ70に対するプローブカード2のセッティング位置を5回変更しなければならない。

10

【0008】

【発明が解決しようとする課題】

図41に示されたDRAMでは昇圧テスト電位VSTがトランジスタ1を介してワード線WLに供給されるので、ワード線WLに電源電位よりも高い昇圧電位VPPを供給するためにはその昇圧テスト電位VSTを昇圧電位VPPよりもトランジスタ1のしきい電圧だけ高くしなければならない。そのため、本来ストレスをかけなければならないアクセストランジスタよりもマルチセクション信号MLTによって制御されるトランジスタ1に大きなストレスがかかる。その結果、これらのトランジスタ1が不良となる可能性がある。また、各ワード線WLに対応して1つのトランジスタ1を設ける必要があるので、チップの微細化に伴ってワード線WLのピッチが狭くなると、そのようなピッチでトランジスタを形成することは困難となる。その結果、これらのトランジスタ1が不良となる可能性がある。

20

【0009】

一方、図42のようなシリコンウエハ70を図43のようなプローブカード2を用いて試験するためには、ウエハ70に対するプローブカード2のセッティング位置を5回変更しなければならない。そのため、ウエハ70全体を試験するために長時間を要するという問題があった。

30

【0010】

この発明の1つの目的は、多数のワード線を同時に活性化することにより加速試験を行なうことができる簡単な構成の半導体記憶装置を提供することである。

【0011】

この発明のもう1つの目的は、ウエハ状態での加速試験を短時間で行なうことができる半導体集積回路装置用半製品を提供することである。

【0012】

【課題を解決するための手段】

請求項1に係る半導体記憶装置は、通常モードおよびテストモードを有する半導体記憶装置であって、複数のワード線、ワード線と交差する複数のビット線、ワード線およびビット線の交点に対応して設けられ、各々が対応するワード線およびビット線に接続される複数のメモリセル、ワード線に対応して設けられ、各々が対応するワード線を駆動する複数の駆動手段、および通常モードでは外部から与えられる行アドレス信号にตอบสนองして駆動手段の1つを選択的に活性化するとともに、テストモードでは所定のマルチセクション信号にตอบสนองして駆動手段の2つ以上を活性化する活性化手段、ビット線に供給するプリチャージ電位を発生するプリチャージ電位発生手段、およびマルチセクション信号の不活性時にプリチャージ電位発生手段からのプリチャージ電位をビット線に供給するとともに、マルチセクション信号の活性時に外部から与えられる制御信号のレベルにตอบสนองして、電源電位と接地電位とを切り替えビット線に供給する第1の電位供給回路を備える。

40

50

【 0 0 1 9 】

請求項 2 に係る半導体記憶装置は、請求項 1 の構成に加えて、メモリセルのセルプレートに供給するセルプレート電位を発生するセルプレート電位発生手段、およびマルチセクション信号の不活性時にセルプレート電位発生手段からのセルプレート電位をメモリセルのセルプレートに供給するとともに、マルチセクション信号の活性時に制御信号にตอบสนองしてビット線に与えられる電位が電源電位の場合は接地電位を、接地電位の場合は電源電位をメモリセルのセルプレートに供給する第 2 の電位供給手段をさらに備える。

【 0 0 2 1 】

請求項 3 に係る半導体記憶装置は、通常モードおよびテストモードを有する半導体記憶装置であって、複数のワード線、ワード線と交差する複数のビット線、ワード線およびビット線の交点に対応して設けられ、各々が対応するワード線およびビット線に接続される複数のメモリセル、ワード線に対応して設けられ、各々が対応するワード線を駆動する複数の駆動手段、および通常モードでは外部から与えられる行アドレス信号にตอบสนองして駆動手段の 1 つを選択的に活性化するとともに、テストモードでは所定のマルチセクション信号にตอบสนองして駆動手段の 2 つ以上を活性化する活性化手段、メモリセルのセルプレートに供給するセルプレート電位を発生するセルプレート電位発生手段、およびマルチセクション信号の不活性時にセルプレート電位発生手段からのセルプレート電位をメモリセルのセルプレートに供給するとともに、マルチセクション信号の活性時に外部から与えられる制御信号のレベルにตอบสนองして、電源電位と接地電位とを切り替えメモリセルのセルプレートに供給する第 2 の電位供給回路を備える。

【 0 0 3 6 】

【作用】

請求項 1 に係る半導体記憶装置においては、マルチセクション信号の不活性時にプリチャージ電位発生手段からのプリチャージ電位をビット線に供給するとともに、マルチセクション信号の活性時に外部から与えられる制御信号のレベルにตอบสนองして、電源電位と接地電位とを切り替えビット線に供給する。そのため、セルキャパシタに与えられるストレス電圧の極性が切り替えられ、セルキャパシタに A C ストレスを与えることができる。

【 0 0 4 3 】

請求項 2 に係る半導体記憶装置においては、請求項 1 の作用に加えて、マルチセクション信号の不活性時にセルプレート電位発生手段からのセルプレート電位をメモリセルのセルプレートに供給するとともに、マルチセクション信号の活性時に制御信号にตอบสนองしてビット線に与えられる電位が電源電位の場合は接地電位を、接地電位の場合は電源電位をメモリセルのセルプレートに供給する。そのため、セルキャパシタに与えられるストレス電圧の極性が切り替えられ、セルキャパシタに A C ストレスを与えることができる。

【 0 0 4 5 】

請求項 3 に係る半導体記憶装置においては、マルチセクション信号の不活性時にセルプレート電位発生手段からのセルプレート電位をメモリセルのセルプレートに供給するとともに、マルチセクション信号の活性時に外部から与えられる制御信号のレベルにตอบสนองして、電源電位と接地電位とを切り替えメモリセルのセルプレートに供給する。そのため、セルキャパシタに与えられるストレス電圧の極性が切り替えられ、セルキャパシタに A C ストレスを与えることができる。

【 0 0 6 1 】

【実施例】

以下、この発明による実施例を図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【 0 0 6 2 】

[実施例 1]

図 1 は、この発明の実施例 1 による D R A M の全体構成を示すブロック図である。図 1 を参照して、この D R A M は、メモリセルアレイ 1 1 と、行デコーダ 1 2 と、列デコーダ 1 3 と、センスアンプ列 1 4 と、入出力回路 1 5 と、行および列アドレスバッファ 1 6 と、

10

20

30

40

50

入力バッファ17と、出力バッファ18と、クロック発生回路19と、マルチセレクションパッド20と、マルチセレクション信号発生回路21とを備える。上述した回路素子はすべて1枚の半導体基板10上に形成される。

【0063】

図2は、図1中のメモリセルアレイ11、センスアンプ列14および入出力回路15の一部構成を示すブロック図である。図2を参照して、このメモリセルアレイ11は、行方向に配置された複数のワード線WLと、列方向に配置された複数のビット線対BL、/BLと、ワード線WLおよびビット線対BL、/BLの交点に対応して設けられた複数のダイナミックメモリセル111とを備える。ビット線対はビット線BLとそれと相補的なビット線/BLとから構成される。図3は、ビット線対BL、/BLを1つの線で示すメモリセルアレイ11の簡略的な回路図である。

10

【0064】

図4は、p型半導体基板10上に形成された1つのダイナミックメモリセル111の構造を示す断面図である。図2～4を参照して、このダイナミックメモリセル111は、1つのアクセストランジスタ112および1つのセルキャパシタ113を含む。アクセストランジスタ112は対応するビット線BLまたは/BLとキャパシタ113との間に接続される。アクセストランジスタ112のゲート電極は対応するワード線に接続される。図4に示されるように、アクセストランジスタ112は、p型半導体基板10内に形成されたn⁺型のソース/ドレイン領域1121および1122と、半導体基板10上にゲート酸化膜1123を介在して形成されたワード線WLを構成するゲート電極とを含む。ビット線BLはアクセストランジスタ112の一方ソース/ドレイン領域1121と接触する。一方、セルキャパシタ113は、ストレージノード114と、ストレージノード114上に誘電膜116を介在して形成されたセルプレート115とを含む。ストレージノード114はアクセストランジスタ112の他方ソース/ドレイン領域1122と接触する。

20

【0065】

再び図2を参照して、図1中のセンスアンプ列14は複数のセンスアンプ141を含む。センスアンプ141はビット線対BL、/BLに対応して設けられる。センスアンプ141の各々は対応するビット線対BL、/BLに接続され、ビット線BLおよび/BLの間の電位差を増幅する。

【0066】

このDRAMはさらに、所定のビット線プリチャージ電位VBLを発生するビット線プリチャージ電位発生器22と、複数のビット線イコライズ回路23とを備える。ビット線イコライズ回路23はビット線対BL、/BLに対応して設けられる。ビット線イコライズ回路23の各々は対応するビット線対BL、/BLに接続され、その対応するビット線BLおよび/BLの電位をイコライズするとともにビット線プリチャージ電位発生器22からのビット線プリチャージ電位VBLを対応するビット線BLおよび/BLに供給する。ビット線プリチャージ電位VBLとしては、たとえば電源電位VCCの半分の電位(以下「中間電位VCC/2」という)が用いられる。ビット線イコライズ回路23の各々は、対応するビット線BLおよび/BLの間に接続されたイコライズ用のNチャネルMOSトランジスタ231と、ビット線プリチャージ電位発生器22とビット線BLおよび/BLとの間にそれぞれ接続されたプリチャージ用のNチャネルMOSトランジスタ232および233を含む。これらのトランジスタ231～233は所定のタイミングで与えられるイコライズ信号EQにตอบสนองして同時にオンになる。したがって、ビット線BLおよび/BLはイコライズ用のトランジスタ231によってイコライズされるとともに、プリチャージ用のトランジスタ232および233によってビット線プリチャージ電位VBLにプリチャージされる。

30

40

【0067】

入出力回路15は、入出力線対IO、/IOと、複数の列選択ゲート151および152とを含む。列選択ゲート151および152はビット線対BL、/BLに対応して設けられる。列選択ゲート151の各々は対応するビット線BLと一方の入出力線IOとの間に

50

接続される。列選択ゲート152の各々は対応するビット線BLと他方の入出力線/IOとの間に接続される。列選択ゲート151および152は図1中の列デコーダ13から与えられる列選択信号CSに应答してオンになる。

【0068】

再び図1を参照して、クロック発生回路19は外部から与えられる外部行アドレスストロープ信号/RASおよび外部列アドレスストロープ信号/CASに应答して内部行アドレスストロープ信号および内部列アドレスストロープ信号のような制御信号を発生する。行および列アドレスバッファ16はクロック発生回路19からの内部行アドレスストロープ信号に应答してアドレス信号A1~Anを取込み、行アドレス信号およびそれと相補的な行アドレス信号を行デコーダ12に与える。行および列アドレスバッファ16はさらに、

10

【0069】

このDRAMは通常モードおよびテストモードを有する。通常モードでは何らの電位もマルチセクションパッド20に与えられない。そのため、マルチセクションパッドは電氣的にフローティング状態になる。マルチセクション信号発生回路21はマルチセクションパッド20がフローティング状態のときLレベルのマルチセクション信号MLTを発生する。他方、テストモードではたとえば接地電位GNDがマルチセクションパッド20に供給される。マルチセクション信号発生回路21はマルチセクションパッド20の電位が接地電位GNDのときHレベルのマルチセクション信号MLTを発生する。したがって、通常モードではマルチセクション信号MLTはLレベルとなり、テストモードではマルチセクション信号MLTはHレベルとなる。

20

【0070】

このマルチセクション信号MLTは行デコーダ12に与えられる。Lレベルのマルチセクション信号MLTが与えられると、行デコーダ12は従来と同様に通常動作を行なう。すなわち、行デコーダ12は行アドレス信号に应答してメモリセルアレイ11中の1つのワード線WLを選択して駆動する。これにより、読出時にはその駆動されたワード線WLに接続されるすべてのメモリセル111からビット線対BL, /BLにデータが読出される。データが読出されることによりビット線BLおよび/BLの間に生じた電位差は

30

【0071】

センスアンプ141によって増幅され、それにより一方のビット線BLまたは/BLの電位がHレベルまで振幅され、他方のビット線/BLまたはBLの電位がLレベルまで振幅される。列デコーダ13は列アドレス信号に应答して1つのビット線対BL, /BLを選択する。すなわち、列選択信号CSのうち1つがHレベルとなり、それにより対応する列選択ゲート151および152はオンになる。そのため、対応するビット線対BL, /BL上の増幅されたデータは入出力線対IO, /IOを介して出力バッファ18に与えられる。出力バッファ18は出力イネーブル信号/OEに应答してそれらのデータを入出力データDQ1~DQ4として出力する。他方、書込時には入力バッファ17が書込イネーブル信号/WEに应答して入出力データDQ1~DQ4を入出力回路15に供給する。

40

【0072】

次に、この実施例1の特徴であるマルチセクション信号発生回路21および行デコーダ12の構成をより詳細に説明する。

【0073】

図5は、図1中のマルチセクションパッド20およびマルチセクション信号発生回路21の具体的な構成を示す回路図である。図5を参照して、このマルチセクション信号

50

発生回路 21 は、電源電位 VCC が与えられる電源ノードとマルチセレクションパッド 20 との間に並列に接続された P チャネル MOS トランジスタ 211 および 212 と、CMOS インバータを構成する P チャネル MOS トランジスタ 213 および N チャネル MOS トランジスタ 214 とを含む。トランジスタ 211 のゲート電極には接地電位が与えられるので、このトランジスタ 211 はマルチセレクションパッド 20 のノードの電位を補償するために微小電流 I_c を供給する。トランジスタ 213 および 214 から構成されるインバータはマルチセレクションパッド 20 の論理レベルを反転してマルチセレクション信号 M L T を供給する。マルチセレクション信号 M L T はトランジスタ 212 のゲート電極にフィードバックされる。

【0074】

したがって、通常モードでは何らの電位もマルチセレクションパッド 20 に与えられないが、トランジスタ 211 によって微小電流 I_c がマルチセレクションパッド 20 のノードに供給されるため、そのノードは H レベルに弱くプルアップされる。したがって、L レベルの電位がトランジスタ 212 のゲート電極に与えられるため、このトランジスタ 212 はオンになる。そのため、このマルチセレクションパッド 20 のノードは H レベルに強くプルアップされる。したがって、このマルチセレクション信号発生回路 21 によって生成されるマルチセレクション信号 M L T は L レベルに固定される。

【0075】

他方、テストモードでは接地電位 GND がマルチセレクションパッド 20 に与えられるので、トランジスタ 212 はオフになり、マルチセレクション信号 M L T は H レベルになる。

【0076】

図 6 は、図 1 中の行デコーダ 12 の具体的な構成を示すブロック図である。図 6 を参照して、この行デコーダ 12 は、行アドレス信号 RA1, /RA1 ~ RA4, /RA4 に応答してプリデコード信号 X1 ~ X8 を生成する行プリデコーダ 121 と、それらのプリデコード信号 X1 ~ X8 が供給されるプリデコード信号線 122 と、行アドレス信号 RA5, /RA5 ~ RA8, /RA8 に応答してデコード信号 D1 ~ Dn を生成する複数の行デコーダユニット RD1 ~ RDn と、プリデコード信号 X1 ~ X8 およびデコード信号 D1 ~ Dn に応答してワード線 WL を駆動する複数のワードドライバ WD11 ~ WD14, WD21 ~ WD24, WDn1 ~ WDn4 とを含む。各ワードドライバは 3 入力 AND ゲートから構成され、デコード信号 D1 ~ Dn のうち 1 つとプリデコード信号 X1 ~ X4 のうち 1 つとプリデコード信号 X5 ~ X8 のうち 1 つとに 30 応答して対応するワード線 WL を駆動する。

【0077】

通常モードでは L レベルのマルチセレクション信号 M L T が行プリデコーダ 121 に与えられる。この場合、行プリデコーダ 121 は行アドレス信号 RA1, /RA1, RA2, /RA2 に応答してプリデコード信号 X1 ~ X4 のうち 1 つを H レベルに活性化するとともに、行アドレス信号 RA3, /RA3, RA4, /RA4 に応答してプリデコード信号 X5 ~ X8 のうち 1 つを H レベルに活性化する。他方、テストモードでは H レベルのマルチセレクション信号 M L T が行プリデコーダ 121 に与えられる。この場合、行プリデコーダ 121 は行アドレス信号 RA1, /RA1 ~ RA4, /RA4 にかかわらずすべてのプリデコード信号 X1 ~ X8 を H レベルに活性化する。

【0078】

行デコーダユニット RD1 ~ RDn の各々は、ワードドライバ WD11 ~ WD14, WD21 ~ WD24, WDn1 ~ WDn4 のうち 4 つに対応して設けられる。たとえば行デコーダユニット RD1 はワードドライバ WD11 ~ WD14 に対応して設けられる。行デコーダユニット RD2 はワードドライバ WD21 ~ WD24 に対応して設けられる。行デコーダユニット RDn はワードドライバ WDn1 ~ WDn4 に対応して設けられる。

【0079】

通常モードでは L レベルのマルチセレクション信号 M L T が行デコーダユニット RD1 ~

10

20

30

40

50

R D nに与えられる。この場合、行デコーダユニットR D 1 ~ R D nは行アドレス信号R A 5 , / R A 5 ~ R A 8 , / R A 8に应答してデコード信号D 1 ~ D nのいずれかをHレベルに活性化する。たとえば行デコーダユニットR D 1は行アドレス信号/ R A 5および/ R A 6がともにHレベルならばその対応するデコード信号D 1をHレベルに活性化する。他方、行デコーダユニットR D 2はLレベルのまま維持される。したがって、Hレベルのデコード信号D 1を受けるワードドライバW D 1 1 ~ W D 1 4のみが活性化可能な状態となる。さらに、プリデコード信号X 1およびX 5のみがHレベルに活性化されると、ワードドライバW D 1 1のみが活性化され、その対応するワード線W Lのみが駆動される。Hレベルのプリデコード信号X 1およびX 5はワードドライバW D 2 1にも与えられるが、対応するデコード信号D 2がLレベルであるため、このワードドライバW D 2 1は活性化されない。

10

【 0 0 8 0 】

他方、テストモードではHレベルのマルチセレクション信号M L Tが行デコーダユニットR D 1 ~ R D nに与えられる。この場合、行デコーダユニットR D 1 ~ R D nはすべてのデコード信号D 1 ~ D nをHレベルに活性化する。このHレベルのデコード信号D 1 ~ D nはすべてのワードドライバW D 1 1 ~ W D 1 4 , W D 2 1 ~ W D 2 4 , W D n 1 ~ W D n 4に与えられるので、すべてのワードドライバが活性化可能な状態となる。テストモードでは上述したようにすべてのプリデコード信号X 1 ~ X 8がHレベルに活性化されるので、すべてのワードドライバが活性化される。したがって、すべてのワード線W Lが駆動される。

20

【 0 0 8 1 】

図7は、図6中の行プリデコーダ1 2 1、プリデコード信号線1 2 2および1つのワードドライバW D i jの具体的な構成を対応するワード線W Lおよびメモリセル1 1 1とともに示すブロック図である。図7を参照して、ワードドライバW D i jは図39に示された従来のワードドライバW Dとほぼ同様に構成される。このワードドライバW D i jを選択するためのデコード系もまた図39に示された従来のものとほぼ同様に構成される。すなわち、ワードドライバW D i jは、プリチャージノードN Xおよび接地ノードの間に直列に接続されたNチャンネルM O Sトランジスタ1 2 3 ~ 1 2 5と、昇圧電位V P Pが与えられる昇圧電源ノードおよびプリチャージノードN Xの間に並列に接続されたPチャンネルM O Sトランジスタ1 2 6および1 2 7と、C M O Sインバータを構成するPチャンネルM O Sトランジスタ1 2 8およびNチャンネルM O Sトランジスタ1 2 9とを備える。NチャンネルM O Sトランジスタ1 2 3のゲート電極には、対応する行デコーダユニットからデコード信号D iが与えられる。NチャンネルM O Sトランジスタ1 2 4のゲート電極には、プリデコード信号X 1 ~ X 4のうちいずれか1つがプリデコード信号D E C Aとして与えられる。NチャンネルM O Sトランジスタ1 2 5のゲート電極には、プリデコード信号X 5 ~ X 8のうちいずれか1つがプリデコード信号D E C Bとして与えられる。PチャンネルM O Sトランジスタ1 2 6はプリチャージ信号P Rに应答してオンまたはオフになる。トランジスタ1 2 8および1 2 9から構成されるインバータの出力信号はPチャンネルM O Sトランジスタ1 2 7のゲート電極に与えられる。ワードドライバW D i jはデコード信号D iならびにプリデコード信号D E C AおよびD E C Bに应答して選択的に活性化される。不活性化状態ではLレベルのプリチャージ信号P Rがトランジスタ1 2 6のゲート電極に与えられるので、プリチャージノードN Xの電位はトランジスタ1 2 6によって昇圧電位V P Pに弱くプルアップされる。そのため、トランジスタ1 2 8および1 2 9から構成されるインバータはLレベルの出力信号をトランジスタ1 2 7のゲート電極に与え、それによりプリチャージノードN Xの電位は昇圧電位V P Pに強くプルアップされる。したがって、対応するワード線W Lの電位はLレベルに固定される。他方、デコード信号D iならびにプリデコード信号D E C AおよびD E C BのすべてがHレベルになると、トランジスタ1 2 3 ~ 1 2 5がすべてオンになり、それによりプリチャージノードN Xの電位は接地電位まで放電される。したがって、トランジスタ1 2 9がオフになり、トランジスタ1 2 8がオンになるので、昇圧電位V P Pが対応するワード線W Lに供給される。

30

40

50

【 0 0 8 2 】

図 8 は、図 6 および 7 中の行プリデコーダ 1 2 1 の具体的な構成を示す回路図である。図 8 を参照して、この行プリデコーダ 1 2 1 は、複数の NOR ゲート 1 2 1 1 ~ 1 2 1 8 および 1 2 2 1 ~ 1 2 2 8 ならびに複数のインバータ 1 2 3 1 ~ 1 2 3 8 を含む。NOR ゲート 1 2 1 1 ~ 1 2 1 4 の各々は、行アドレス信号 RA 1 または / RA 1 と行アドレス信号 RA 2 または / RA 2 とを受ける。たとえば NOR ゲート 1 2 1 1 は行アドレス信号 / RA 1 および / RA 2 を受ける。NOR ゲート 1 2 1 5 ~ 1 2 1 8 の各々は、行アドレス信号 RA 3 または / RA 3 と行アドレス信号 RA 4 または / RA 4 とを受ける。たとえば NOR ゲート 1 2 1 5 は行アドレス信号 / RA 3 および / RA 4 を受ける。NOR ゲート 1 2 2 1 ~ 1 2 2 4 の各々はマルチセレクション信号 M L T および対応する NOR ゲートの出力信号を受ける。たとえば NOR ゲート 1 2 2 1 はマルチセレクション信号 M L T および NOR ゲート 1 2 1 1 の出力信号を受ける。NOR ゲート 1 2 2 5 ~ 1 2 2 8 の各々はマルチセレクション信号 M L T および対応する NOR ゲートの出力信号を受ける。たとえば NOR ゲート 1 2 2 5 はマルチセレクション信号 M L T および NOR ゲート 1 2 1 5 の出力信号を受ける。インバータ 1 2 3 1 ~ 1 2 3 8 は NOR ゲート 1 2 2 1 ~ 1 2 2 8 の出力信号をそれぞれ反転し、プリデコード信号 X 1 ~ X 8 をそれぞれ生成する。したがって、この行プリデコーダ 1 2 8 は基本的には図 4 0 に示された従来の行プリデコーダ 1 2 1 a と同様に構成されるが、従来の行プリデコーダ 1 2 1 a におけるインバータ 1 2 2 1 a ~ 1 2 2 8 a の代わりに NOR ゲート 1 2 2 1 ~ 1 2 2 8 が設けられ、これら NOR ゲート 1 2 2 1 ~ 1 2 2 8 が 1 つのマルチセレクション信号 M L T を共通に受ける。そのため、通常モードでは L レベルのマルチセレクション信号 M L T が NOR ゲート 1 2 2 1 ~ 1 2 2 8 に与えられるので、これらの NOR ゲート 1 2 2 1 ~ 1 2 2 8 はインバータとして機能する。したがって、この場合、行プリデコーダ 1 2 8 は従来と同様に動作する。他方、テストモードでは H レベルのマルチセレクション信号 M L T が NOR ゲート 1 2 2 1 ~ 1 2 2 8 に与えられるので、行アドレス信号 RA 1 , / RA 1 ~ RA 4 , / RA 4 にかかわらず NOR ゲート 1 2 2 1 ~ 1 2 2 8 はそれぞれ L レベルの出力信号を生成する。したがって、この場合、すべてのプリデコード信号 X 1 ~ X 8 が行アドレス信号 RA 1 , / RA 1 ~ RA 4 , / RA 4 にかかわらず H レベルに活性化される。

【 0 0 8 3 】

図 9 は、図 6 中の行デコーダユニット RD 1 ~ RD 8 の具体的な構成を示す回路図である。図 9 を参照して、行デコーダユニット RD 1 ~ RD 8 の各々は、2 つの NOR ゲート (1 2 4 1 ~ 1 2 4 8 , 1 2 5 1 ~ 1 2 5 8) および 1 つのインバータ (1 2 6 1 ~ 1 2 6 8) を含む。たとえば行デコーダユニット RD 1 は NOR ゲート 1 2 4 1 および 1 2 5 1 ならびにインバータ 1 2 6 1 を含む。NOR ゲート 1 2 4 1 ~ 1 2 4 8 の各々は行アドレス信号 RA 5 または / RA 5 と行アドレス信号 RA 6 または / RA 6 とを受ける。NOR ゲート 1 2 5 1 ~ 1 2 5 8 の各々は、マルチセレクション信号 M L T と対応する NOR ゲートの出力信号とを受ける。たとえば NOR ゲート 1 2 5 1 はマルチセレクション信号 M L T と NOR ゲート 1 2 4 1 の出力信号とを受ける。したがって、NOR ゲート 1 2 5 1 ~ 1 2 5 8 は 1 つのマルチセレクション信号を共通に受ける。インバータ 1 2 6 1 ~ 1 2 6 8 の各々は対応する NOR ゲート 1 2 5 1 の出力信号を反転し、対応するデコード信号を生成する。たとえばインバータ 1 2 6 1 は NOR ゲート 1 2 5 1 の出力信号を反転し、対応するデコード信号 D 1 を生成する。

【 0 0 8 4 】

したがって、通常モードでは L レベルのマルチセレクション信号 M L T が NOR ゲート 1 2 5 1 ~ 1 2 5 8 に与えられるので、これらの NOR ゲート 1 2 5 1 ~ 1 2 5 8 はインバータとして機能する。そのため、ともに H レベルの行アドレス信号が与えられる行デコーダユニットだけが H レベルのデコード信号を生成する。たとえば行アドレス信号 / RA 5 および / RA 6 がともに H レベルならば行デコーダユニット RD 1 が H レベルのデコード信号 D 1 を生成し、他の行デコーダユニット RD 2 ~ RD 4 はそれぞれ L レベルのデコード信号 D 2 ~ D 4 を生成する。また、行アドレス信号 / RA 7 および / RA 8 がともに H

10

20

30

40

50

レベルならば行デコーダユニットRD5がHレベルのデコード信号D5を生成し、他の行デコーダユニットRD6～RD8がそれぞれLレベルのデコード信号D6～D8を生成する。他方、テストモードではHレベルのマルチセクション信号MLTがNORゲート1251～1258に与えられるので、行アドレス信号RA5、/RA5～RA8、/RA8にかかわらず行デコーダユニットRD1～RD8がすべてHレベルのデコード信号D1～D8を生成する。

【0085】

次に、図10に示されるタイミング図を参照して上記構成のDRAMの動作を説明する。

【0086】

(1) 通常モードの動作

通常モードでは図1に示されたマルチセクションパッド20に何らの電位も与えられないので、マルチセクション信号発生回路21はLレベルのマルチセクション信号MLTを生成する。このマルチセクション信号MLTは行デコーダ12内の行プリデコーダおよび行デコーダユニットRD1～RDnに与えられる。Lレベルのマルチセクション信号MLTが与えられるので、行プリデコーダ121および行デコーダユニットRD1～RDnは通常どおり動作する。すなわち、行プリデコーダ121は行アドレス信号RA1、/RA1、RA2、/RA2にตอบสนองしてプリデコード信号X1～X4のいずれか1つをHレベルに活性化する。行プリデコーダ121はまた、行アドレス信号RA3、/RA3、RA4、/RA4にตอบสนองしてプリデコード信号X5～X8のうちいずれか1つをHレベルに活性化する。

【0087】

また、行デコーダユニットRD1～RD8では、行アドレス信号RA5、/RA5～RA8、/RA8にตอบสนองしてデコード信号D1～D8のうちいずれか1つがHレベルに活性化される。これによりワードドライバWD11～WD14、WD21～WD24、WDn1～WDn4のうちいずれか4つが活性化可能な状態となる。さらに、これら4つのワードドライバのうちともにHレベルのプリデコード信号が与えられるワードドライバのみが活性化される。したがって、メモリセルアレイ11内のワード線WLのうち1つだけが駆動される。

【0088】

(2) テストモードの動作

他方、テストモードでは接地電位GNDがマルチセクションパッド20に与えられるので、マルチセクション信号発生回路21はHレベルのマルチセクション信号MLTを生成する。このマルチセクション信号MLTは行デコーダ12内の行プリデコーダ121および行デコーダユニットRD1～RDnにそれぞれ与えられる。行プリデコーダ121ではHレベルのマルチセクション信号MLTが与えられると、行アドレス信号RA1、/RA1～RA4、/RA4にかかわらずすべてのプリデコード信号X1～X8がHレベルに活性化される。また、行デコーダユニットRD1～RD8では、Hレベルのマルチセクション信号MLTが与えられると、行アドレス信号RA5、/RA5～RA8、/RA8にかかわらずすべてのデコード信号D1～D8がHレベルに活性化される。したがって、すべてのワードドライバWD11～WD14、WD21～WD24、WDn1～WDn4が活性化され、それによりすべてのワード線WLが駆動される。

【0089】

上記のように図10(c)に示されるマルチセクション信号MLTがLレベルからHレベルに立上がると、図10(a)に示される行アドレス信号RA1～RA8にかかわらず、図10(b)に示されるようにすべてのプリデコード信号X1～X8がLレベルからHレベルに立上がる。そして、図10(d)に示されるようにすべてのワード線WLの電位は昇圧電位VPPまで上昇する。そのため、図4に示されるアクセストランジスタ112のゲート酸化膜1123には高い電圧が印加され、それによりアクセストランジスタ112にストレスが与えられる。

以上のようにこの実施例1によれば、テストモードではすべてのワード線が同時に活性化

10

20

30

40

50

されるため、アクセストランジスタに対する加速試験を短時間でこなうことが可能となる。また、1つのマルチセレクション信号MLTが行デコーダ12に与えられ、テストモードではその行デコーダ12がすべてのワード線WLを駆動するため、上記のようなワード線多重選択が簡単な構成により実現することができる。具体的には、行プリデコーダ121内に1つのマルチセレクション信号を共通に受けるNORゲート1221~1228が設けられ、さらに行デコーダユニットRD1~RD8内に1つのマルチセレクション信号MLTを共通に受けるNORゲート1251~1258が設けられている。このように従来の構成を僅かに変形するだけでテストモードにおけるワード線多重選択が可能となる。

【0090】

したがって、図41に示されたようにワード線に対応して多重選択用のトランジスタを設ける構成に比べて、十分な余裕をもってNORゲート1221~1228, 1251~1258を形成することができる。これは、ワード線のピッチは非常に小さいのに対し、行デコーダ12中のトランジスタのピッチは大きいからである。したがって、これらの新たに付加されたNORゲート1221~1228, 1251~1258が劣化しまたは破壊される可能性は非常に小さく、このDRAMは安定した動作を行なうことができる。さらに、図41に示されるトランジスタ1のように昇圧された電位が供給されることなく、電源電位VCCが供給されるため、これらのNORゲート1221~1228, 1251~1258が破壊される可能性はほとんどない。

【0091】

[実施例2]

上記実施例1による構成において、テストモード中にHレベルのマルチセレクション信号MLTを継続的に行デコーダ12に与えるのではなく、Hレベルのマルチセレクション信号MLTを断続的に行デコーダ12に与えることも可能である。すなわち、所定周期でHおよびLレベルに変化するマルチセレクション信号MLTが行デコーダ12に与えられると、ワード線にはACストレスが与えられる。ACストレスは、ワード線の活性/非活性を交互に繰り返すことによりワード線に断続的なストレスを与える加速試験である。しかしながら、各ワード線はpFオーダの寄生容量を有するため、すべてのワード線を同時に活性化するには非常に長い時間が必要となる。したがって、実施例1のような構成ではACストレスのような加速試験を効果的に行なうことは困難である。

【0092】

図11は、このような問題を解消することができる本発明の実施例2によるDRAMの行プリデコーダの具体的な構成を示す回路図である。この行プリデコーダ123は図6および7に示された行プリデコーダ121の代わりに用いられる。図11を参照して、この行プリデコーダ123は図8に示された行プリデコーダ121と異なり、2つのマルチセレクション信号MLT1およびMLT2を受ける。一方のマルチセレクション信号MLT1はNORゲート1221, 1222, 1225, 1226に共通に与えられ、他方のマルチセレクション信号MLT2はNORゲート1223, 1224, 1227, 1228に共通に与えられる。

【0093】

図12は、マルチセレクション信号MLT1およびMLT2を生成するための回路を示すブロック図である。図12を参照して、この行プリデコーダ123はさらに、マルチセレクション信号発生回路21から与えられるマルチセレクション信号MLTにตอบสนองしてHおよびLレベルに交互に変化するマルチセレクション信号MLT1を生成する発振器124と、その生成されたマルチセレクション信号MLT1を反転してマルチセレクション信号MLT2を生成するインバータ125とを含む。したがって、Hレベルのマルチセレクション信号MLT1が発振器124に与えられると、所定周期のマルチセレクション信号MLT1が生成されるとともに、マルチセレクション信号MLT1と相補的なマルチセレクション信号MLT2が生成される。したがって、マルチセレクション信号MLT1がHレベルならばマルチセレクション信号MLT2はLレベルである。この場合、プリデコード信号X1, X2, X5, X6のみがHレベルとなる。他方、マルチセレクション信号MLT

10

20

30

40

50

1がLレベルならばマルチセレクション信号MLT2はHレベルである。この場合、プリデコード信号X3, X4, X7, X8のみがHレベルとなる。

【0094】

したがって、Hレベルのプリデコード信号X1, X2, X5, X6に应答して半数のワード線が駆動され、Hレベルのプリデコード信号X3, X4, X7, X8に应答して残り半数のワード線が駆動される。このように実施例2ではワード線WLが2つのワード線グループに分割され、これにより同時に駆動されるワード線の数が減少する。

【0095】

そのため、すべてのワード線の活性化/不活性化を交互に繰り返す場合に比べて、同時に充放電しなければならないワード線の容量が減少し、ワード線に効果的なACストレスを与えることができる。

10

【0096】

同時に駆動されるワード線WL1またはWL2は、図13に示されるように交互に配置されるのが好ましい。図13では、半数のワード線WL1が1つのグループを構成し、残り半数のワード線WL2がもう1つのグループを構成する。たとえばマルチセレクション信号MLT1がHレベルならばワード線WL1のみが駆動され、マルチセレクション信号MLT2がHレベルならばワード線WL2のみが駆動される。

【0097】

たとえばダイナミックメモリセル111のデータ保持特性の加速試験を行なう場合には、注目するメモリセル111に所望のデータが書込まれ、その後、対応するワード線は不活性状態のまま対応するビット線がそのメモリセルのデータと逆方向に断続的に振幅される。たとえば注目するメモリセル111にHレベルのデータが書込まれた場合は、対応するビット線の電位がLレベルに断続的に振幅される。これにより、注目するメモリセル111からデータのリークが誘発され、メモリセル111が最終的にデータ誤りを起こすまでの時間を加速的に測定することができる。

20

【0098】

また、上記よりもさらに厳しい状況の下で加速試験を行なうことも可能である。この場合は、注目するメモリセル111に所望のデータが書込まれ、その周辺のメモリセル111にそれと逆のデータが書込まれる。そして、その周辺のメモリセル111に対応するワード線が断続的に駆動されると、注目するメモリセル111から周辺のメモリセル111へのリークが加速される。このようにビット線へのリークに加えて周辺のメモリセルへのリークを加速することも可能である。

30

【0099】

このような加速試験においては、周辺のメモリセルに対応するワード線を断続的に駆動する必要があるので、実施例1のようにすべてのワード線が駆動されるような構成では試験のために長時間を必要とする。しかし、この実施例2による構成では互いに隣接する2つのワード線が交互に駆動され得るため、上記のような厳しい状況の下で複数のメモリセル111についてデータリークの加速試験を同時に行なうことができる。その結果、試験時間は大幅に短縮される。

【0100】

40

この実施例2では発振器124によってマルチセレクション信号MLT1およびMLT2が生成されているが、発振器124の代わりに外部からこれらのマルチセレクション信号MLT1およびMLT2が与えられてもよい。また、テストモードでは行アドレス信号が無視されるので、行アドレスストロープ信号/RASに应答してマルチセレクション信号MLT1およびMLT2が選択的に活性化されるようにしてもよい。

【0101】

[実施例3]

図14は、この発明の実施例3によるDRAMの要部構成を示すブロック図である。この実施例3の目的は、図4に示されたアクセストランジスタ112のゲート酸化膜1123に対するストレスに加えて、セルキャパシタ113の誘電膜116に対してもストレスを

50

与えることである。

【0102】

図14を参照して、このDRAMは上記実施例1の構成に加えて、テストパッド24および27と、セクタ25および28と、切替回路29および30と、セルプレート電位発生器26とをさらに備える。テストパッド24には所望のビット線テスト電位VBLTが与えられ、テストパッド27には所望のセルプレートテスト電位VCP Tが与えられる。セクタ25は切替回路29から与えられるビット線選択信号SBLにตอบสนองしてビット線プリチャージ電位VBLまたはビット線テスト電位VBLTを選択的にビット線イコライズ回路23に供給する。切替回路29は行アドレスストロープ信号/RASにตอบสนองしてビット線選択信号SBLをセクタ25に供給し、それによりセクタ25を切替える。 10

【0103】

セルプレート電位発生器26は所定のセルプレート電位VCP(たとえば中間電位VCC/2)を生成する。セクタ28は切替回路30から与えられるセルプレート選択信号SCPにตอบสนองしてセルプレート電位VCPまたはセルプレートテスト電位VCP Tを選択的にメモリセル111のセルプレート115に供給する。切替回路30は行アドレスストロープ信号/RASにตอบสนองしてセルプレート選択信号SCPをセクタ28に供給し、それによりセクタ28を切替える。

【0104】

通常モードではLレベルのマルチセレクション信号MLTが切替回路29および30に与えられる。切替回路29は行アドレスストロープ信号/RASにかかわらずビット線プリチャージ電位VBLを選択するようセクタ25を制御する。したがって、プリチャージ電位発生器22によって生成されたビット線プリチャージ電位VBLは、セクタ25、ビット線イコライズ回路23、ビット線BLおよびアクセストランジスタ112を介してセルキャパシタ113のストレージノード114に与えられる。また、切替回路30はセルプレート電位VCPを選択するようセクタ28を制御する。したがって、セルプレート電位発生器26によって生成されたセルプレート電位VCPは、セクタ28を介してセルキャパシタ113のセルプレート115に与えられる。この場合、DRAMは通常の動作を行なう。 20

【0105】

他方、図15(d)に示されるようにマルチセレクション信号MLTがLレベルからHレベルに立上がると、切替回路29は行アドレスストロープ信号/RASにตอบสนองしてビット線プリチャージ電位VBLまたはビット線テスト電位VBLTを選択するようセクタ25を制御する。たとえば行アドレスストロープ信号/RASがLレベルならばテストパッド24に供給されたビット線テスト電位VBLTが選択される。これによりビット線テスト電位VBLTは、セクタ25、ビット線イコライズ回路23、ビット線BLおよびアクセストランジスタ112を介してセルキャパシタ113のストレージノード114に与えられる。また、切替回路30は行アドレスストロープ信号/RASにตอบสนองしてセルプレート電位VCPまたはセルプレートテスト電位VCP Tを選択するようセクタ28を制御する。たとえば行アドレスストロープ信号/RASがLレベルならばテストパッド27に供給されたセルプレートテスト電位VCP Tが選択される。これによりセルプレートテスト電位VCP Tは、セクタ28を介してキャパシタ113のセルプレート115に与えられる。 30 40

【0106】

ここで、セクタ25および28の切替制御のために行アドレスストロープ信号/RASが用いられているのは、テストモードでは行アドレス信号に関係なくすべてのワード線が駆動されるからである。

【0107】

セルキャパシタ113にストレス電圧を与える方法としては、ストレージノード114に高い電位を与えかつセルキャパシタ115に低い電圧を与える方法と、逆にストレージノード114に低い電位を与えかつセルプレート115に高い電位を与える方法とがある。 50

【 0 1 0 8 】

この実施例 3 によれば、所望のビット線テスト電位 V_{BLT} をテストパッド 24 に与えかつ所望のセルプレートテスト電位 V_{CPT} をテストパッド 27 に与えることができるので、セルキャパシタ 113 に所望のストレス電圧を与えることが可能である。もしもセルキャパシタ 113 に電源電位よりも高いストレス電圧が与えられるとセルキャパシタ 113 が破壊される恐れがあるが、この実施例 3 によればセルキャパシタ 113 が破壊されないよう必要最小限のストレス電圧をセルキャパシタ 113 に与えることが可能である。

【 0 1 0 9 】

なお、この実施例 3 では通常モードにおいてチップを活性化するための行アドレスストローク信号 / RAS がテスト電位 V_{BLT} または V_{CPT} のための切替信号として用いられているが、行アドレスストローク信号 / RAS の代わりにあるいは行アドレスストローク信号 / RAS に加えて他の制御信号が用いられてもよい。

【 0 1 1 0 】

また、図 16 (f) および (g) に示されるように電源電位 V_{CC} および接地電位 GND の間で周期的に変化するセルプレートテスト電位 V_{CPT} およびビット線テスト電位 V_{BLT} をテストパッド 24 および 27 に交互に与えれば、セルキャパシタ 113 に AC ストレスを与えることができる。このようにセルキャパシタ 113 にかかるストレス電圧の極性が交互に変化すると、アクセストランジスタ 112 のゲート - ソース間電圧も変化する。そのため、アクセストランジスタ 112 のゲート - ソース間でのストレスもさらに加速される。

【 0 1 1 1 】

[実施例 4]

図 17 は、この発明の実施例 4 による DRAM の構成を示すブロック図である。図 17 を参照して、この DRAM はマルチセレクション検出回路 34 を備える。マルチセレクション検出回路 34 は通常モードでは L レベルのマルチセレクション信号 M_{LT} を生成し、これを行デコーダ 12 に供給する。また、マルチセレクション検出回路 34 は、 WC_{BR} (/ WE , / CAS ビフォア / RAS) のタイミングで電源電位 V_{CC} よりも高いスーパ V_{CC} がアドレス端子に与えられると、H レベルのマルチセレクション信号 M_{LT} を生成し、これを行デコーダ 12 に供給する。

【 0 1 1 2 】

/ RAS バッファ 31 は外部行アドレスストローク信号 / RAS に応答して内部行アドレスストローク信号をマルチセレクション検出回路 34 に与える。/ CAS バッファ 32 は外部列アドレスストローク信号 / CAS に応答して内部列アドレスストローク信号をマルチセレクション検出回路 34 に与える。/ WE バッファ 33 は外部書込イネーブル信号 / WE に応答して内部書込イネーブル信号をマルチセレクション検出回路 34 に供給する。アドレスバッファ 16 は外部アドレス信号 A_i に応答して内部行アドレス信号を行デコーダ 12 に供給する。センスアンプ制御回路 35 は、メモリセルアレイ 11 からのデータを増幅するようセンスアンプ列 14 を制御する。

【 0 1 1 3 】

図 18 は、図 17 中のマルチセレクション検出回路 34 の動作を示すタイミング図である。図 18 (a) ~ (c) に示されるように、行アドレスストローク信号 / RAS が立下がる前に書込イネーブル信号 / WE および列アドレスストローク信号 / CAS がともに立下がると、つまり行アドレスストローク信号 / RAS 、列アドレスストローク信号 / CAS および書込イネーブル信号 / WE が WC_{BR} のタイミングで与えられると、マルチセレクション検出回路 34 はアドレスキー入力可能な状態となる。この状態で、図 18 (d) に示されるようにアドレス信号 A_i が与えられるべきアドレス端子に電源電位 V_{CC} よりも高いスーパ V_{CC} が与えられると、マルチセレクション検出回路 34 は図 18 (e) に示されるようにマルチセレクション信号 M_{LT} を H レベルに活性化する。この H レベルのマルチセレクション信号 M_{LT} は行デコーダ 12 に与えられ、これにより行デコーダ 12 はメモリセルアレイ 11 内のすべてのワード線を駆動する。

10

20

30

40

50

【 0 1 1 4 】

この実施例 4 によれば、W C B R のタイミングでスーパ V C C のアドレスキーが入力されると、マルチセレクション信号 M L T が活性化されるので、この D R A M が樹脂でモールドされ、さらにパッケージングされた後であっても上記のようなワード線多重選択による加速試験を行なうことができる。

【 0 1 1 5 】

[実施例 5]

図 1 9 は、この発明の実施例 5 による D R A M の要部構成を示すブロック図である。図 1 9 を参照して、この D R A M は図 1 7 の構成に加えて、メモリセルアレイ 1 1 に対応して設けられた A N D ゲート 3 6 をさらに備える。各 A N D ゲート 3 6 はマルチセレクション信号 M L T および内部行アドレスストロープ信号にตอบสนองしてその出力信号を対応する行デコーダ 1 2 に供給する。

10

【 0 1 1 6 】

したがって、図 2 0 (a) ~ (d) に示されるように W C B R のタイミングでスーパ V C C のアドレスキーが入力され、それにより図 2 0 (e) に示されるようにマルチセレクション信号 M L T が活性化されても、図 2 0 (f) に示されるようにワード線 W L の電位は直ちに上昇することはない。ワード線 W L の電位は、マルチセレクション信号 M L T が活性化され、さらに図 2 0 (c) に示されるように行アドレスストロープ信号 / R A S が立下がると、それにตอบสนองして昇圧電位 V P P まで上昇する。

20

【 0 1 1 7 】

この実施例 5 によれば、テストモードでも行アドレスストロープ信号 / R A S にตอบสนองしてすべてのワード線 W L が駆動されるので、所望のタイミングでメモリセルの加速試験を行なうことができる。

【 0 1 1 8 】

[実施例 6]

図 2 1 は、この発明の実施例 6 による D R A M の要部構成を示すブロック図である。図 2 1 を参照して、この D R A M は図 1 4 に示されたセクタ 2 5 および 2 8 の代わりにセクタ 3 7 および 3 8 を備える。セクタ 3 7 はビット線プリチャージ電位発生器 2 2 の他に、電源電位 V C C が供給される電源ノード、および接地電位 G N D が供給される接地ノードに接続される。セクタ 3 8 はセルプレート電位発生器 2 6 の他に、電源ノードおよび接地ノードに接続される。したがって、セクタ 3 7 は切替回路 2 9 からのビット線選択信号 S B L にตอบสนองして、ビット線プリチャージ電位 V B L 、電源電位 V C C および接地電位 G N D を選択的にビット線イコライズ回路 2 3 に供給する。切替回路 2 9 はマルチセレクション信号 M L T および行アドレスストロープ信号 / R A S にตอบสนองしてセクタ 3 7 を切替える。マルチセレクション信号 M L T が L レベルならば行アドレスストロープ信号 / R A S にかかわらずビット線プリチャージ電位 V B L がビット線イコライズ回路 2 3 に供給される。マルチセレクション信号 M L T が H レベルでかつ行アドレスストロープ信号 / R A S が H レベルならば、電源電位 V C C がビット線イコライズ回路 2 3 に供給される。マルチセレクション信号 M L T が H レベルでかつ行アドレスストロープ信号 / R A S が L レベルならば、接地電位 G N D がビット線イコライズ回路 2 3 に供給される。

30

40

【 0 1 1 9 】

セクタ 3 8 は切替回路 3 0 からのセルプレート選択信号 S C P にตอบสนองして、セルプレート電位 V C P 、接地電位 G N D および電源電位 V C C を選択的にセルプレート 1 1 5 に供給する。マルチセレクション信号 M L T が L レベルならば、行アドレスストロープ信号 / R A S にかかわらずセルプレート電位 V C P がセルプレート 1 1 5 に供給される。マルチセレクション信号 M L T が H レベルでかつ行アドレスストロープ信号 / R A S が H レベルならば、接地電位 G N D がセルプレート 1 1 5 に供給される。マルチセレクション信号 M L T が H レベルでかつ行アドレスストロープ信号 / R A S が L レベルならば、電源電位 V C C がセルプレート 1 1 5 に供給される。

【 0 1 2 0 】

50

図 2 2 は、図 2 1 中の切替回路 2 9 およびセクタ 3 7 の具体的な構成を示す回路図である。図 2 2 を参照して、切替回路 2 9 はマルチセレクション信号 M L T を受けるインバータ 2 9 1 と、インバータ 2 9 1 の出力信号および行アドレスストローブ信号 / R A S を受ける N O R ゲート 2 9 2 と、マルチセレクション信号 M L T および行アドレスストローブ信号 / R A S を受ける A N D ゲート 2 9 3 と、マルチセレクション信号 M L T を受けるインバータ 2 9 4 とを含む。セクタ 3 7 は、インバータ 3 7 1 , 3 7 2 , 3 7 5 と、トランスファゲート 3 7 2 , 3 7 4 , 3 7 6 とを含む。

【 0 1 2 1 】

マルチセレクション信号 M L T が H レベルならばトランスファゲート 3 7 2 がオンになり、これによりセクタ 3 7 はビット線プリチャージ電位 V B L を出力する。マルチセレクション信号 M L T が H レベルでかつ行アドレスストローブ信号 / R A S が H レベルならばトランスファゲート 3 7 4 がオンになり、これによりセクタ 3 7 は電源電位 V C C を出力する。マルチセレクション信号 M L T が H レベルでかつ行アドレスストローブ信号 / R A S が L レベルならばトランスファゲート 3 7 4 がオンになり、セクタ 3 7 は接地電位 G N D を出力する。

10

【 0 1 2 2 】

図 2 3 は、図 2 1 中の切替回路 3 0 およびセクタ 3 8 の具体的な構成を示す回路図である。図 2 3 を参照して、切替回路 3 0 は図 2 2 に示された切替回路 2 9 と同様にインバータ 3 9 1 および 3 9 4 と N O R ゲート 3 9 2 と A N D ゲート 3 9 3 とを含む。セクタ 3 8 は図 2 2 に示されたセクタ 3 7 と同様に、インバータ 3 8 1 , 3 8 3 , 3 8 5 と、トランスファゲート 3 8 2 , 3 8 4 , 3 8 6 とを含む。

20

【 0 1 2 3 】

したがって、マルチセレクション信号 M L T が L レベルならばセクタ 3 8 はセルプレート電位 V C P を出力する。マルチセレクション信号 M L T が H レベルでかつ行アドレスストローブ信号 / R A S が H レベルならばセクタ 3 8 は接地電位 G N D を出力する。マルチセレクション信号 M L T が H レベルでかつ行アドレスストローブ信号 / R A S が L レベルならばセクタ 3 8 は電源電位 V C C を出力する。

【 0 1 2 4 】

この実施例 6 では、行アドレスストローブ信号 / R A S に応答してセルキャパシタ 1 1 3 に与えられるストレス電圧の極性が切替えられる。したがって、A C ストレスをセルキャパシタ 1 1 3 に与えることができる。

30

【 0 1 2 5 】

この実施例 6 によれば、セクタ 3 7 および 3 8 が電源ノードおよび接地ノードに接続されているため、図 1 4 に示されるようなテストパッド 2 4 および 2 7 を必要としない。そのため、このような D R A M の加速試験を行なうときには、マルチセレクション信号 M L T 、行アドレスストローブ信号 / R A S 、電源電位 V C C 、接地電位 G N D およびワード線駆動のための昇圧電位 V P P という 5 つの電位および信号を外部から与えればよい。さらに、バーンインのような加速テストでは電源電位 V C C を通常よりも高くするので、電源電位 V C C をそのまま昇圧電位 V P P として供給できる場合もある。そのような場合には、4 つの信号および電位を外部から与えることにより加速試験を行なうことができる。

40

【 0 1 2 6 】

ところで、近年、D R A M のようなチップはダイシング前のウエハ状態でストレス試験が行なわれる傾向にある。さらに、そのようなストレス試験の中でも、ウエハ上の複数のチップを同時にテストする並列試験と呼ばれる手法が用いられる傾向にある。しかし、その試験のために与えなければならない電位および信号の数が多いと、多数のピンを有するテストが必要となり、テストコストは増大する。また、プローブカードを用いる場合であっても、多数のプローブを有する複雑なプローブカードが必要になるため、やはりテストコストは増大する。

【 0 1 2 7 】

これに対して、この実施例 6 によれば、4 つまたは 5 つという少数のパッドに信号および

50

電位を与えることによりストレス試験を行なうことができる。そのため、同時にテストすることのできるチップの数が多くなり、それによりテストコストが減少する。

【0128】

[実施例7]

図24は、この発明の実施例7によるDRAMの要部構成を示すブロック図である。図24を参照して、このDRAMは、電源電位VCCが外部から与えられる電源パッド39と、接地電位GNDが外部から与えられる接地パッド40と、マルチセレクション信号MLTが外部から与えられるマルチセレクションパッド41と、外部昇圧電位VPEが外部から与えられる昇圧電源パッド42とを備える。このDRAMはさらに、セクタ43、44および48と、論理レベル判定回路45と、VCCレベル判定回路46と、昇圧電位発生器47とを備える。論理レベル判定回路45は、マルチセレクションパッド41に与えられたマルチセレクション信号MLTがHレベルであるかLレベルであるかを判定し、その判定結果に従う選択信号SEL1をセクタ43および44に供給する。VCCレベルの判定回路46は、マルチセレクションパッド41に与えられたマルチセレクション信号MLTが電源電位VCCレベルであるかそれよりも高いスーパVCCレベルであるかを判定し、その判定結果に従う選択信号SEL2をセクタ43および44に供給する。したがって、Hレベルのマルチセレクション信号MLTとして、電源電位VCCの他に電源電位VCCよりも高いスーパVCCが与えられる。このVCCレベル判定回路46は直列に接続されかつダイオード接続された2~3つのトランジスタ(図示せず)を含み、電源電位VCCよりもこれら2~3つのトランジスタのしきい電圧だけ高いスーパVCCを検出することができる。

10

20

【0129】

セクタ43は選択信号SEL1およびSEL2にตอบสนองして、ビット線プリチャージ電位発生器22からのビット線プリチャージ電位VBLか、電源パッド39からの電源電位VCCか、または接地パッド40からの接地電位GNDを選択し、その選択された電位をビット線電位VBL1としてメモリセルアレイ11内のビット線イコライズ回路に供給する。セクタ44は選択信号SEL1およびSEL2にตอบสนองして、セルプレート電位発生器26からのセルプレート電位VCPか、電源パッド39からの電源電位VCCか、または接地パッド40からの接地電位GNDを選択し、その選択された電位をセルプレート電位VCP1としてメモリセルアレイ11内のメモリセルのセルプレートに供給する。

30

【0130】

昇圧電位発生器47は、電源電位VCCに基づいてその電源電位VCCよりも高い内部昇圧電位VPIを発生する。セクタ48はその生成された内部昇圧電位VPIまたは昇圧電源パッド42に与えられた外部昇圧電位VPEを選択し、その選択された電位を行デコーダ12内のワードドライバに供給する。

【0131】

通常モードでは、ビット線プリチャージ電位発生器22からビット線プリチャージ電位VBLがセクタ43を介してビット線に供給される。また、セルプレート電位発生器26からセルプレート電位VCPがセクタ44を介してセルプレートに供給される。

【0132】

テストモードでは、図25(c)に示されるように電源電位VCCまたはスーパVCCがHレベルのマルチセレクション信号MLTとしてマルチセレクションパッド41に与えられる。マルチセレクション信号MLTがHレベルに活性化されると、図25(b)に示されるようにすべてのプリデコード信号X1~X8がHレベルに活性化され、それにより図25(d)に示されるようにメモリセルアレイ11内のすべてのワード線WLの電位が昇圧電位VPPまで上昇する。

40

【0133】

さらに、論理レベル判定回路45がマルチセレクション信号MLTはHレベルであると判定し、かつVCCレベル判定回路46がそのマルチセレクション信号MLTのHレベルは電源電位VCCレベルであると判定した場合には、セクタ43は電源電位VCCを選択

50

し、図25(e)に示されるようにその選択された電源電位VCCをビット線電位VBL1としてビット線に供給する。また、この場合には、セクタ44は接地電位GNDを選択し、図25(f)に示されるようにその選択された接地電位GNDをセルプレート電位VCP1としてセルプレートに供給する。

【0134】

他方、論理レベル判定回路45がその与えられたマルチセレクション信号MLTはHレベルであると判定し、かつVCCレベル判定回路46がそのHレベルはスーパVCCレベルであると判定した場合には、セクタ43は接地電位GNDを選択し、図25(e)に示されるようにその選択された接地電位GNDをビット線電位VBL1としてビット線に供給する。また、この場合には、セクタ44は電源電位VCCを選択し、図25(f)に示されるようにその選択された電源電位VCCをセルプレート電位VCP1としてセルプレートに供給する。

10

【0135】

また、通常モードでは昇圧電位発生器47によって生成された内部昇圧電位VPP1がセクタ48を介して行デコーダ12に供給されるのに対し、テストモードでは昇圧電源パッド42に外部から供給された外部昇圧電位VPEがセクタ48を介して行デコーダ12に供給される。したがって、テストモードでは多数のワード線WLが駆動されるが、この実施例7では外部昇圧電位VPEが供給されるため、ワード線は十分に駆動され得る。

【0136】

この実施例7によれば、マルチセレクション信号MLTとして3種類のレベルを与えることができるので、図21のように電源電位VCCおよび接地電位GNDの切替のために行アドレスストロブ信号/RASを用いる必要がなく、マルチセレクション信号の2種類のHレベルに従って電源電位VCCおよび接地電位GNDの切替が可能となる。

20

【0137】

また、テストモードでは、電源電位VCC、接地電位GND、マルチセレクション信号MLTおよび外部昇圧電位VPEという4つの電位および信号を外部から与えさえすれば、このDRAMにストレスを与えることができる。したがって、このようなDRAMをダイシング前のウエハ状態でテストする場合においては、ストレスを与えるために必要な信号および電位を容易に外部から与えることができる。そのため、テストコストが削減される。

30

【0138】

また、上記実施例7では昇圧電源パッド42からワード線駆動用の昇圧電位VPEが供給されているが、電源パッド39に供給された電源電位VCCが行デコーダ12に供給されるようにしてもよい。パーンインのようなストレス試験では通常よりも高い電源電位VCCが外部から供給されるからである。したがって、この場合は3つのパッド39~41にテスト用の電位または信号を外部から供給すれば足りる。

【0139】

図26は、上記のような3つのパッドを有する半導体チップのウエハ状態での配置を示す図である。図26に示されるように、複数の半導体チップ71が半導体ウエハ上に形成されている。各半導体チップ71は3つのパッド39, 40および49と内部タイマ711とを備える。半導体チップ71のマルチセレクションパッド49は図24とは異なり、パーンイン信号が与えられる。内部タイマ711はマルチセレクションパッド49からのパーンイン信号にตอบสนองして所定周期のマルチセレクション信号MLTを生成する。このように半導体チップ71の各々に内部タイマ711が設けられているため、半導体チップ71の各々はその内部的に生成されたマルチセレクション信号MLTにตอบสนองして個別的にテストされ得る。

40

【0140】

図27は、図26のような複数の半導体チップ71をウエハ状態でテストするためのプローブカードを示す平面図である。図27に示されるように、このプローブカード74には

50

複数の開口部 741 が形成されるとともに、開口部 741 に突出する複数のプローブ 742 が設けられている。各開口部 741 は半導体チップ 71 が臨めるように形成される。そして、1つの半導体チップ 71 に対応して3つのプローブ 742 が開口部 741 の周縁に配置されている。

【0141】

これらのプローブ 742 はパッド 39, 40 および 49 に接触し、それにより各半導体チップ 71 にテスト用の電源電位 VCC、接地電位 GND およびバーンイン信号が与えられる。このプローブカード 74 には複数の開口部 741 が形成されているため、縦 1 列に配置された3つの半導体チップ 71 だけでなく、マトリックスに配置された15個の半導体チップを同時にテストすることができる。

10

【0142】

上記のようにテストのために与える必要のある電位および信号の数が少なくなると、図 27 に示されるような簡単な構成のプローブカード 74 を用いて複数の半導体チップ 71 をウエハ状態で同時にテストすることが可能となる。

【0143】

[実施例 8]

図 28 は、本発明の実施例 8 による DRAM の要部構成を示す図である。図 28 を参照して、この DRAM は所定の基板電位 VBB を発生する基板電位発生器 50 と、マルチセレクトクシオン信号 MLT に応答して基板電位 VBB または外部から供給される基板テスト電位 VBBT を選択し、その選択された電位を半導体基板 10 に供給するセクタ 51 とを備える。

20

【0144】

図 14 に示された実施例 3 ではビット線テスト電位 VBLT がビット線 BL を介してストレージノード 114 に供給されるのに対し、この実施例 8 では基板テスト電位 VBBT が半導体基板 10 およびアクセストランジスタ 112 のソース/ドレイン領域 1122 を介してストレージノード 114 に供給される。この実施例 8 では、半導体基板 10 が p 型でかつソース/ドレイン領域 1122 が n⁺ 型であるからセルプレート電位 VCP T よりも基板テスト電位 VBBT の方を高く設定する必要がある。したがって、テストモードではセルプレートテスト電位 VCP T がセルプレート 115 に供給され、基板テスト電位 VBBT がストレージノード 114 に供給されるので、セルキャパシタ 113 の誘電膜 116 にストレス電圧を与えることができる。

30

【0145】

この実施例 8 によれば、テストモードにおいて基板テスト電位を1つの半導体基板 10 に与えさえすれば、すべてのセルキャパシタ 113 のストレージノード 114 にその基板テスト電位を供給できるので、実施例 8 の構成は図 14 に示された実施例 3 の構成よりも簡単になる。

【0146】

なお、n 型半導体基板内に p⁺ 型ソース/ドレイン領域が形成される場合においては、セルプレートテスト電位 VCP T と基板テスト電位 VBBT の極性を逆にすればよい。

【0147】

[実施例 9]

図 29 は、この発明の実施例 9 によるフラッシュメモリ装置の構成を示す図である。図 29 を参照して、このフラッシュメモリ装置におけるメモリセルラインは、複数のワード線 WL と、ワード線 WL と交差する複数のソース線 52 と、ワード線およびソース線の交点に対応して設けられた複数のフローティングゲート型メモリセル 53 とを含む。フローティングゲート型メモリセル 53 の各々は、半導体基板 10 内に形成されたドレイン領域 531 およびソース領域 532 と、対応するワード線 WL に接続されるゲート電極 533 と、ゲート電極 533 の下に形成されるフローティングゲート 534 とを含む。このメモリセル 53 では、フローティングゲート 534 に電荷を蓄積することによってデータが記憶される。このフローティングゲート 534 は電氣的にフローティング状態にあるため、電

40

50

源が遮断されてもそのデータが消失することはない。

【0148】

通常のアクセス動作では、1つのワード線WLが駆動され、それによりメモリセル53のデータがソース線52に読出される。

【0149】

他方、テストモードでは上記実施例と同様に、1つのマルチセレクション信号にตอบสนองして複数のワード線WLが駆動される。この駆動されたワード線WLに接続されたゲート電極533には高い電位が供給される。そのため、ゲート電極533からソース領域532の方向に高い電圧がかかり、それによりフローティングゲート534の電荷がソース領域532に引抜かれる。その結果、それらメモリセル53のデータは消去される。

10

【0150】

この実施例9によれば、マルチセレクション信号にตอบสนองして複数のワード線WLが駆動されるので、所望のエリア内のすべてのメモリセルのデータを同時に消去することができる。その結果、消去時間が短縮される。

【0151】

[実施例10]

図30は、この発明の実施例10による半導体集積回路装置用半製品の構成を示す平面図である。図30に示されるように、半導体ウエハ70には複数の半導体チップ71が形成される。このような半導体チップ71はマトリクスに配置される。各半導体チップ71は、隣接する他の半導体チップ71と所定間隔をおいて配置される。したがって、これらの半導体チップ71の間にはダイシング領域72が形成される。半導体ウエハ70はダイシング領域72で切断されて複数の半導体チップ71に分離される。一般に、このダイシング領域72の幅は50～200μm程度に設定される。

20

【0152】

この実施例10では、このようなダイシング領域72に図31に示されるようなテスト配線721～723が縦横に形成される。縦横に形成されたテスト配線721は互いに接続され、そこには電源電位VCCが供給され得る。縦横に形成されたテスト配線722は互いに接続され、そこには接地電位GNDが供給され得る。縦横に形成されたテスト配線723は互いに接続され、そこにはマルチセレクション信号MLTが供給される。

【0153】

したがって、電源電位VCC、接地電位GNDおよびマルチセレクション信号MLTをテスト配線721～723のそれぞれ1箇所に供給すれば、それらの電位および信号は半導体ウエハ70上のすべての半導体チップ71に供給される。そのため、1つの半導体チップ71のみにテスト用の電位および信号を供給するような通常のプローブカードを用いても、半導体ウエハ70上のすべての半導体チップ71の加速試験を行なうことができる。もちろん、図27に示されるようなプローブカードを用いても構わない。

30

【0154】

[実施例11]

図31に示されるように複数の半導体チップ71がテスト配線721～723で共通に接続されると、プローブカードの1つのプローブに接続される半導体チップ71の数が増大し、それにより負荷容量が増大する。そのため、テスト配線を介して半導体チップ71に与えられる電位および信号の立上がりおよび立下がり時間が長くなる。その結果、半導体チップ71を高い周波数で動作させながら加速試験を行なうことは困難である。

40

【0155】

そこで、図32に示される実施例11では、半導体チップ71の各々が内部タイマ711を含む。縦横に形成されたテスト配線724は互いに接続され、そこはバーンイン信号BIが与えられる。このバーンイン信号BIはテスト配線724を介して半導体ウエハ70上のすべての半導体チップ71の内部タイマ711に与えられる。

【0156】

図33(a)に示されるようにバーンイン信号BIが立上がると、内部タイマ711は自

50

動的に動作し、図33(b)に示されるようなマルチセレクション信号MLTを周期的に生成する。このマルチセレクション信号MLTは上記のように行デコーダに与えられ、それにより複数のワード線が活性化される。図33(c)に示されるようにワード線WLの電位はマルチセレクション信号MLTにตอบสนองして上昇および下降を繰り返す。したがって、図33(d)に示されるようにビット線BLおよび/BLの電位は接地電位GNDおよび電源電位VCCの間で振幅される。

【0157】

このように実施例11では、各半導体チップ71に設けられた内部タイマ711によってマルチセレクション信号MLTが生成されるので、各半導体チップ71を高い周波数で動作させながらACストレス試験を加速的に行なうことができる。

10

【0158】**[実施例12]**

図32に示された実施例11では各半導体チップ71ごとに所定周波数のマルチセレクション信号MLTが生成されるので、内部タイマ711の発振周波数にばらつきが存在すると、テストの加速比率が各半導体チップごとに異なる場合がある。

そこで、図34に示される実施例12では、半導体チップ71の各々が1/nの分周回路712を含む。縦横に形成されたテスト配線725は互いに接続され、そこには外部クロック信号CKが与えられる。この外部クロック信号CKはテスト配線725を介して半導体ウエハ上のすべての半導体チップ71の分周回路712に与えられる。各分周回路712はその与えられた外部クロック信号CKを分周し、それにより外部クロック信号CKの1/nの周期を有するマルチセレクション信号MLTを生成する。たとえばn=2の場合、図35(c)に示されるようにマルチセレクション信号MLTの周期は図35(b)に示される外部クロック信号CKの周期の半分となる。

20

【0159】

したがって、たとえ与えられた外部クロック信号CKの立ち上がりおよび立下がり時間が長くても、マルチセレクション信号MLTの立ち上がりおよび立下がり時間は外部クロック信号CKの1/nになる。たとえばn=16の場合において外部クロック信号CKの周期が1600nsであれば、マルチセレクション信号MLTの周期は100nsとなる。したがって、この外部クロック信号CKの立ち上がりおよび立下がり時間が50ns程度であっても、マルチセレクション信号MLTの立ち上がりおよび立下がり時間は5ns以下となる。このように立ち上がりおよび立下がり時間が短くなるので、半導体チップ71を高い周波数で動作させながら加速試験を行なうことができる。また、分周回路712は外部クロック信号CKをトリガとしてマルチセレクション信号MLTを生成するので、各半導体チップ71における加速試験の加速比率はほぼ同じになる。

30

【0160】**[実施例13]**

図32に示された実施例11では、テスト用の内部タイマ711が設けられているが、この半導体チップがDRAMの場合であればセルフリフレッシュに用いられるリフレッシュタイマをテストモードで内部タイマとして用いることも可能である。そのための回路が図36に示される。

40

【0161】

図36に示されるようにこの実施例13では、セルフリフレッシュ信号SREFおよびバーンイン信号BIを受けるORゲート713の出力信号がリフレッシュタイマ714に与えられる。リフレッシュタイマ714の出力信号およびバーンイン信号BIはANDゲート715に与えられる。また、バーンイン信号BIおよび外部行アドレスストロブ信号/RASEはNORゲート716に与えられる。マルチプレクサ717はバーンイン信号BIにตอบสนองしてANDゲート715の出力信号またはNORゲート716の出力信号を選択し、その選択された信号を内部行アドレスストロブ信号/RASIとして出力する。

【0162】

セルフリフレッシュモードではLレベルのバーンイン信号BIが与えられるので、リフレ

50

ッシュタイマ714が活性化され、そのリフレッシュタイマ714の出力信号にตอบสนองしてアドレスカウンタ718がセルフリフレッシュのための内部アドレスを生成する。セルフリフレッシュ制御回路719はその生成された内部アドレスにตอบสนองしてメモリセルを順次リフレッシュするよう行デコーダ、センスアンプなどを制御する。

【0163】

また、マルチプレクサ717はLレベルのバーンイン信号BIにตอบสนองしてNORゲート716の出力信号を選択するため、外部行アドレスストロブ信号/RASEが内部行アドレスストロブ信号/RASIとして出力される。

【0164】

他方、テストモードではHレベルのバーンイン信号BIが与えられるので、マルチプレクサ717はANDゲート715の出力信号を選択する。したがって、リフレッシュタイマ714の出力信号が内部行アドレスストロブ信号/RASIとして出力される。テストモードではこの内部行アドレスストロブ信号/RASIにตอบสนองして複数のワード線が周期的に活性化されるので、メモリセルのACストレス試験が可能となる。

【0165】

この実施例13によれば、各半導体チップごとに必要とされる内部タイマとしてリフレッシュタイマ714が流用されているため、加速試験だけのための回路が占有する領域が低減される。

【0166】

[実施例14]

上記実施例ではマルチセレクション信号MLTにตอบสนองしてメモリセルアレイ内のすべてのワード線WLが活性化されるため、ワード線の充放電により大量の電力が同時に消費される。そこで、アドレスによって指定された複数のワード線を順次活性化できる実施例14の構成が図37に示される。

【0167】

図37の実施例14では、内部タイマ711の出力にตอบสนองしてアドレスカウンタ718が内部アドレスを順次生成する。したがって図38(b)に示されるようにマルチセレクション信号MLTが活性化されると、図38(d)に示されるアドレスカウンタ718の内部アドレスに従って図38(c)に示されるように複数のワード線WLの電位が昇圧電位VPPまで上昇する。マルチセレクション信号MLTが再び活性化されると、次の内部アドレスに従って複数のワード線WLが駆動される。

【0168】

ここで、内部タイマ711はセルフリフレッシュ用のリフレッシュタイマを流用し、さらにアドレスカウンタ718はセルフリフレッシュ用のアドレスカウンタを流用するのが望ましい。加速試験のために必要な回路の占有面積が低減されるからである。

【0169】

この実施例14によれば、テストモードにおいてはアドレスカウンタ718からの内部アドレスに従ってメモリセルアレイ内の一部のワード線のみが駆動されるため、ワード線を充放電するために同時に消費される電力が低減される。また、アドレスカウンタ718が駆動されるべきワード線を特定するためのアドレスを内部的に生成するため、外部からそのようなアドレスを与える必要はない。そのため、テストのために外部から与える電位および信号の数が少なく、ウエハ状態での加速試験を容易に行なうことができる。

【0170】

以上、この発明の実施例を詳述したが、この発明の範囲は上述した実施例によって限定されるものではなく、この発明はその主旨を逸脱しない範囲内で当業者の知識に基づき種々の改良、修正、変形などを加えた態様で実施し得るものである。

【0171】

【発明の効果】

請求項1に係る半導体記憶装置によれば、マルチセレクション信号の活性時に外部から与えられる制御信号のレベルにตอบสนองして、電源電位と接地電位とを切り替えビット線に供

10

20

30

40

50

給する。そのため、セルキャパシタに与えられるストレス電圧の極性が切り替えられ、セルキャパシタにACストレスを与えることができる。

【0178】

請求項2に係る半導体記憶装置によれば、請求項1の効果に加えて、マルチセレクション信号の活性時に制御信号に応答してビット線に与えられる電位が電源電位の場合は接地電位を、接地電位の場合は電源電位をメモリセルのセルプレートに供給する。そのため、セルキャパシタに与えられるストレス電圧の極性が切り替えられ、セルキャパシタにACストレスを与えることができる。

【0180】

請求項3に係る半導体記憶装置によれば、マルチセレクション信号の活性時に外部から与えられる制御信号のレベルに
10 応答して、電源電位と接地電位とを切り替えメモリセルのセルプレートに供給する。そのため、セルキャパシタに与えられるストレス電圧の極性が切り替えられ、セルキャパシタにACストレスを与えることができる。

【図面の簡単な説明】

【図1】 この発明の実施例1によるDRAMの全体構成を示すブロック図である。

【図2】 図1中のメモリセルアレイ、センスアンプ列、入出力回路などの一部を具体的に示すブロック図である。

【図3】 図1中のメモリセルアレイの具体的な構成を示す回路図である。

【図4】 図2および3に示された1つのメモリセルの構造を示す断面図である。

【図5】 図1中のマルチセレクションパッドおよびマルチセレクション信号発生回路の具体的な構成を示す回路図である。
20

【図6】 図1中の行デコーダ12の具体的な構成を示すブロック図である。

【図7】 図6中の行プリデコーダとともに1つのワードドライバの構成を具体的に示すブロック図である。

【図8】 図6および7中の行プリデコーダの具体的な構成を示す回路図である。

【図9】 図6中の複数の行デコーダユニットの具体的な構成を示す回路図である。

【図10】 図1～9に示されたDRAMの動作を示すタイミング図である。

【図11】 この発明の実施例2によるDRAMにおける行プリデコーダの具体的な構成を示す回路図である。

【図12】 図11中の2つのマルチセレクション信号を生成するための回路を示すブロック図である。
30

【図13】 図11および12に示された実施例2においてワード線がグループごとに分割的に駆動される様子
を示す説明図である。

【図14】 この発明の実施例3によるDRAMにおける要部構成を示すブロック図である。

【図15】 図14に示されたDRAMによる動作の一例を示すタイミング図である。

【図16】 図14に示されたDRAMによる動作の他の例を示すタイミング図である。

【図17】 この発明の実施例4によるDRAMの要部構成を示すブロック図である。

【図18】 図17に示されたDRAMによる動作を示すタイミング図である。

【図19】 この発明の実施例5によるDRAMの要部構成を示すブロック図である。
40

【図20】 図19に示されたDRAMによる動作を示すタイミング図である。

【図21】 この発明の実施例6によるDRAMの要部構成を示すブロック図である。

【図22】 図21中のビット線側の切替回路およびセクタの具体的な構成を示す回路図である。

【図23】 図21中のセルプレート側の切替回路およびセクタの具体的な構成を示す回路図である。

【図24】 この発明の実施例7によるDRAMの要部構成を示すブロック図である。

【図25】 図24に示されたDRAMによる動作を示すタイミング図である。

【図26】 図24中の昇圧電源パッドを有していない半導体チップをウエハ状態で同時にテストする様子
を示す説明図である。
50

【図27】 図26に示された半導体チップをウエハ状態でテストするのに用いられるプローブカードを示す平面図である。

【図28】 この発明の実施例8によるDRAMの要部構成を示す説明図である。

【図29】 この発明の実施例9によるフラッシュメモリ装置の要部構成を示す説明図である。

【図30】 この発明の実施例10による半導体集積回路装置用半製品を示す平面図である。

【図31】 図30中の半導体チップおよびダイシング領域を詳細に示す説明図である。

【図32】 この発明の実施例11による半導体集積回路装置用半製品の要部を示す説明図である。

【図33】 図32に示された半導体集積回路装置用半製品のためのテスト動作を示すタイミング図である。

【図34】 この発明の実施例12による半導体集積回路装置用半製品の要部を示す説明図である。

【図35】 図34に示された半導体集積回路装置用半製品のためのテスト動作を示すタイミング図である。

【図36】 この発明の実施例13による半導体集積回路装置用半製品における1つの半導体チップの要部構成を示すブロック図である。

【図37】 この発明の実施例14による半導体集積回路装置用半製品の要部を示す説明図である。

【図38】 図37に示された半導体集積回路装置用半製品のためのテスト動作を示すタイミング図である。

【図39】 従来のDRAMにおける行プリデコーダ、ワードドライバおよびメモリセルの構成を示すブロック図である。

【図40】 図39中の行プリデコーダの具体的な構成を示す回路図である。

【図41】 「IEDM93, DIGEST P639~642」中の図3に示されたDRAMの構成を示すブロック図である。

【図42】 半導体ウエハ上に複数の半導体チップが形成された従来の半導体集積回路装置用半製品を示す平面図である。

【図43】 図42に示された半導体チップをウエハ上でテストするためのプローブカードを示す平面図である。

【符号の説明】

10 半導体基板、11 メモリセルアレイ、12 行デコーダ、20, 41 マルチセレクションパッド、21 マルチセレクション信号発生回路、BL, /BL ビット線、WL ワード線、111 メモリセル、112 アクセストランジスタ、113 セルキャパシタ、114 ストレージノード、115 セルプレート、22 ビット線プリチャージ電位発生器、23 ビット線イコライズ回路、121 行プリデコーダ、RD1~RDn 行デコーダユニット、122 プリデコード信号線、WD11~WD14, WD21~WD24, WDn1~WDn4 ワードドライバ、24, 27 テストパッド、25, 28, 37, 38, 43, 44, 48, 51 セレクタ、26 セルプレート電位発生器、29, 30 切替回路、34 マルチセレクション検出回路、39 電源パッド、40 接地パッド、42 昇圧電源パッド、50 基板電位発生器、52 ソース線、53 フローティングゲート型メモリセル、70 半導体ウエハ、71 半導体チップ、711 内部タイマ、721~725 テスト配線、712 1/n分周回路、714 リフレッシュタイマ、718 アドレスカウンタ、719 セルフリフレッシュ制御回路。

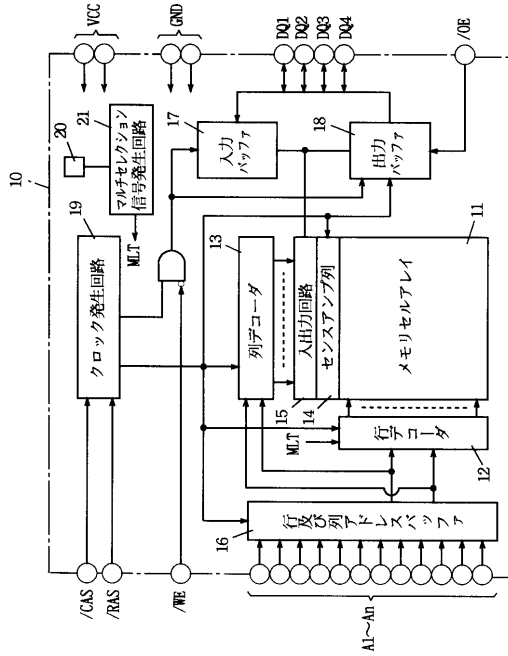
10

20

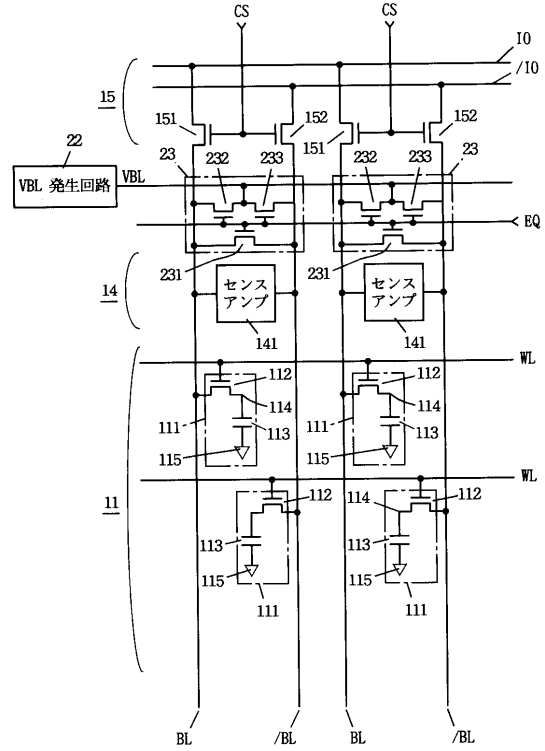
30

40

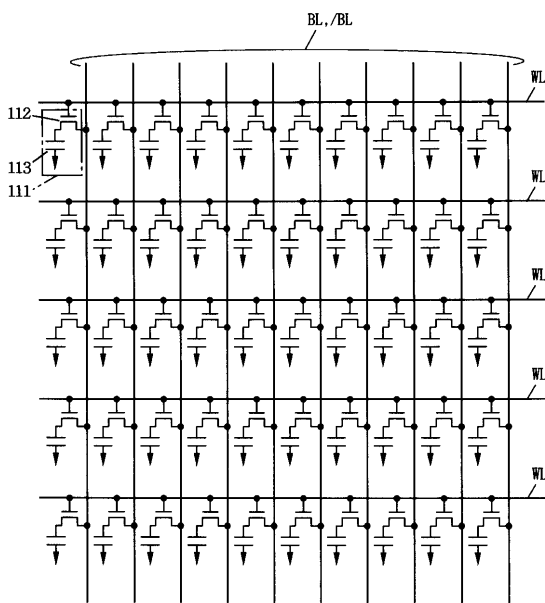
【図1】



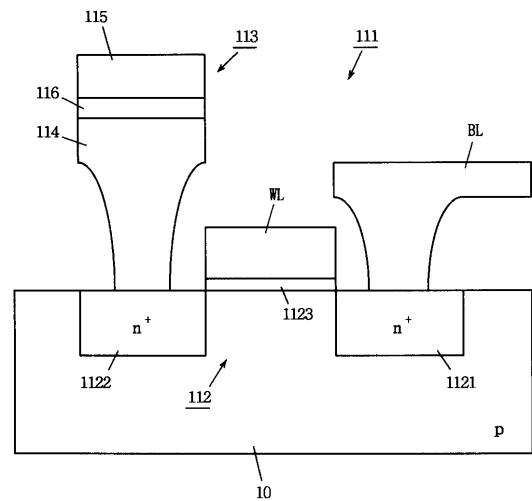
【図2】



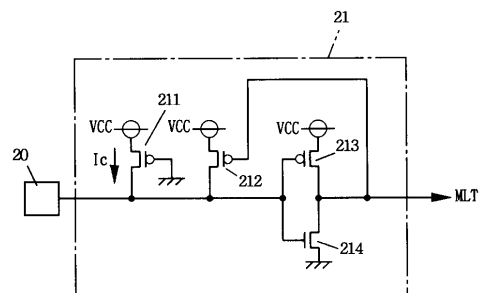
【図3】



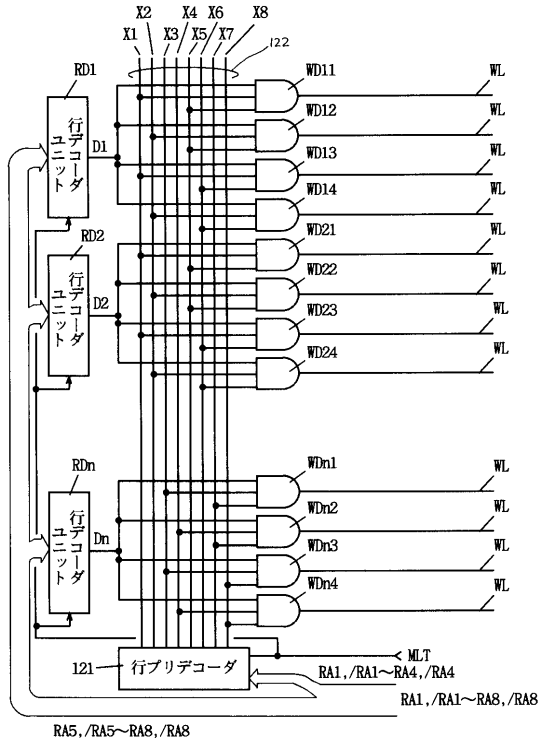
【図4】



【図5】

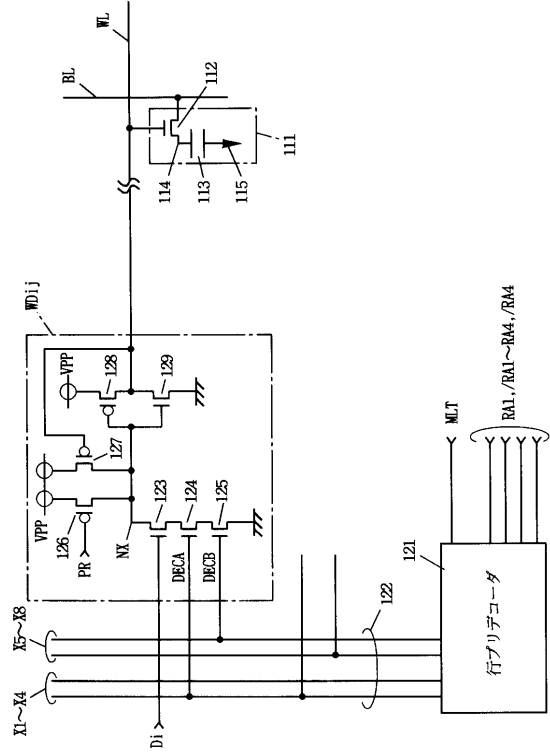


【 図 6 】

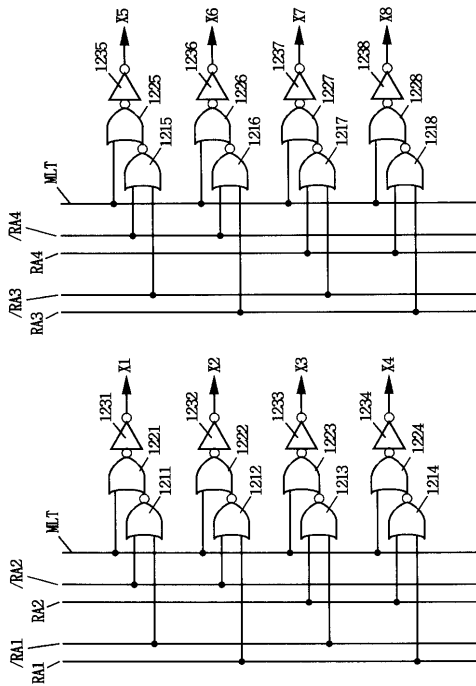


12 : 行デコーダ

【 図 7 】

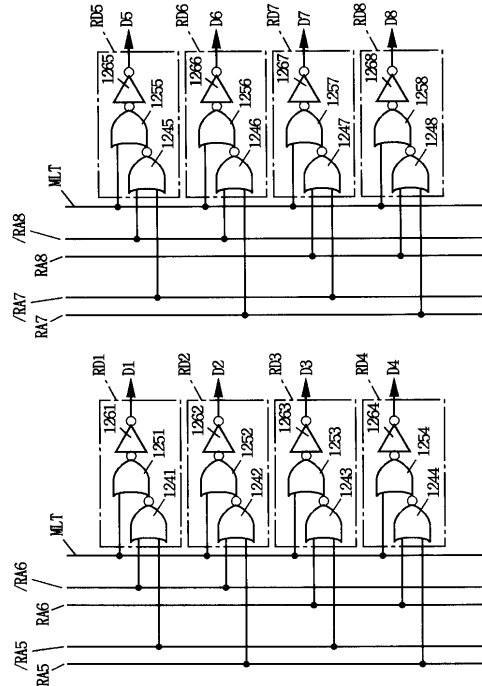


【 図 8 】

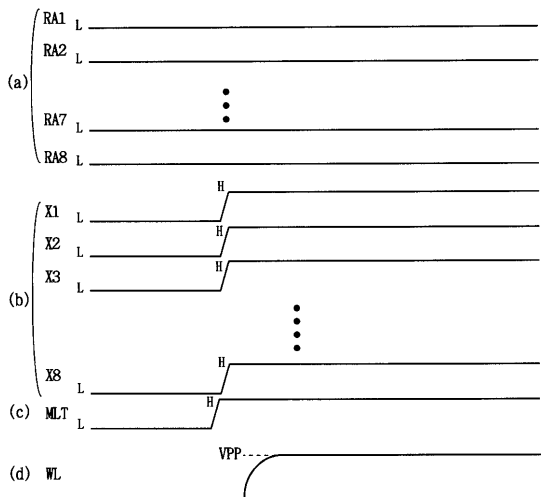


121 : 行アドレスデコーダ

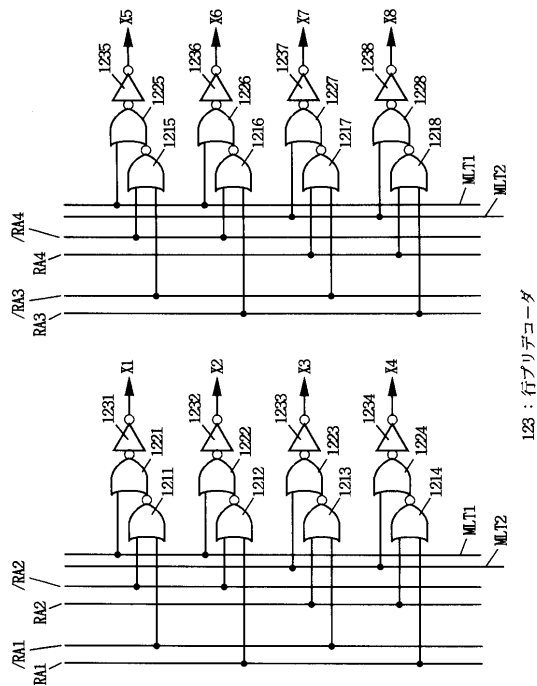
【 図 9 】



【 図 1 0 】

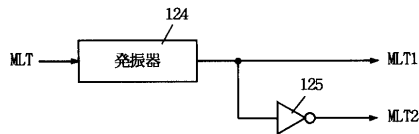


【 図 1 1 】

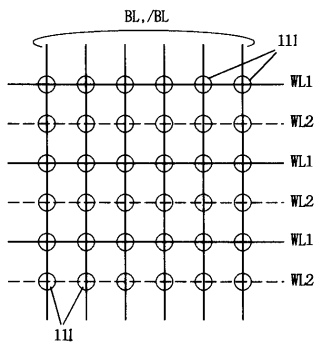


123 : 行アドレスデコーダ

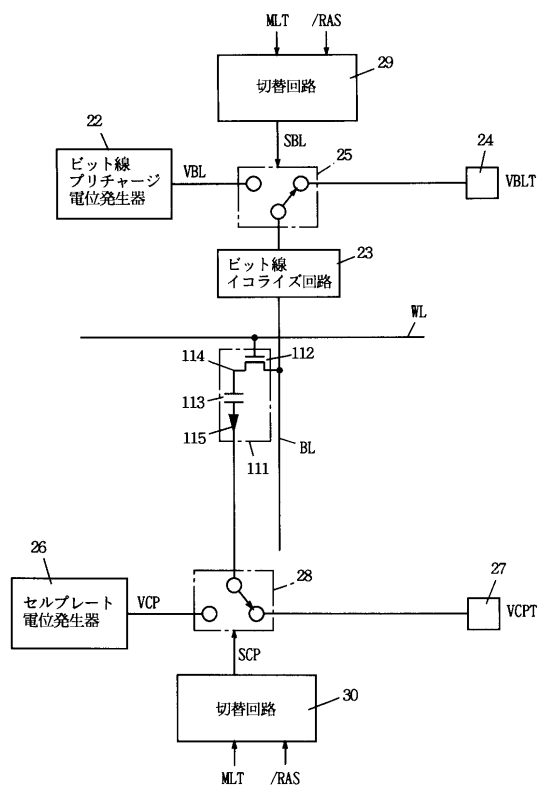
【 図 1 2 】



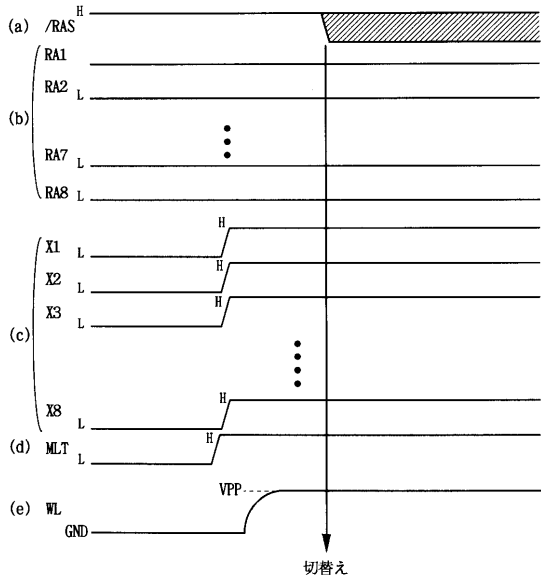
【 図 1 3 】



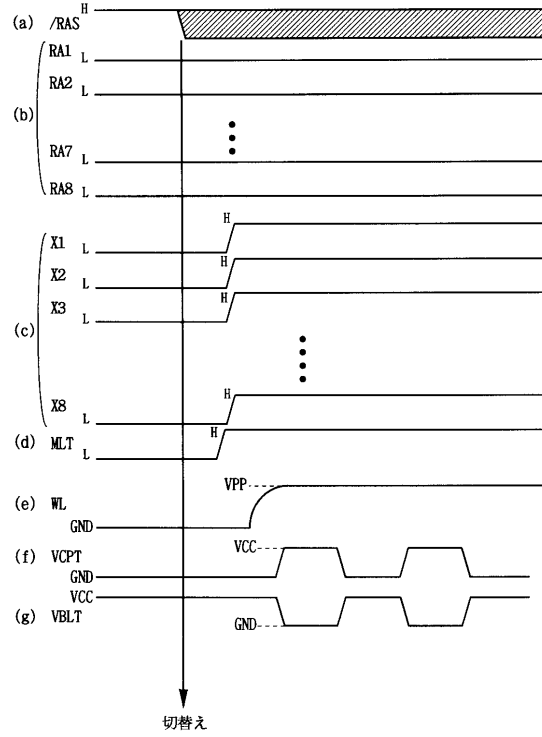
【 図 1 4 】



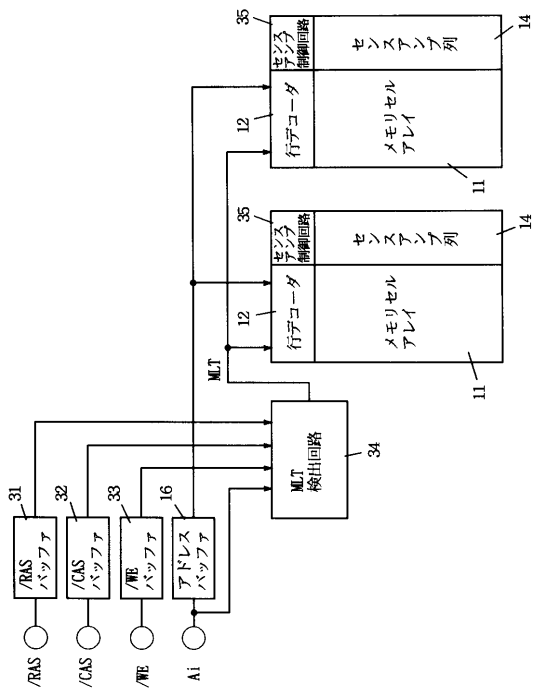
【 図 15 】



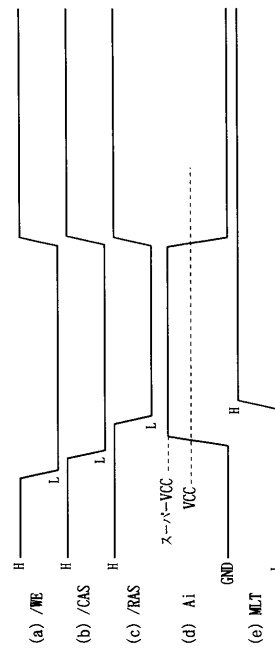
【 図 16 】



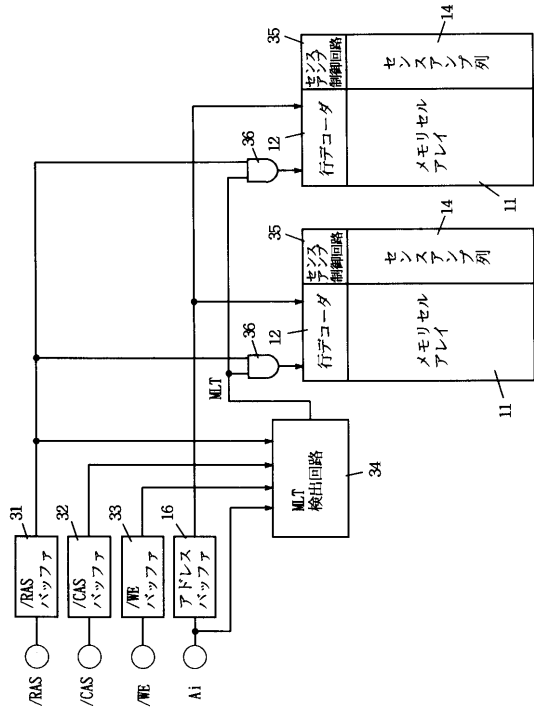
【 図 17 】



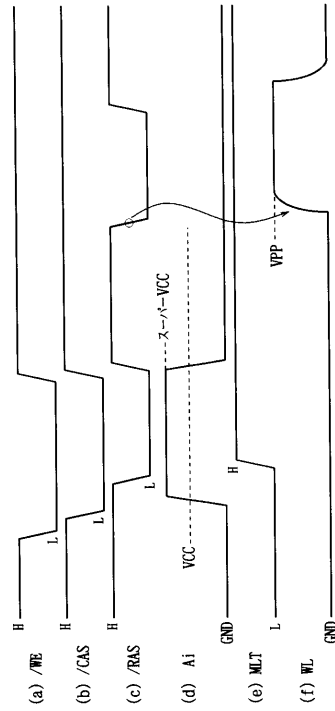
【 図 18 】



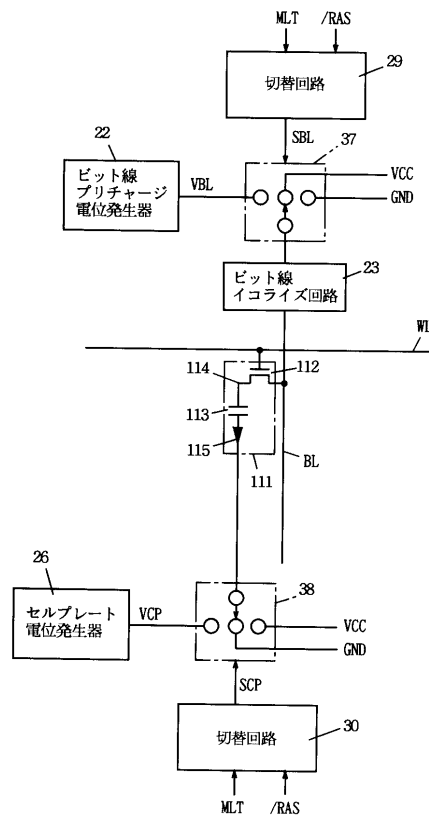
【 図 19 】



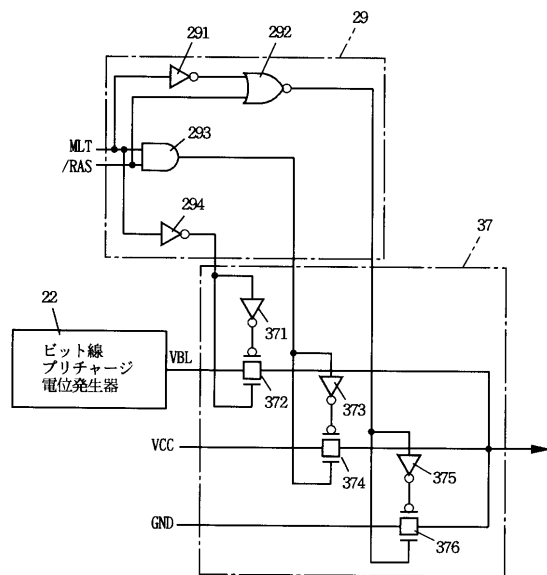
【 図 20 】



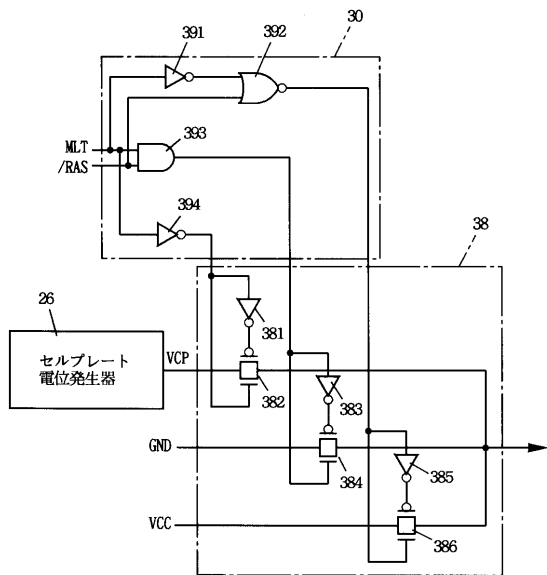
【 図 21 】



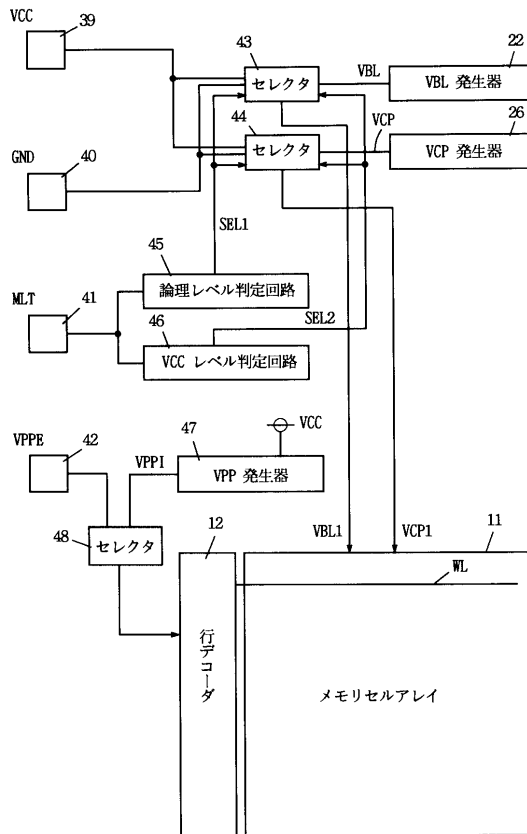
【 図 22 】



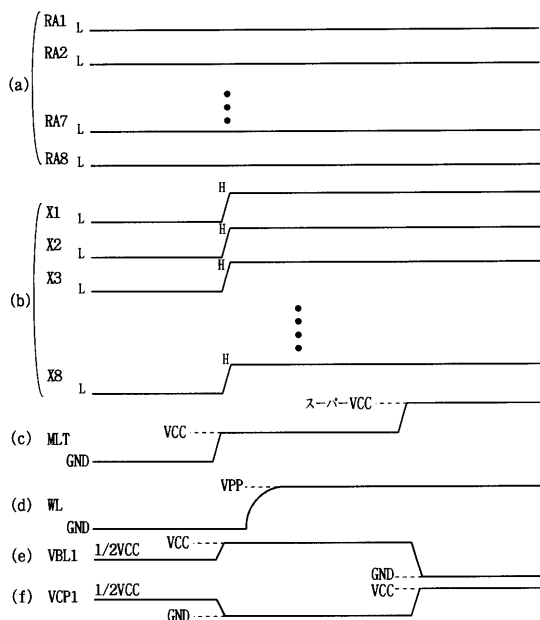
【図 2 3】



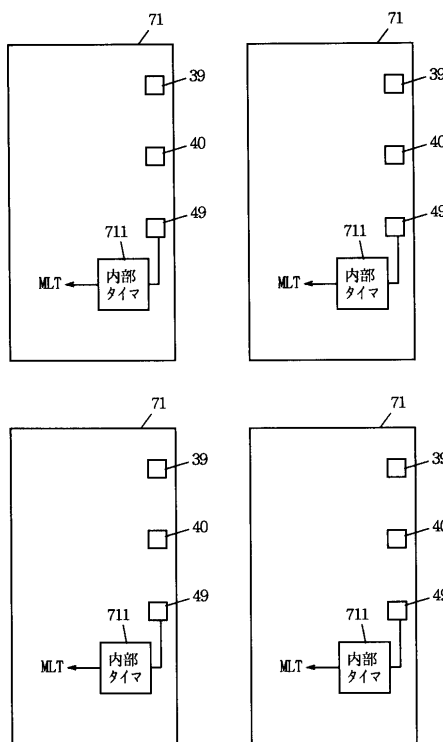
【図 2 4】



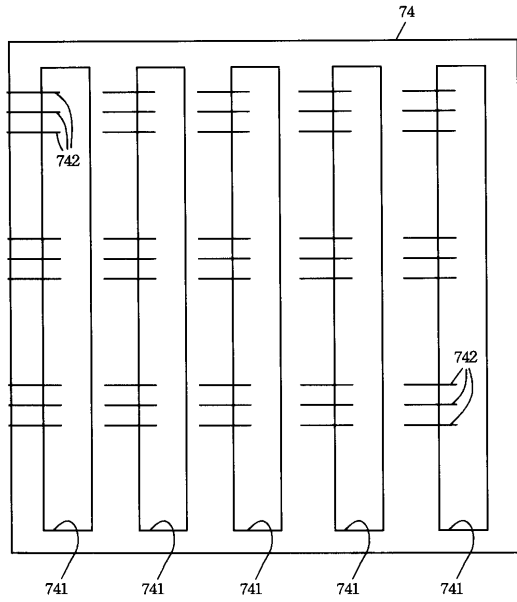
【図 2 5】



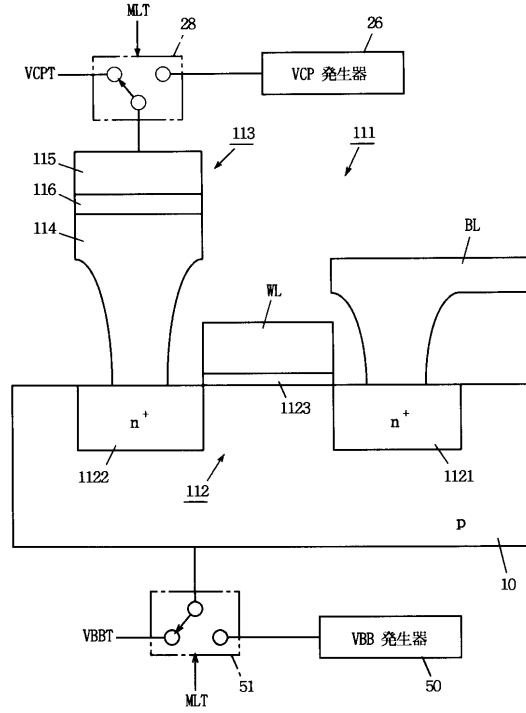
【図 2 6】



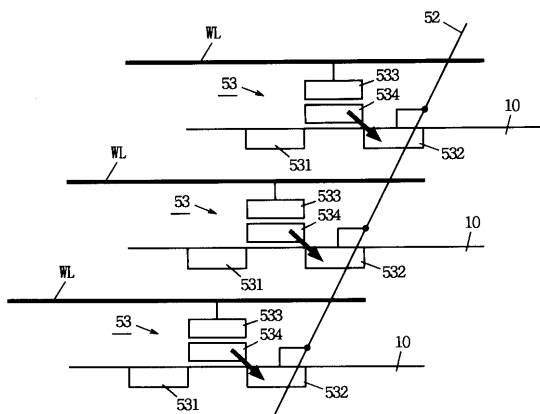
【 図 2 7 】



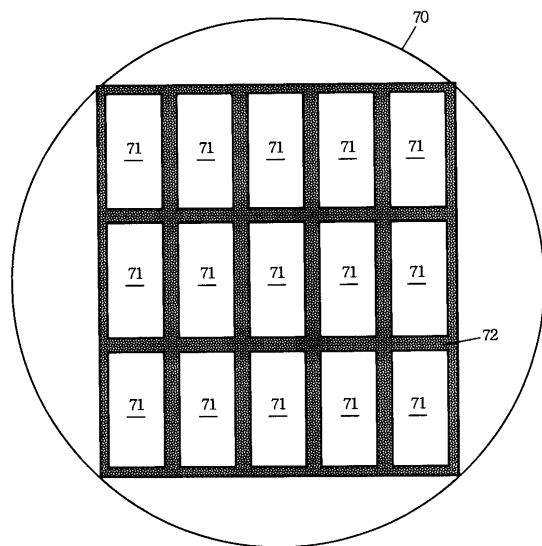
【 図 2 8 】



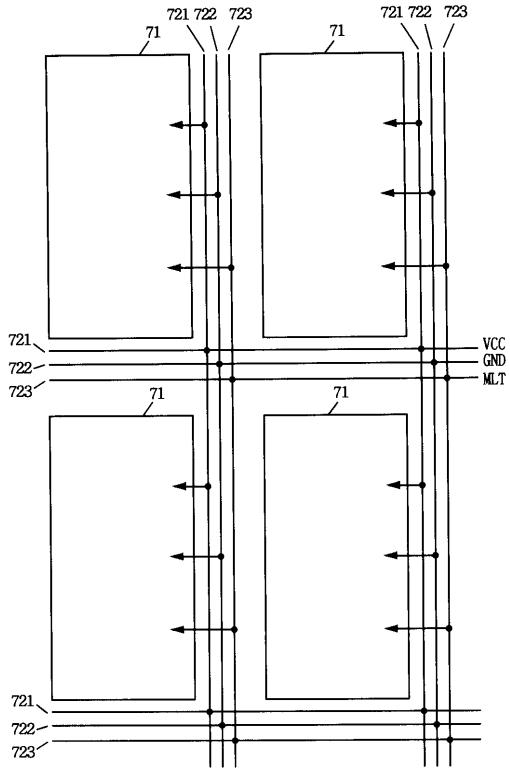
【 図 2 9 】



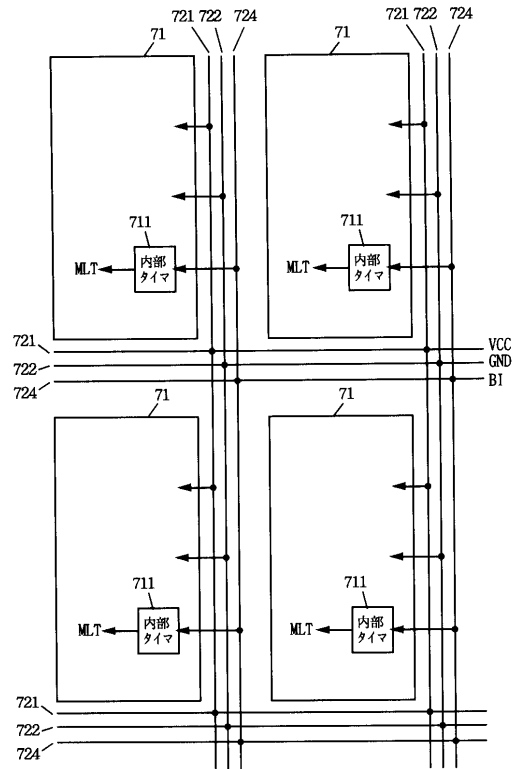
【 図 3 0 】



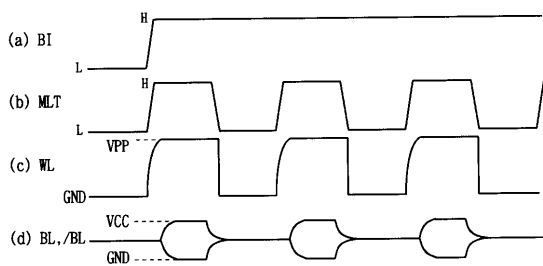
【 図 3 1 】



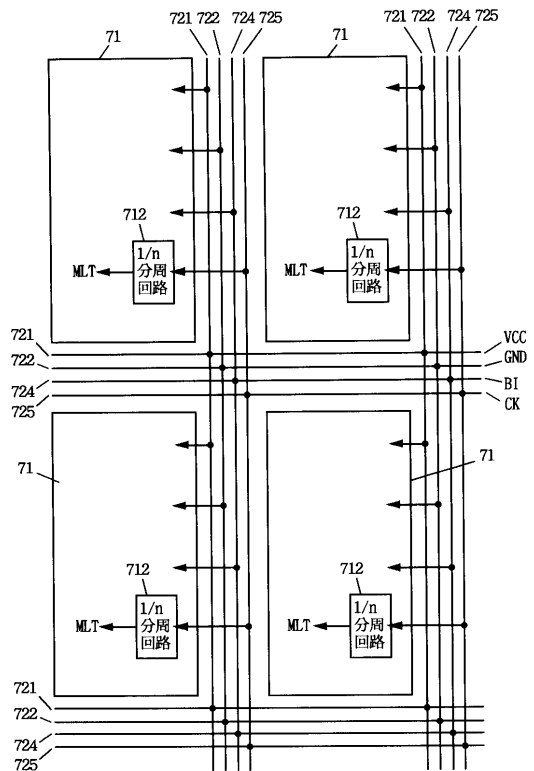
【 図 3 2 】



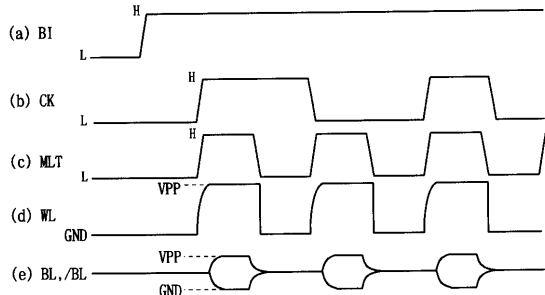
【 図 3 3 】



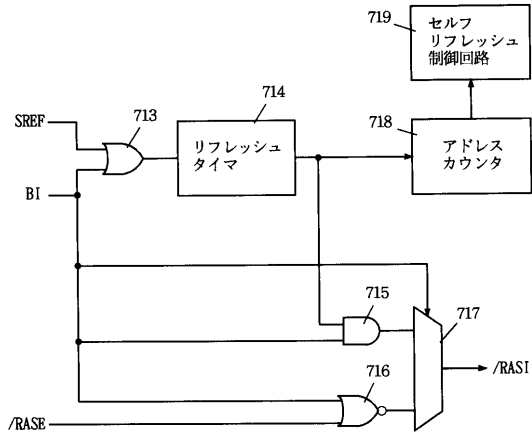
【 図 3 4 】



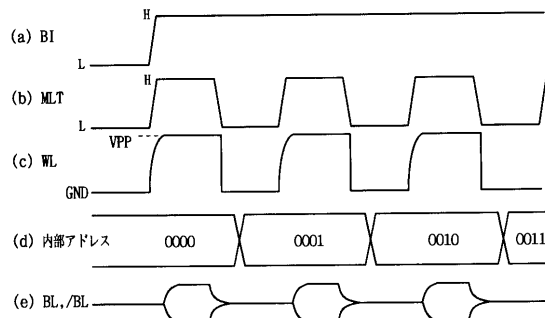
【 図 3 5 】



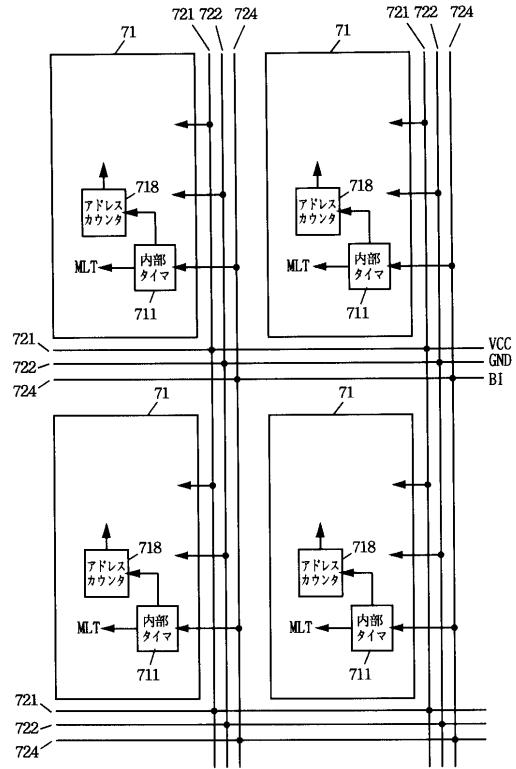
【 図 3 6 】



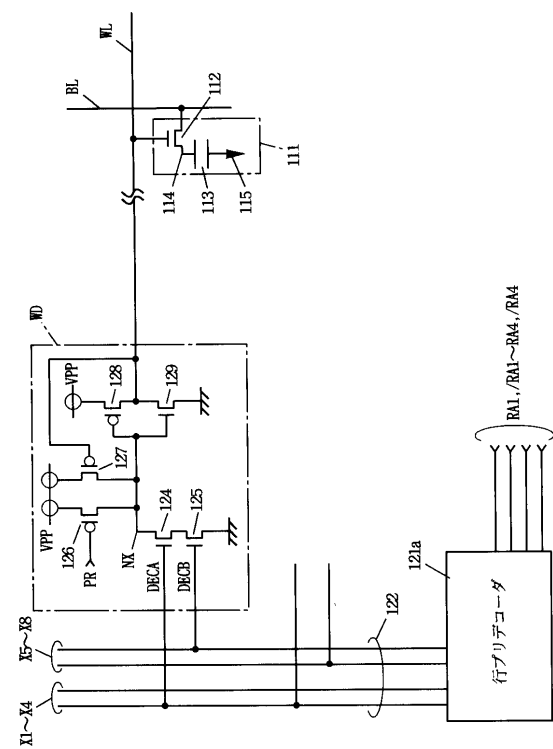
【 図 3 8 】



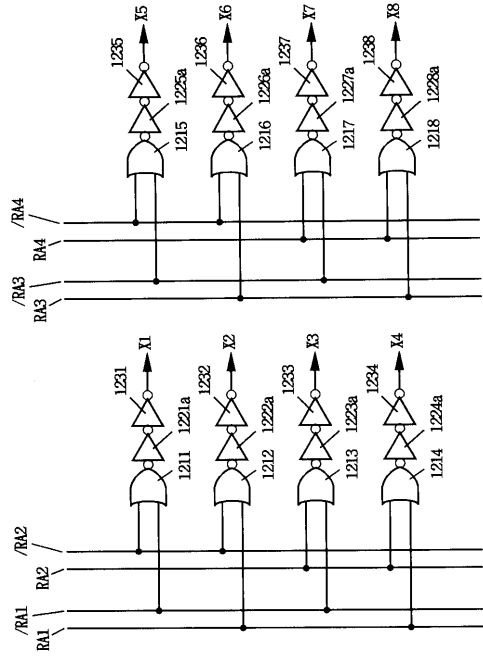
【 図 3 7 】



【 図 3 9 】

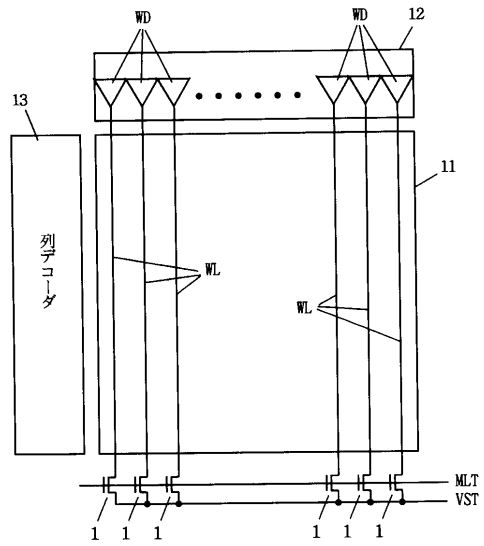


【 図 4 0 】

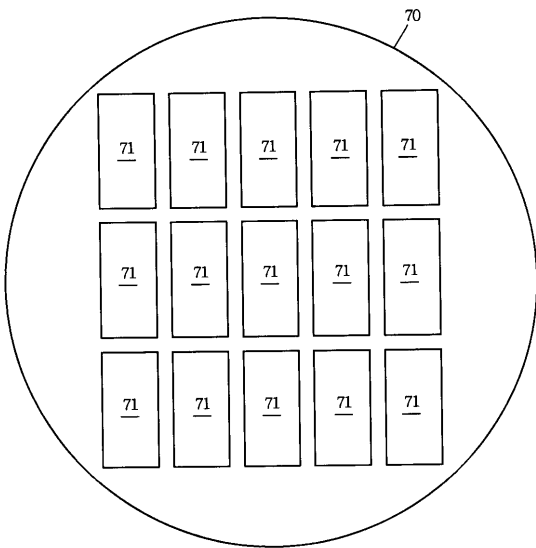


121a : 行プリデコーダ

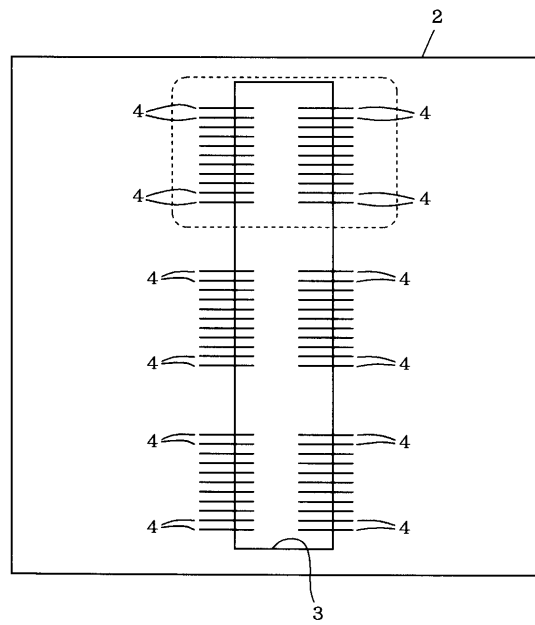
【 図 4 1 】



【 図 4 2 】



【 図 4 3 】



フロントページの続き

(72)発明者 大石 司

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社 ユー・エル・エス・アイ開発研究所内

審査官 小松 正

(56)参考文献 特開平06-325597(JP,A)

特開平04-230048(JP,A)

特開平05-342858(JP,A)

特開平06-060699(JP,A)

特開平02-306493(JP,A)

特開平08-138390(JP,A)

特開平02-003948(JP,A)

特開平04-343244(JP,A)

特開平03-034555(JP,A)

特開平06-076569(JP,A)

特開平05-250868(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 29/00

G11C 11/401-11/4099