



CONFÉDÉRATION SUISSE
OFFICE FÉDÉRAL DE LA PROPRIÉTÉ INTELLECTUELLE

Int. Cl.³: H 01 L 27/06
H 01 L 29/00

Brevet d'invention délivré pour la Suisse et le Liechtenstein
Traité sur les brevets, du 22 décembre 1978, entre la Suisse et le Liechtenstein



FASCICULE DU BREVET A5

11

632 610

21 Numéro de la demande: 9247/78

73 Titulaire(s):
Centre Electronique Horloger S.A., Neuchâtel

22 Date de dépôt: 01.09.1978

72 Inventeur(s):
Eric Vittoz, Cernier
Olivier Neyroud, Chardonne

24 Brevet délivré le: 15.10.1982

45 Fascicule du brevet
publié le: 15.10.1982

74 Mandataire:
William Blanc & Cie conseils en propriété
industrielle S.A., Genève

54 Source de tension de référence réalisée sous forme d'un circuit intégré à transistors MOS.

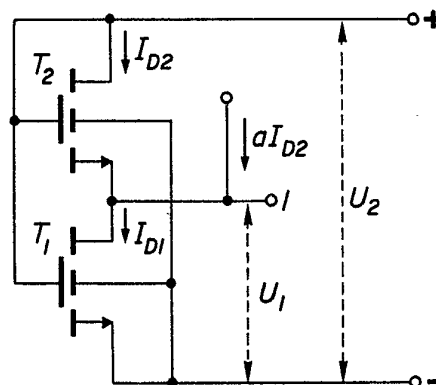
57 Une source de tension de référence intégré en technologie MOS comporte un circuit de base à deux transistors MOS du même type de conduction travaillant en régime de faible inversion.

Le drain d'un premier transistor (T_1) est connecté à la source du deuxième (T_2), la source du premier et le drain du deuxième transistor étant connectés respectivement à des bornes d'alimentation (+, -).

Les grilles des deux transistors sont reliées entre elles et au drain du deuxième transistor et les substrats ou caissons de ces transistors sont reliés entre eux et à la source du premier transistor.

La tension entre les bornes d'alimentation est telle que le deuxième transistor soit saturé.

La tension drain-source du premier transistor (T_1) constitue une tension de référence proportionnelle à la température absolue et ne dépendant en outre pratiquement que des facteurs de forme des transistors utilisés.



1. Source de tension de référence réalisée sous la forme d'un circuit intégré à transistors MOS, dont au moins un transistor est alimenté et dimensionné de façon à travailler en régime de faible inversion, caractérisée en ce qu'elle comporte des premier et deuxième transistors MOS (T_1 , T_2) du même type de conduction, dont les chemins de conduction ont un point de connexion commun et sont reliés, par ailleurs, respectivement à des première et deuxième bornes d'alimentation (+, -), chacun des transistors ayant sa grille connectée à ladite première borne d'alimentation (+) et son substrat à la source du premier transistor (T_1), la tension entre lesdites bornes d'alimentation ayant une valeur telle que le deuxième transistor soit saturé (T_2), la tension (U_1) drain-source dudit premier transistor constituant une tension de référence.

2. Source de tension de référence réalisée sous la forme d'un circuit intégré à transistors MOS dont au moins un transistor est alimenté et dimensionné de façon à travailler en régime de faible inversion, caractérisée en ce qu'elle comporte un commutateur (SW) agencé pour relier une première connexion du chemin de conduction d'un transistor MOS (T) alternativement à une première (+) et une deuxième (-) borne d'alimentation, la grille de ce transistor étant connectée à la première borne (+) d'alimentation et la deuxième connexion du chemin de conduction du transistor étant reliée, par l'intermédiaire d'une capacité (C_1), à la deuxième borne (-) d'alimentation, de sorte que le transistor travaille alternativement de façon analogue à des premier et deuxième transistors MOS du même type de conduction, dont les chemins de conduction auraient un point de connexion commun et seraient reliés, par ailleurs, alternativement aux première et deuxième bornes d'alimentation, chacun des transistors ayant sa grille connectée à ladite première borne d'alimentation et son substrat à la source du premier transistor, la tension entre lesdites bornes d'alimentation ayant une valeur telle que le deuxième transistor soit saturé, la tension drain-source dudit premier transistor, c'est-à-dire la tension apparaissant aux bornes de ladite capacité, constituant une tension de référence.

3. Source de tension de référence selon la revendication 1, caractérisée en ce qu'une source de courant (aI_{D2}) est connectée au drain du premier transistor, le rapport entre le courant fourni par cette source et le courant de drain du deuxième transistor étant constant et indépendant de la température.

4. Source de tension de référence selon la revendication 1, caractérisée en ce que le drain du deuxième transistor (T_{21}) est connecté, par l'intermédiaire d'une première source de courant (I_1), à une première borne (+) d'une source de tension d'alimentation, en ce que la source du premier transistor (T_{11}) est connectée à la deuxième borne (-) de cette source de tension d'alimentation, et en ce qu'un troisième transistor MOS (T_{12}) est connecté par son drain à la source d'un quatrième transistor MOS (T_{22}), le drain de ce quatrième transistor étant connecté, par l'intermédiaire d'une deuxième source de courant fournissant un courant dont le rapport avec celui de la première source est constant et indépendant de la température, à la première borne de la source de tension d'alimentation, et la source du troisième transistor étant connectée au drain du premier transistor, les grilles des troisième et quatrième transistors étant reliées entre elles et au drain du quatrième transistor, et les substrats ou caissons des troisième et quatrième transistors étant reliés entre eux et à la source du troisième transistor, la tension d'alimentation, les sources de courant et lesdits premier à quatrième transistors étant dimensionnés de façon que ces transistors travaillent en régime de faible inversion et que les deuxième et quatrième transistors soient saturés, la tension apparaissant entre le drain du troisième transistor et la source du premier transistor constituant une tension de référence.

5. Source de tension de référence selon la revendication 4, caractérisée en ce qu'elle comprend p paires de transistors du même type de conduction et p sources de courant correspondantes, p étant plus grand que deux, une première paire étant constituée par lesdits premier et deuxième transistors et les autres paires par des transistors

analogues aux troisième et quatrième transistors, deux paires consécutives étant connectées de façon que la source de chaque transistor correspondant au troisième transistor soit reliée au drain du transistor correspondant au troisième transistor de la paire précédente, le dimensionnement des transistors et de leur alimentation étant analogue à celui des premier à quatrième transistors, la tension apparaissant entre le drain du transistor de la dernière paire, correspondant au troisième transistor, et la source du premier transistor constituant une tension de référence.

6. Source de tension de référence selon l'une des revendications 1, 3, 4 ou 5, caractérisée en ce que les premier et deuxième transistors ou les transistors de chaque paire analogue sont réalisés dans un même caisson.

7. Source de tension de référence selon la revendication 1, caractérisée en ce qu'elle comporte au moins un troisième et un quatrième transistor MOS (T_{62} , T_{51} , fig. 3) d'un type de conduction différent de celui des premier et deuxième transistors (T_{13} , T_{24}), ces troisième et quatrième transistors étant montés de façon à former un miroir de courant, leurs sources étant connectées à une première borne (+, fig. 3) d'une source de tension d'alimentation, leurs grilles étant reliées entre elles et au drain du quatrième transistor (T_{51}), le drain du troisième transistor (T_{62}) étant connecté à celui du deuxième transistor (T_{24}) pour alimenter celui-ci au courant (I_2), et en ce qu'elle comporte un cinquième transistor MOS (T_{35}) du même type de conduction que les premier et deuxième transistors, le drain de ce cinquième transistor étant connecté à celui du quatrième transistor (T_{51}), la source du cinquième transistor étant connectée à la deuxième borne de la source de tension d'alimentation (-) et la grille de ce transistor étant reliée au drain du premier transistor, la tension d'alimentation ayant une valeur telle que le cinquième transistor soit saturé, la tension (U_2) apparaissant entre le drain du deuxième et la source du premier transistor constituant une tension de référence.

8. Source de tension de référence selon la revendication 7, caractérisée en ce qu'elle comporte des sixième à Q-ième transistors MOS du type de conduction des troisième et quatrième transistors ou deuxième type de conduction, connectés par leurs sources et grilles de façon analogue audit troisième transistor, et des (Q+1)-ième à (2Q-5)-ième transistors MOS du type de conduction des premier et deuxième transistors ou premier type de conduction, alimentés et dimensionnés de façon à travailler en régime de faible inversion, chacun de ces transistors étant connecté par sa source au drain du transistor précédent et par son drain et sa grille au drain d'un transistor correspondant du deuxième type de conduction, la source du (Q+1)-ième transistor étant reliée à la grille du deuxième transistor, les substrats ou caissons de chacun de ces transistors étant reliés chacun à la source du même transistor, la tension apparaissant entre le drain du (2Q-5)-ième transistor et la source du premier transistor constituant une tension de référence.

9. Source de tension de référence selon la revendication 7, caractérisée en ce qu'elle comporte des sixième à Q-ième transistors MOS du type de conduction des premier et deuxième transistors ou premier type de conduction, alimentés et dimensionnés de façon à travailler en régime de faible inversion, les chemins de conduction de ces transistors étant connectés en série entre le drain du deuxième transistor et le drain du troisième transistor, les grilles de chacun de ces transistors étant connectées chacune au drain du même transistor et les substrats ou caissons de ces transistors étant reliés chacun à la source du même transistor, la tension apparaissant entre le drain du Q-ième transistor et la source du premier transistor constituant une tension de référence.

10. Source de tension de référence selon l'une des revendications 7, 8 ou 9, caractérisée en ce que les premier, deuxième et cinquième transistors sont réalisés dans un même caisson.

11. Source de tension de référence selon l'une des revendications 1, 3, 4, 5, 6 ou 7 pour obtenir une tension de référence thermocompensée, caractérisée en ce qu'elle comporte en outre un amplificateur opérationnel, un transistor MOS de réglage, un transis-

tor bipolaire et des moyens permettant de maintenir le courant émetteur de ce transistor bipolaire approximativement constant, une première entrée de l'amplificateur opérationnel étant reliée au drain du transistor fournissant la tension de référence non thermo-compensée et une deuxième entrée de l'amplificateur opérationnel étant reliée à l'émetteur du transistor bipolaire, le chemin collecteur-émetteur de ce transistor bipolaire étant monté en série avec un élément des moyens pour maintenir le courant constant, entre les bornes de la source de tension d'alimentation, et la sortie de l'amplificateur opérationnel étant reliée à la grille du transistor de réglage, le chemin de conduction du transistor de réglage étant inséré dans le circuit collecteur-base du transistor bipolaire, la tension entre la base du transistor bipolaire et la borne de la source de tension d'alimentation opposée à celle qui est connectée au collecteur du transistor bipolaire constituant ladite tension de référence thermo-compensée.

12. Source de tension de référence selon la revendication 11, caractérisée en ce qu'un diviseur de tension est monté en série avec le chemin de conduction du transistor de réglage entre les bornes de la source de tension d'alimentation, la base du transistor bipolaire étant reliée à un point intermédiaire de ce diviseur de tension.

13. Source de tension de référence selon la revendication 2, pour obtenir une tension de référence thermocompensée, caractérisée en ce qu'elle comporte en outre un amplificateur opérationnel, un transistor MOS de réglage, un transistor bipolaire et des moyens permettant de maintenir le courant émetteur de ce transistor bipolaire approximativement constant, une première entrée de l'amplificateur opérationnel étant reliée au drain du transistor fournissant la tension de référence non thermocompensée et une deuxième entrée de l'amplificateur opérationnel étant reliée à l'émetteur du transistor bipolaire, le chemin collecteur-émetteur de ce transistor bipolaire étant monté en série avec un élément des moyens pour maintenir le courant constant, entre les bornes de la source de tension d'alimentation, et la sortie de l'amplificateur opérationnel étant reliée à la grille du transistor de réglage, le chemin de conduction du transistor de réglage étant inséré dans le circuit collecteur-base du transistor bipolaire, la tension entre la base du transistor bipolaire et la borne de la source de tension d'alimentation opposée à celle qui est connectée au collecteur du transistor bipolaire constituant ladite tension de référence thermocompensée.

14. Source de tension de référence selon la revendication 13, caractérisée en ce qu'un diviseur de tension est monté en série avec le chemin de conduction du transistor de réglage entre les bornes de la source de tension d'alimentation, la base du transistor bipolaire étant reliée à un point intermédiaire de ce diviseur de tension.

La présente invention concerne une source de tension de référence réalisée sous forme de circuit intégré et utilisant des transistors MOS travaillant en régime de faible inversion. L'invention concerne plus particulièrement une source fournissant une tension de référence proportionnelle à la température absolue, appelée ci-après source de tension de référence PTAT, ou source PTAT, ainsi qu'une telle source agencée pour obtenir une tension de référence indépendante de la température.

Des sources de tension de référence du type susmentionné sont utilisées dans des circuits intégrés analogiques tels que des convertisseurs analogiques-numériques ou numériques-analogiques, comme source de tension de calibrage, ou dans un dispositif de contrôle de la tension d'une batterie, par exemple.

Des sources de tension de référence intégrables en technologie MOS sont mentionnées dans l'article de David A. Hodges, Paul R. Gray et Robert W. Brodersen, «Potential of MOS Technologies for Analog Integrated Circuits», paru dans la publication «ESSCIRC», 1977, pp. 43 à 47. Les auteurs y indiquent plusieurs possibilités de

réalisation telles que l'utilisation d'une diode Zener, l'utilisation de transistors bipolaires pour former une référence à bande interdite (band-gap reference) ou l'utilisation de la différence entre les tensions de seuil de transistors MOS à appauvrissement et à enrichissement. Ces solutions sont toutefois compliquées et trop critiques pour être appliquées industriellement, et les auteurs précités sont d'avis qu'il est peu vraisemblable que des sources précises entièrement intégrées puissent être obtenues par les procédés MOS courants.

D'autre part, la possibilité d'utiliser des circuits intégrés à transistors MOS travaillant en régime de faible inversion, pour obtenir une source de tension de référence, a été indiquée par Eric Vittoz et Jean Fellrath dans l'article «CMOS Analog Integrated Circuits based on Weak Inversion Operation», publié dans «IEEE Journal of Solid-State Circuits», vol. SC-12, N° 3, juin 1977, pp. 224 à 231. Le circuit proposé (voir par exemple fig. 8 de cet article) ne fournit qu'une faible tension qu'il est difficile de multiplier par un montage en cascade de circuits élémentaires.

La présente invention vise à fournir une source de tension de référence PTAT de structure simple, compatible sans autre avec une technologie MOS. L'invention vise en outre à obtenir des sources fournissant des tensions de référence PTAT plus élevées, et comportant un montage en cascade de circuits élémentaires ou des transistors supplémentaires. Elle a également pour objet des sources permettant d'obtenir une tension de référence indépendante de la température.

A cet effet, la source de tension selon l'invention est réalisée conformément aux spécifications des revendications 1 ou 2. Une telle source de tension constitue un circuit élémentaire à partir duquel des circuits plus complexes, fournissant des tensions de référence plus élevées, peuvent être obtenus. Les autres revendications décrivent des formes de réalisation particulières de sources de tension selon l'invention.

Les circuits selon l'invention, grâce à leur simplicité, occupent une surface minimale. Les transistors travaillant en régime à faible inversion, la consommation des circuits est très faible. Ils présentent de bonnes performances d'ensemble et peuvent être conçus de façon à assurer une très bonne reproductibilité.

D'autres aspects et avantages des sources de tension selon l'invention ressortiront de la description de différentes formes de réalisation indiquées à titre d'exemple et illustrées dans le dessin annexé, dans lequel:

la fig. 1A est le schéma d'un circuit élémentaire d'une source de tension de référence PTAT selon l'invention;

la fig. 1B est le schéma d'un circuit dynamique correspondant à celui de la fig. 1A;

la fig. 2 est le schéma d'une source PTAT comportant un montage en cascade de circuits selon la fig. 1A;

la fig. 3 est le schéma d'un circuit de base fournissant une tension de référence PTAT plus élevée;

les fig. 4A et 4B sont des schémas de circuits basés sur le circuit de la fig. 3 et comportant des transistors supplémentaires;

la fig. 5A est un schéma simplifié d'une source de tension de référence thermocompensée;

la fig. 5B est un graphique montrant la tension base-émetteur du transistor auxiliaire de la fig. 5A;

la fig. 5C est un schéma détaillé d'une source de tension thermocompensée selon la fig. 5A;

la fig. 5D est un schéma simplifié d'un circuit de détection d'un niveau de tension, et

la fig. 6 est une représentation schématique d'un plan de masque correspondant à une réalisation préférentielle des transistors selon la fig. 1A.

Le circuit élémentaire d'une source de tension de référence tel qu'il est représenté à la fig. 1A comporte deux transistors MOS à canal n, T_1 et T_2 réalisés dans un même caisson. Les chemins de conduction de ces transistors sont connectés en série entre les bornes (+, -) d'une source de tension d'alimentation fournissant une tension U_2 . Les grilles de ces transistors sont reliées entre elles et à la

borne positive (+) de la source de tension d'alimentation, et les substrats sont reliés entre eux et à la borne négative (-) de cette source de tension.

Pour expliquer le fonctionnement de ce circuit, il paraît utile de rappeler qu'un transistor MOS peut être utilisé de façon à travailler selon l'un ou l'autre des deux régimes de fonctionnement suivants :

— le régime quadratique, ou régime de forte inversion, pour lequel la tension grille-source est supérieure à la tension de seuil extrapolée du transistor (voir à ce sujet par exemple le livre de A.S. Grove, «Physics and Technology of Semiconductor Devices», édité par J. Wiley & Sons, 1967, chap. 9, pp. 277; la tension de seuil extrapolée, ou «turn-on voltage» sera désignée ici par V_{T0});

— le régime exponentiel, ou régime de faible inversion, pour lequel la tension grille-source du transistor est inférieure à ladite tension de seuil extrapolée.

La limite entre les deux régimes est continue. En saturation, on admet généralement que le transistor travaille en régime de faible inversion pour $I_D \leq \beta U_T^2$, où :

I_D = courant de drain

β = coefficient quadratique = $S\mu C_{ox}$

S = facteur de forme = $\frac{W}{L}$

W = largeur effective du canal du transistor

L = longueur effective du canal du transistor

μ = mobilité des porteurs de charge dans le canal

C_{ox} = capacité d'oxyde de grille

U_T = tension caractéristique = $\frac{kT}{q}$

k = constante de Boltzman

q = charge élémentaire

T = température absolue

Par la suite, l'indication qu'un transistor MOS travaille en régime de faible inversion implique automatiquement que sa tension grille-source est toujours inférieure à V_{T0} et que son courant de drain satisfait à l'inéquation susmentionnée. Dans ces conditions, son courant de drain s'exprime par l'équation approximative

$$I_D = S I_{D0} e^{\frac{V_G/n U_T}{U_T} \left(e^{-V_S/U_T} - e^{-V_D/U_T} \right)}$$

$$\approx \beta n U_T^2 e^{\frac{(V_G - V_{T0})/n U_T}{U_T} \left(e^{-V_S/U_T} - e^{-V_D/U_T} \right)}$$

où :

I_{D0} = courant caractéristique du transistor

V_G = tension grille-substrat

n = facteur de pente en régime exponentiel

V_S = tension source-substrat

V_D = tension drain-substrat

V_{T0} = tension de seuil extrapolée

Dans le schéma de la fig. 1A, on a désigné par I_{D1} et I_{D2} les courants de drain respectifs des transistors T_1 et T_2 ; si un courant supplémentaire $a I_{D2}$ est introduit au point 1, le courant de drain de T_1 devient

$$I_{D1} = I_{D2} + a I_{D2}$$

où a est un facteur constant, indépendant de la température. D'après le schéma de la fig. 1A,

$$I_{D1} = S_1 I_{D01} e^{\frac{U_2/n U_T}{U_T} \left(1 - e^{-(U_1/U_T)} \right)},$$

$$I_{D2} = S_2 I_{D02} e^{\frac{U_2/n U_T}{U_T} \left(e^{-(U_1/U_T)} - e^{-(U_2/U_T)} \right)}.$$

On suppose que $U_2 - U_1 \gg U_T$, de sorte que le transistor T_2 est saturé. Dans la pratique, il suffit que $U_2 - U_1 > 3U_T$ et, dans ce cas,

$$e^{-(U_2/U_T)} \approx 0$$

4

devient négligeable et l'on obtient

$$S_1 I_{D01} e^{\frac{U_2/n U_T}{U_T} \left(1 - e^{-(U_1/U_T)} \right)} = S_2 I_{D02} e^{\frac{U_2/n U_T}{U_T} \left(e^{-(U_1/U_T)} \right)^{a+1}}.$$

5

Puisque T_1 et T_2 sont dans le même caisson

$$I_{D01} = I_{D02}$$

de sorte que l'on obtient de l'expression précédente

$$U_1 = U_T \ln(1 + S_2(a+1)/S_1).$$

10

En particulier lorsque $a=0$

$$U_1 = U_T \ln(1 + S_2/S_1)$$

15

La tension U_1 apparaissant entre le drain (borne 1) et la source de T_1 est ainsi proportionnelle à la température absolue T et ne dépend en outre, pratiquement, que des facteurs de forme des transistors utilisés.

20

On constate qu'il existe généralement aussi une légère différence ΔV entre les tensions de seuil des deux transistors T_1 et T_2 , des valeurs typiques de cette différence étant de 0 à 20 mV. Il en résulte une erreur du même ordre de grandeur, à savoir $\Delta V/n$, sur la tension U_1 , cette erreur étant toutefois pratiquement indépendante de la température.

25

Une manière d'obtenir deux transistors T_1 , T_2 à caractéristiques strictement identiques consiste à utiliser un seul transistor jouant alternativement le rôle de T_1 et de T_2 . En effet, dans le circuit de la fig. 1A, les deux transistors ont deux électrodes en commun, ce qui rend la réalisation d'une commutation particulièrement aisée.

30

La fig. 1B montre le schéma de principe d'une forme dynamique du circuit élémentaire de la fig. 1A. Le chemin de conduction d'un transistor T , travaillant en régime de faible inversion, est relié d'un côté à un commutateur SW permettant de connecter une électrode du chemin de conduction du transistor alternativement à l'une ou à l'autre borne d'une source de tension d'alimentation U_2 . Les positions p_1 , p_2 du commutateur correspondent respectivement aux bornes positive (+) et négative (-) de la source de tension d'alimentation. La grille du transistor est reliée à la borne (+) et l'autre électrode du chemin de conduction de T est reliée, par l'intermédiaire d'une capacité C_1 , à la borne (-). Dans la position p_1 du commutateur, le transistor T joue le rôle de T_1 de la fig. 1A, et dans la position p_2 , le rôle de T_2 . Si la capacité C_1 est suffisamment grande pour assurer la constance de la tension U_1 , on peut montrer que

$$U_1 = U_T \ln(1 + t_2/t_1)$$

45

où t_1 et t_2 sont les durées pendant lesquelles l'état du commutateur correspond aux positions p_1 et p_2 respectivement. Le rapport t_2/t_1 remplace ainsi le rapport des facteurs de forme dans le cas de deux transistors. Si l'on alimente le circuit de la fig. 1B à partir d'une source de courant, la capacité C_2 entre les bornes (+) et (-) doit être suffisamment grande pour assurer la constance de la tension U_2 dans ce circuit dynamique.

50

Le circuit élémentaire de la fig. 1A permet, dans la pratique, pour un dimensionnement usuel des transistors, d'obtenir des tensions U_1 de l'ordre d'une centaine de millivolts. Pour obtenir des tensions de référence PTAT plus élevées, on peut aisément monter de tels circuits en cascade.

55

La fig. 2 montre une telle source de tension de référence comportant p circuits élémentaires. Chaque circuit élémentaire comprend deux transistors à canal n correspondant aux transistors T_1 et T_2 de la fig. 1A et est alimenté par un courant fourni par une source de courant correspondante. Ainsi, le k -ième circuit élémentaire, $k = 1, 2, 3, \dots, p$, comprend les transistors T_{1k} et T_{2k} , réalisés dans un même caisson correspondant et connectés entre eux de façon analogue aux transistors T_1 et T_2 de la fig. 1A. La source de courant correspondante est constituée par un transistor T_{7k} à canal p , dont le chemin de conduction est monté en série avec celui des transistors T_{1k} et T_{2k} , les sources de tous les transistors T_{7k} étant reliées à la

borne positive (+) d'une source de tension d'alimentation. Les grilles de tous les transistors T_{7k} sont reliées entre elles et à celles d'un transistor T_{70} , dont le drain est également connecté à l'ensemble desdites grilles. Le chemin de conduction de T_{70} est monté en série avec un élément R_0 déterminant le courant de drain I_0 de T_{70} , entre les bornes de la source de tension d'alimentation. R_0 peut, par exemple, être une résistance ou une source de courant. Les courants fournis par les transistors T_{7k} sont désignés par I_k .

Les circuits de tensions de référence élémentaires sont connectés de façon que la source du transistor T_{11} du premier circuit ($k=1$) soit connectée à la borne (-) de la source de tension d'alimentation, et la source du transistor T_{1k} du k -ième circuit élémentaire au drain du transistor $T_{1(k-1)}$ du $(k-1)$ -ième circuit. Ainsi, le transistor T_{1k} est traversé par la somme des courants I_k à I_p , alors que T_{2k} n'est traversé que par I_k . On obtient par conséquent :

$$U_{1k} = U_T \ln \left[1 + S_{2k} \left(\sum_{i=k}^p I_i \right) / S_{1k} \cdot I_k \right]$$

où S_{1k} et S_{2k} sont les facteurs de forme des transistors T_{1k} et T_{2k} respectivement.

Or, comme le montre la fig. 2, le transistor T_{7k} est monté de façon à former avec T_{70} un miroir de courant. En particulier, si les courants I_1 à I_p sont tous égaux, on obtient pour la tension de référence totale :

$$U_1 = \sum_{k=1}^p U_{1k} = U_T \sum_{k=1}^p \ln \left[1 + (p-k) S_{2k} / S_{1k} \right].$$

Si tous les circuits élémentaires sont analogues, $S_{2k} = S_2$, $S_{1k} = S_1$, et si $S_2 \gg S_1$, la tension U_1 devient approximativement

$$U_1 = U_T \left[p \ln \frac{S_2}{S_1} + \ln(p) \right].$$

Le circuit de la fig. 2 permet ainsi d'obtenir une tension de référence élevée strictement proportionnelle à U_T , donc à la température absolue T . Le courant consommé par ce circuit peut être imposé au moyen de R_0 , ce qui est un avantage supplémentaire de cette disposition. Dans une variante, les paires de transistors T_{11} , T_{21} à T_{1p} , T_{2p} peuvent être réalisées dans un même caisson. La tension d'alimentation minimale sera alors plus élevée du fait de l'effet de modulation par le substrat.

Un autre montage pour obtenir des tensions de référence plus élevées à partir du circuit élémentaire est illustré à la fig. 3.

Deux transistors T_{13} et T_{24} à canal n, correspondant respectivement aux transistors T_1 et T_2 de la fig. 1A, sont connectés entre eux de façon analogue à T_1 et T_2 . Ce circuit élémentaire est alimenté en courant par un transistor à canal p, T_{62} , dont le chemin de conduction est monté en série avec ceux des transistors T_{13} et T_{24} , entre les bornes (+, -) d'une source de tension d'alimentation.

Le drain du transistor T_{13} est relié à la grille d'un autre transistor à canal n, T_{35} , dont le chemin de conduction est monté en série avec celui d'un transistor T_{51} , à canal p, entre les bornes (+, -). Les grilles des transistors T_{51} et T_{62} sont reliées entre elles et au drain de T_{51} , ces deux transistors T_{51} et T_{62} formant ainsi un miroir de courant.

Les transistors sont dimensionnés de façon à travailler en régime de faible inversion et la tension d'alimentation est choisie suffisamment grande pour que les transistors T_{24} et T_{35} soient saturés.

Soit I_2 et I_3 les courants de drain respectifs des transistors T_{24} et T_{35} . Si S_5 et S_6 désignent respectivement les facteurs de forme des transistors T_{51} et T_{62} , le miroir de courant fournit

$$I_2 = I_3 S_6 / S_5$$

D'autre part, le schéma montre que le courant de drain I_1 de T_{13} est égal à I_2 . Les courants caractéristiques I_{D0} de ces transistors réalisés sur un même circuit intégré étant égaux entre eux, on peut écrire, en désignant par S_1 , S_2 et S_3 les facteurs de forme respectifs

des transistors T_{13} , T_{24} et T_{35} , et en tenant compte du fait que T_{35} est saturé :

$$I_1 = S_1 I_{D0} e^{U_2/n U_T} \left(1 - e^{-(U_1/U_T)} \right) = I_2 = I_3 S_6 / S_5 = S_3 I_{D0} e^{U_1/n U_T} S_6 / S_5$$

U_1 et U_2 sont respectivement, de façon analogue à la fig. 1A, les tensions entre les drains de T_{13} et T_{24} et la borne (-). Dans le circuit élémentaire T_{13} , T_{24} , on a, comme dans la fig. 1A :

$$U_1 = U_T \ln(1 + S_2/S_1)$$

d'où

$$e^{U_1/U_T} = 1 + S_2/S_1$$

et la relation $I_1 = I_3$ donne

$$S_1 e^{U_2/n U_T} S_2 / (S_1 + S_2) = S_3 (1 + S_2/S_1)^{1/n} S_6 / S_5.$$

Il s'ensuit que

$$U_2 = N U_T \ln \left[(S_3/S_1)(S_6/S_5)(1 + S_1/S_2)(1 + S_2/S_1)^{1/n} \right].$$

On obtient ainsi une tension de référence U_2 proportionnelle à U_T et dépendant en outre des facteurs de forme des transistors utilisés et du facteur de pente n .

Il est à noter que les courants $I_1 = I_2$ et I_3 sont indépendants de la tension d'alimentation. D'après ce qui précède, on obtient en effet :

$$I_1 = I_{D0} S_3 (S_6/S_5) (1 + S_2/S_1)^{1/n}.$$

La valeur limite supérieure de I_{D0} , caractéristique pour une technologie donnée, permet de dimensionner les transistors du circuit de façon que leur fonctionnement en régime de faible inversion soit assuré.

A partir du montage de base selon la fig. 3, on peut obtenir des tensions de référence pratiquement aussi élevées que voulues, mais bien entendu inférieures à la tension d'alimentation, par adjonction de transistors supplémentaires.

Les fig. 4A et 4B montrent deux versions qui ont un comportement équivalent et sont dérivées du montage de la fig. 3. Les cinq transistors de base analogues à ceux de la fig. 3 ont été désignés de la même façon dans les fig. 4A et 4B.

Pour obtenir le montage de la fig. 4A, $(Q-5)$ transistors à canal n et $(Q-5)$ transistors à canal p ont été ajoutés aux cinq transistors de base, de manière à former autant de branches supplémentaires constituées chacune par un transistor à canal p

$$T_{6i}, i = 6, 7, \dots, Q$$

et par un transistor à canal n

$$T_{4j}, j = (Q+1), (Q+2), \dots, (2Q-5).$$

Les chemins de conduction de ces transistors sont montés en série dans chaque branche. Les transistors T_{6i} ont leurs sources connectées à la borne (+) de la source de tension d'alimentation et leurs grilles reliées entre elles et à celles des transistors T_{51} et T_{62} . Les transistors T_{4j} sont réalisés dans des caissons séparés et ont leur grille connectée à leur drain, leur substrat étant relié à leur source.

La source du transistor $T_{4(Q+1)}$ est connectée au drain du transistor T_{24} , et la source de chaque transistor T_{4j} est connectée au drain du transistor précédent $T_{4(j-1)}$.

De cette façon, les tensions drain-source des différents transistors T_{4j} montés en cascade s'ajoutent et s'ajoutent à la tension de sortie U_2 du montage de base. Si l'on réalise ces transistors T_{4j} avec des facteurs de forme égaux entre eux, soit S_4 , et les transistors T_{6i} avec

des facteurs de forme égaux entre eux, et égaux à celui du transistor T_{62} , soit S_6 , on obtient :

$$U_2 = nU_T \ln \left[(S_3/S_1)(Q-4)(S_6/S_5) \cdot (1 + S_1/S_2)(1 + S_2/S_1)^{1/n} \right]$$

et

$$U_{21} = U_2 + nU_T \ln \left[(S_3/S_4)(q-5)(S_6/S_5)(1 + S_2/S_1)^{1/n} \right].$$

Il apparaît donc entre le drain du dernier transistor $T_{4(2Q-5)}$ et la source de T_{13} une tension de référence totale $U_{2(Q-5)}$ qui est toujours proportionnelle à nU_T .

Dans le montage de la fig. 4B, $(Q-5)$ transistors T_{4j} à canal n ($j=6, 7, \dots, Q$) ont été montés en série entre le circuit élémentaire T_{13} , T_{24} et le transistor T_{62} fournissant le courant de drain commun à tous ces transistors. Les grilles des transistors T_{4j} sont connectées à leurs drains comme dans la fig. 4A. Ces transistors T_{4j} sont réalisés dans des caissons séparés et travaillent, comme précédemment, en régime de faible inversion.

La tension U_2 fournie par le circuit élémentaire T_{13} , T_{24} est donnée par la même expression que dans le cas de la fig. 3. Entre le drain et la source de chaque transistor T_{4j} , ayant un facteur de forme S_4 , on obtient un supplément de tension

$$\Delta U = nU_T \ln \left[(S_3/S_4)(S_6/S_5)(1 + S_2/S_1)^{1/n} \right]$$

qui s'ajoute à U_2 .

La tension de référence totale ainsi obtenue entre le drain du transistor T_{4Q} et la source de T_{13} devient donc

$$U_{2(Q-5)} = U_2 + (Q-5)\Delta U,$$

cette tension étant de nouveau proportionnelle à nU_T .

Dans la pratique, on obtient aisément des tensions de 800 mV avec seulement deux transistors T_{4j} supplémentaires, selon les fig. 4A et 4B, et des rapports de facteurs de forme ne dépassant pas 10.

Les sources de tension de référence PTAT décrites ci-dessus peuvent en outre être avantageusement utilisées dans un circuit fournissant une tension de référence thermocompensée (band-gap reference), c'est-à-dire indépendante de la température.

Un exemple est illustré schématiquement à la fig. 5A. Il comporte une source PTAT, un amplificateur opérationnel A, un transistor bipolaire T_5 (par exemple du type npn, n^+ , caisson p, substrat n), une source de courant J, un transistor MOS de réglage T_R (par exemple à canal p), et un diviseur de tension R_1 , R_2 .

La source de courant J permet de faire traverser le transistor bipolaire T_5 par un courant constant I. On sait que, dans ces conditions, la tension base-émetteur V_{BE} de T_5 est une fonction linéaire décroissante de la température absolue. Cette relation est représentée à la fig. 5B. La valeur V_{Go} est la largeur de bande interdite du silicium, extrapolée à 0°K.

La tension sur le diviseur de tension R_1 , R_2 (borne de sortie R) est désignée par U_R et constitue la tension de référence.

La tension aux bornes de la résistance R_2 devient, du fait de la présence d'une boucle de réglage comprenant l'amplificateur A et le transistor T_R :

$$b \cdot U_R = U + V_{BE}$$

avec $b = R_2/(R_1 + R_2)$.

Si l'on dimensionne la source PTAT de telle façon que, pour une température donnée,

$$U = V_{Go} - V_{BE},$$

on obtient une tension de référence thermocompensée

$$U_R = V_{Go}/b.$$

La valeur de cette tension de référence peut être choisie par un choix approprié du rapport b, ce qui permet également de corriger le cas échéant une erreur sur la tension U due à des dissymétries des transistors T_{1p} , T_{2p} de la source PTAT.

On obtient pour

$$\begin{aligned} R_1 &= 0 \text{ et} \\ R_2 &= \infty : \\ U_R &= V_{Go}. \end{aligned}$$

La fig. 5C montre le schéma détaillé d'une source de tension de référence thermocompensée correspondant au principe illustré par la fig. 5A.

Dans la source PTAT utilisée dans cet exemple et correspondant à celle de la fig. 2, les transistors ont été désignés de façon analogue à la fig. 2.

L'amplificateur opérationnel A comporte des transistors MOS T_{16} , T_{17} , T_{19} , T_{31} , T_{33} , à canal n, et des transistors MOS T_{26} , T_{27} , T_{32} , T_{34} , à canal p, selon le schéma de la fig. 5C.

La tension U proportionnelle à la température est appliquée à la grille du transistor T_{16} (borne -), et l'émetteur du transistor bipolaire T_5 est relié à la grille du transistor T_{17} (borne +). Le drain du transistor T_{32} (borne de sortie S) est relié à la grille du transistor de réglage T_R , dont le chemin de conduction est monté en série avec le diviseur de tension R_1 , R_2 entre les bornes de la source de tension d'alimentation.

Le point intermédiaire de ce diviseur de tension est relié à la base du transistor T_5 dont le chemin collecteur-émetteur est connecté en série avec le chemin de conduction d'un transistor MOS à canal n, T_{20} , entre les bornes de la source de tension d'alimentation.

La source de tension J indiquée à titre d'exemple dans la fig. 5C comprend un transistor à canal n, T_{28} , travaillant en régime de forte inversion. La tension stabilisée V_{BE} est appliquée à la grille de ce transistor, qui fournit ainsi un courant constant I. Ce courant alimente en outre un miroir de courant multiple formé par les transistors à canal p T_{29} , T_{70} , T_{71} , T_{72} , T_{73} , T_{74} , T_{75} servant à polariser la source PTAT.

Le transistor T_{70} fournit un courant I_0 qui alimente un autre miroir de courant multiple formé par les transistors à canal n T_{30} , T_{20} et T_{19} , servant à polariser le transistor bipolaire T_5 et l'amplificateur opérationnel A.

En ce qui concerne la source PTAT de cet exemple, elle est formée de cinq circuits élémentaires montés en cascade et ayant par exemple un rapport $S_2/S_1 = 81$. Pour réduire l'effet des courants de fuite et améliorer le comportement aux températures élevées, on peut, le cas échéant, selon la technologie utilisée, augmenter le nombre des circuits élémentaires, par exemple à 8, et réduire le rapport des facteurs de forme.

La fig. 5D illustre une autre utilisation de la source PTAT selon l'invention. Elle résulte des considérations faites à propos de la fig. 5A et les mêmes éléments ont été désignés d'une façon analogue dans les fig. 5A et 5D. On voit que, par rapport à cette dernière, le transistor T_R est supprimé dans la fig. 5D, et R_1 est connecté directement à la borne (+) de la source de tension d'alimentation. Ainsi, $U_R = V_{cc}$, si l'on désigne par V_{cc} la valeur de la tension d'alimentation. Lorsque V_{cc} passe par la valeur V_{Go}/b , la sortie S de l'amplificateur opérationnel A change d'état, de sorte que l'on obtient un détecteur du niveau de tension de la source de tension d'alimentation.

Les sources de tension de référence décrites ici sont basées sur un circuit élémentaire très simple, compatible avec la technologie MOS. Il est à noter que, si le circuit a été décrit sur la base de transistors à canal n, il peut toutefois également être réalisé avec des transistors à canal p.

La surface occupée par ces circuits est extrêmement réduite et la conception de ces circuits permet une très bonne reproductibilité si l'on observe les points suivants :

Afin de réduire l'effet des conductances de sortie des transistors MOS, la longueur de canal est à choisir grande. Dans une technolo-

gie CMOS à grille de silicium, des valeurs typiques de cette longueur L sont

$$L \geq 12 \mu\text{m} \text{ pour des transistors à canal n}$$

et

$$L \geq 20 \mu\text{m} \text{ pour des transistors à canal p.}$$

Afin de bien contrôler les facteurs de forme S_1 et S_2 , on choisit de préférence la même longueur pour T_1 et T_2 .

Pour obtenir une grande différence et un rapport précis entre S_1 et S_2 , on décompose T_2 en plusieurs transistors élémentaires de dimensions identiques à T_1 et on les monte en parallèle.

La fig. 6 illustre, à l'aide d'un plan de masque schématique, une

forme d'exécution préférentielle du circuit selon la fig. 1A. Le transistor T_2 est décomposé en transistors élémentaires $T_{2'}$, $T_{2''}$, $T_{2'''}$ et $T_{2'v}$, qui sont disposés symétriquement par rapport à T_1 , afin d'éviter sur la puce de silicium les effets d'éventuels gradients dans l'épaisseur de l'oxyde de grille. Les lignes 61, 61', 61'', 61''', 61'v de la fig. 6 délimitent les zones de diffusion et les lignes 62 indiquent le contour du silicium polycristallin de grille. Les fenêtres de contact telles que 63 sont marquées par les lignes en traits pleins à l'intérieur du contour des zones de diffusion. Des zones métallisées 64, 65, 66, 67 sont indiquées par des traits pointillés. La zone 64 présente la connexion 1 de la fig. 1A, et les zones 66 et 67 présentent respectivement les connexions avec les bornes d'alimentation (+) et (-). Enfin, le contour 68 désigne l'ancrage au caisson ou au substrat.

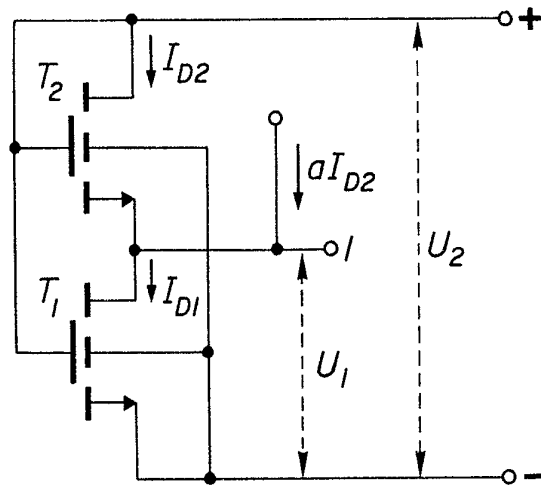


FIG. 1A

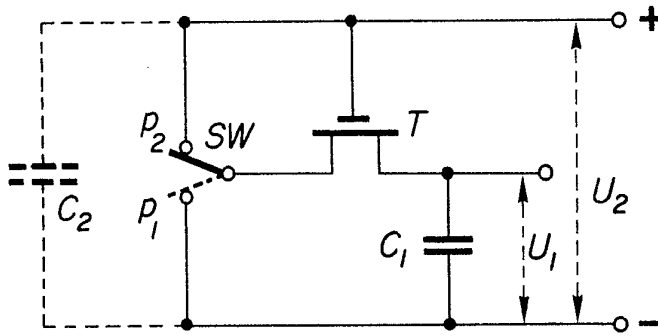


FIG. 1B

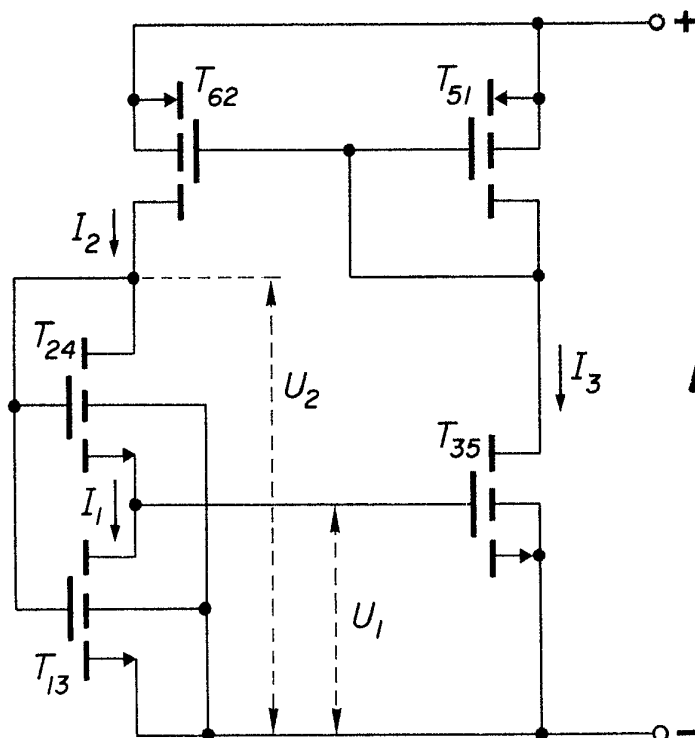


FIG. 3

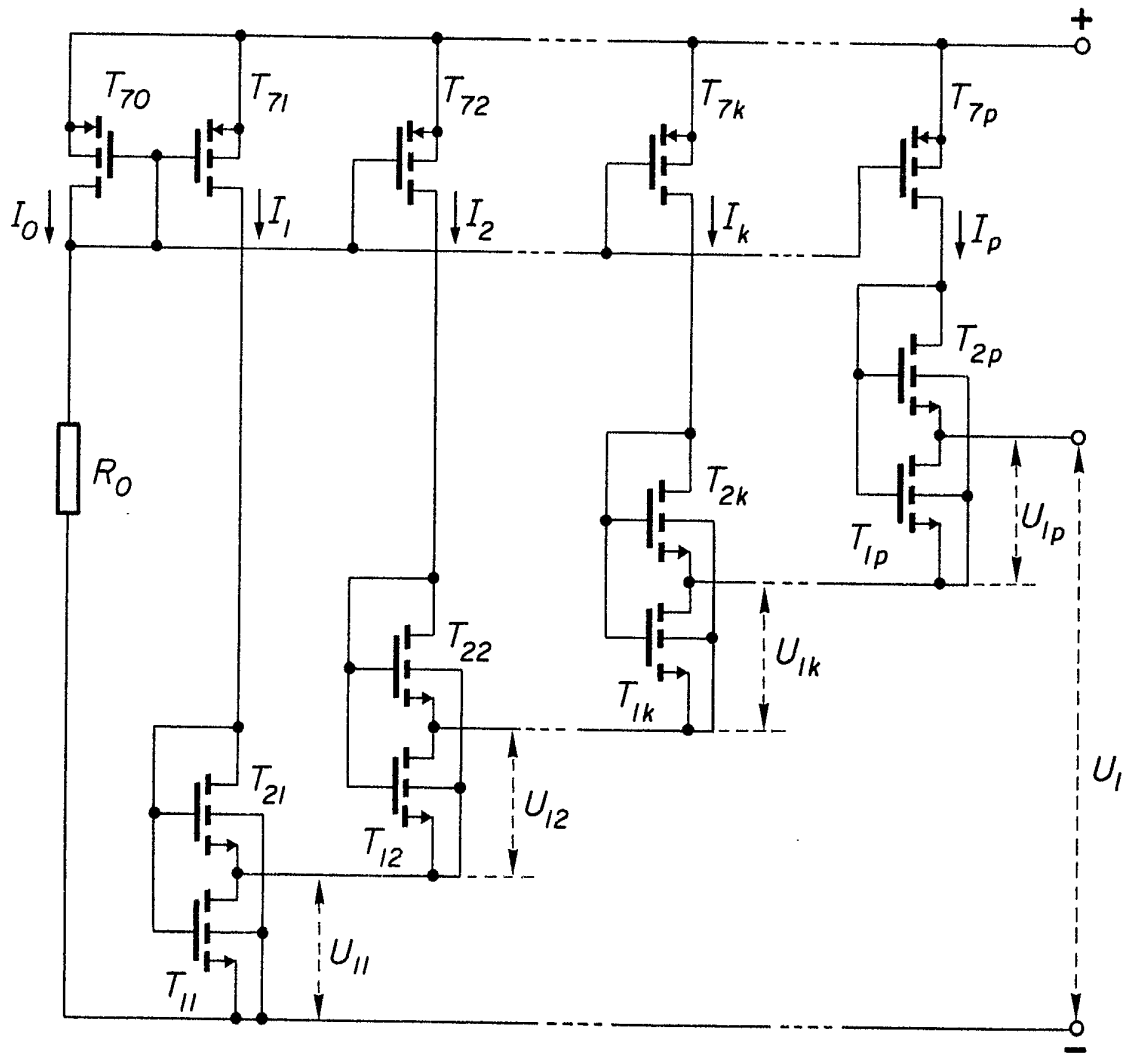


FIG. 2

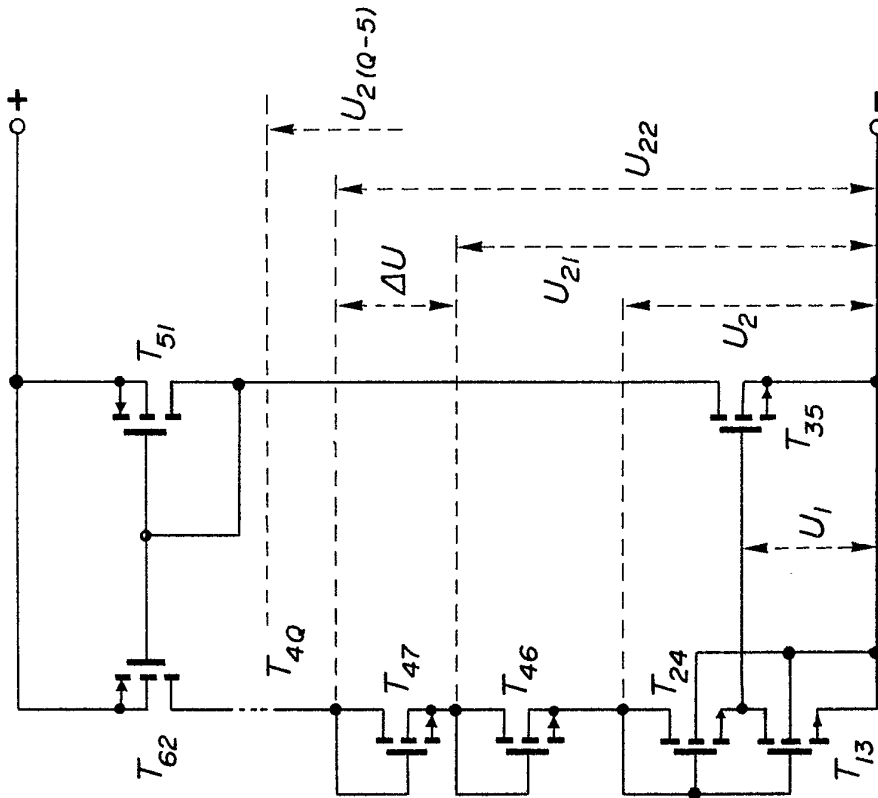


FIG. 4B

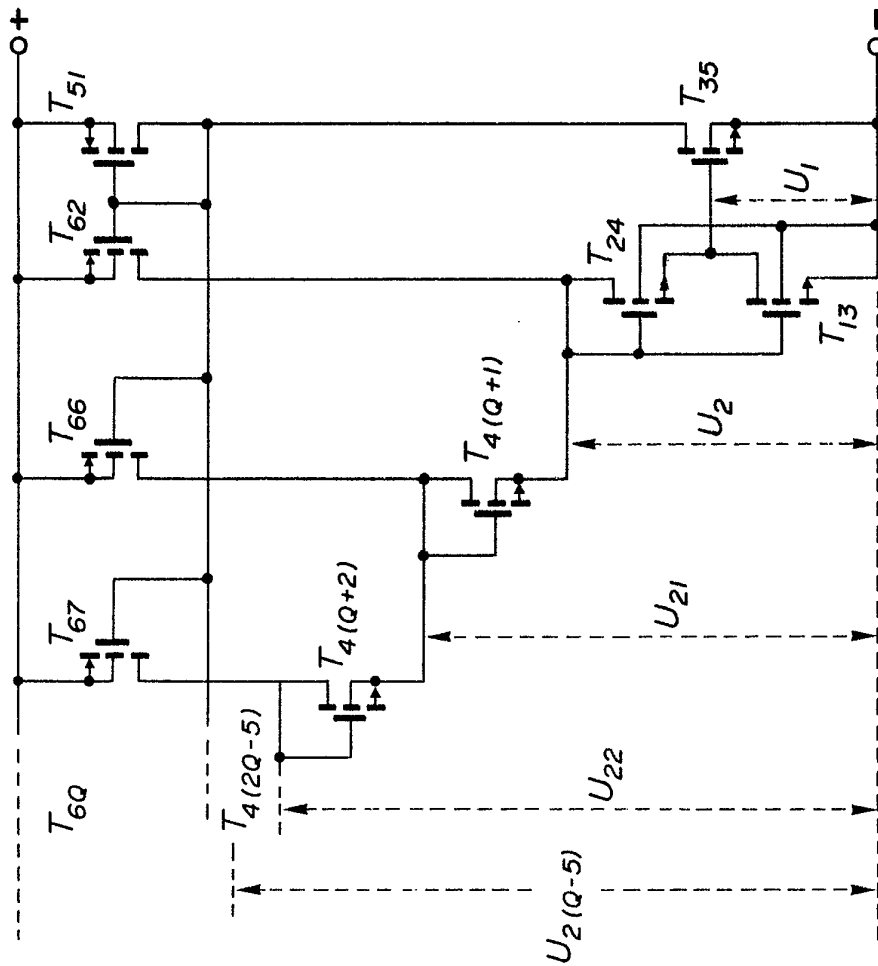


FIG. 4A

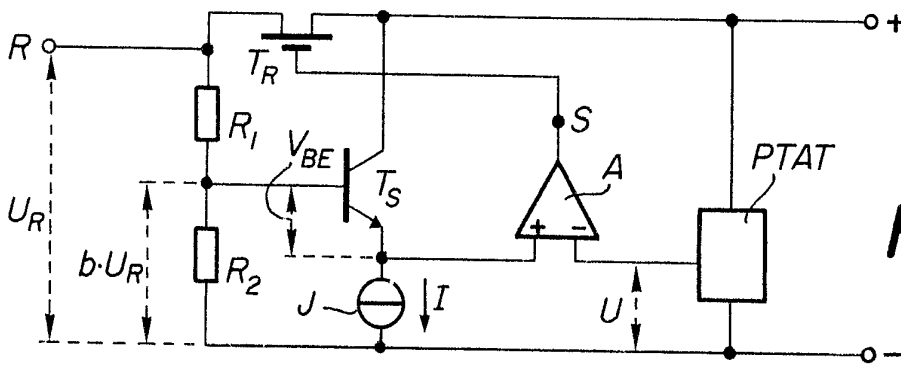


FIG. 5A

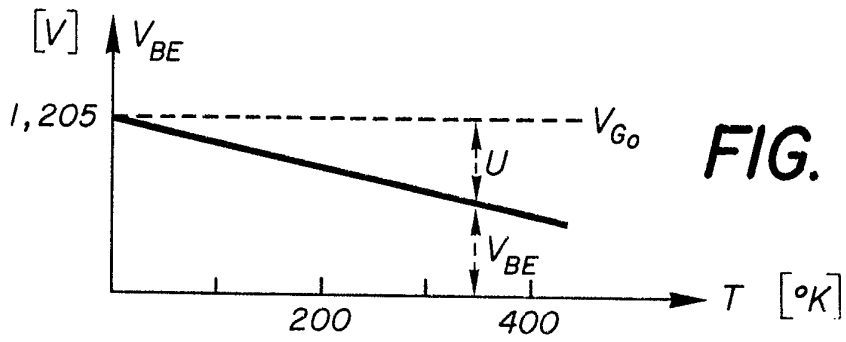


FIG. 5B

FIG. 5D

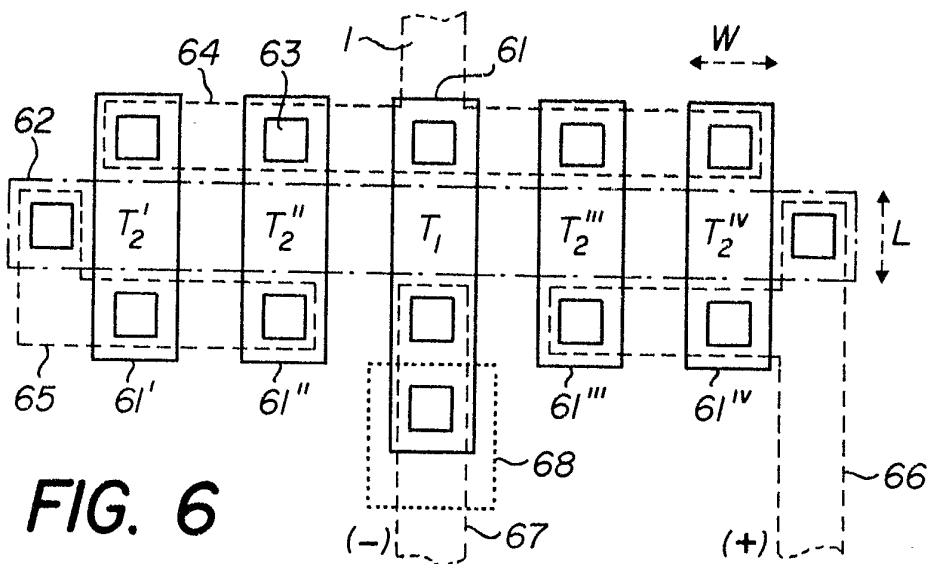
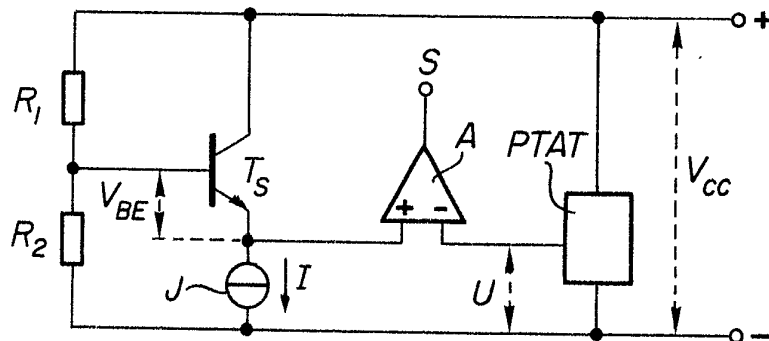


FIG. 6

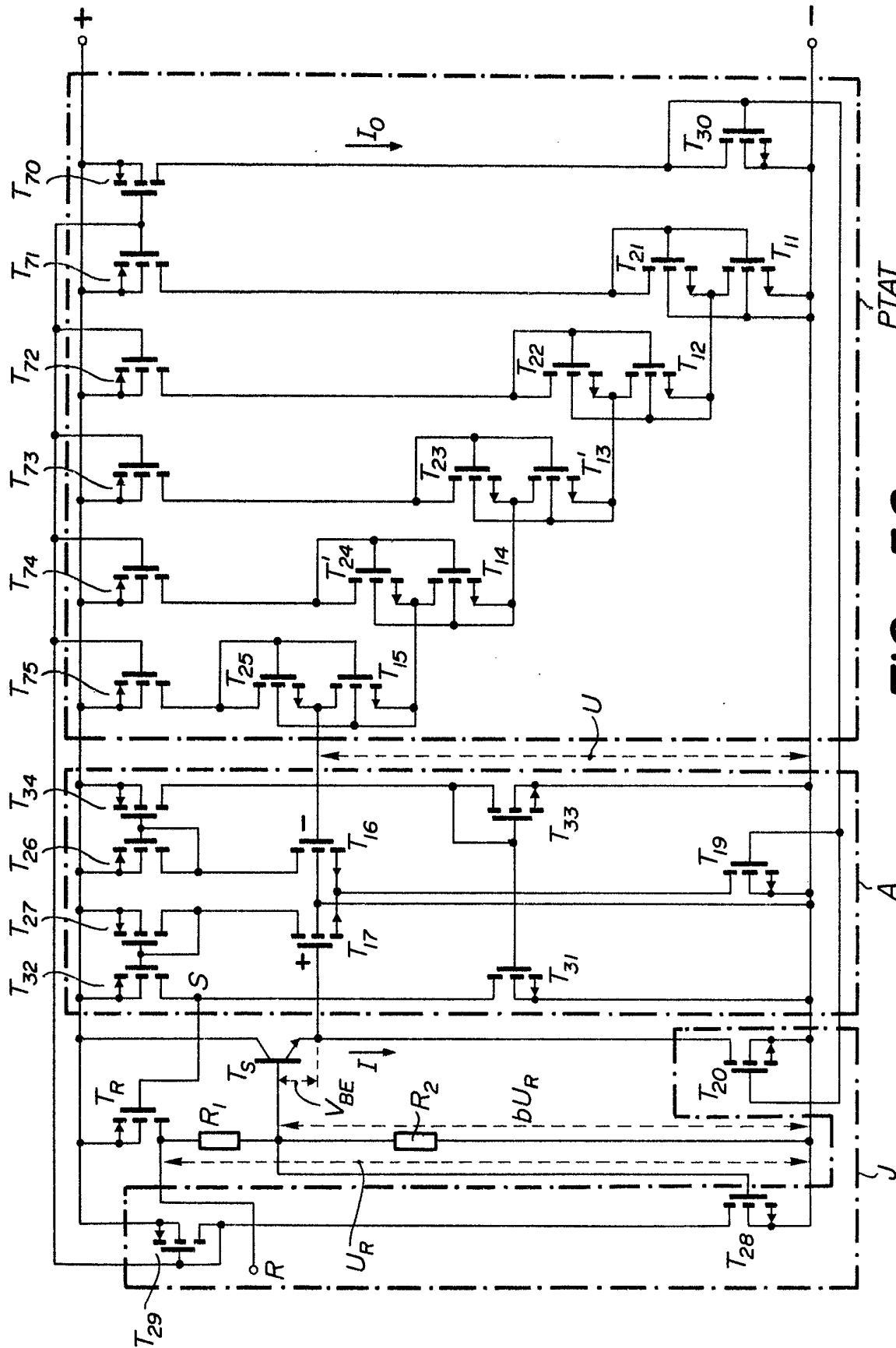


FIG. 5C