

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成18年10月5日(2006.10.5)

【公開番号】特開2001-76482(P2001-76482A)

【公開日】平成13年3月23日(2001.3.23)

【出願番号】特願平11-253364

【国際特許分類】

G 1 1 C 11/401 (2006.01)

H 0 1 L 27/10 (2006.01)

G 1 1 C 11/409 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

【F I】

G 1 1 C 11/34 3 7 1 K

H 0 1 L 27/10 4 6 1

G 1 1 C 11/34 3 5 4 R

H 0 1 L 27/10 6 8 1 E

【手続補正書】

【提出日】平成18年8月22日(2006.8.22)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正の内容】

【請求項1】 半導体記憶装置であって、
 行列状に配置された複数のメモリセルを有するメモリセルアレイを備え、
 前記メモリセルアレイは、行方向に沿って複数のサブロウアレイに分割され、
 各前記複数のサブロウアレイごとに、各々がメモリセルの各列に対応して設けられる複数のセンスアンプと、
 各々が、前記複数のサブロウアレイに共通に、N個(N:2以上の自然数)の前記メモリセルの列ごとに配置される複数の読出データ線と、
 前記読出データ線上のデータ信号を増幅するための読出データ増幅回路と、
 前記複数のセンスアンプと前記複数の読出データ線のうちの対応する1本との間に各々設けられる読出ゲート回路と、
 各前記読出データ線に対応付けられるN個のメモリセルの列のうちの1個を選択的に活性化するための複数の列選択信号を発生するためのコラムデコード回路と、
 各前記読出ゲート回路に前記複数の列選択信号のうちの対応する1個を伝達するための複数の列選択線とをさらに備え、
 前記コラムデコード回路および前記複数の列選択線は、同一の前記読出データ線に対応する複数の読出ゲート回路のうち、前記読出データ増幅回路からの経路が相対的に長い前記読出ゲート回路に対する前記対応する列選択信号の伝達に要する時間が相対的に短くなるように配置される、半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項8

【補正方法】変更

【補正の内容】

【請求項8】 前記複数の読出プリデコード信号は、

読出動作時における前記列選択信号の活性化タイミングと前記入力アドレス信号の一部のビットについてのプリデコード結果との情報を有する複数の第1の読出プリデコードサブ信号と、

前記入力アドレス信号の残りのビットについてのプリデコード結果の情報を有する複数の第2の読出プリデコードサブ信号とを含み、

前記複数の第2の信号線は、前記複数の第1の読出プリデコードサブ信号を伝達し、

各前記複数のコラムデコーダは、前記複数の第1の信号線から前記複数の第2の読出プリデコードサブ信号をさらに受けて前記列選択信号を発生する、請求項6記載の半導体記憶装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】請求項9

【補正方法】変更

【補正の内容】

【請求項9】 前記制御信号は、読出動作時における前記列選択信号の活性化タイミングを制御するタイミング制御信号と、メモリセルを選択するための入力アドレス信号をプリデコードして得られる複数のプリデコード信号とを含み、

前記読出データ増幅回路は、各々が各前記複数の読出データ線に対応して設けられる複数のプリアンプを含み、

前記信号供給回路は、前記複数のコラムデコーダを挟んで前記制御回路と反対側に配置されるバッファ回路を含み、

前記半導体記憶装置は、

前記複数の読出データ線と同一の方向に設けられ、前記制御回路から前記バッファ回路へ前記タイミング制御信号を伝達する第1の信号線と、

前記複数の読出データ線と同一の方向に設けられ、前記バッファ回路から前記制御回路へ向かう方向に、前記タイミング制御信号を伝達する第2の信号線と、

前記複数の読出データ線と同一の方向に設けられ、前記バッファ回路から前記制御回路へ向かう方向に前記複数のプリデコード信号を伝達する複数の第3の信号線と、

前記複数の読出データ線と交差する方向に設けられ、前記制御回路から前記複数のプリアンプへ活性化制御信号を伝達するための第4の信号線とをさらに備え、

各前記複数のコラムデコーダは、前記第2の信号線および前記複数の第3の信号線から、前記タイミング制御信号および前記複数のプリデコード信号をそれぞれ受けて、前記列選択信号を発生し、

前記第4の信号線における信号の伝搬方向は、前記複数の列選択線における信号の伝搬方向と同じである、請求項5記載の半導体記憶装置。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

【課題を解決するための手段】

請求項1記載の半導体記憶装置は、行列状に配置された複数のメモリセルを有するメモリセルアレイを備え、メモリセルアレイは、行方向に沿って複数のサブアレイに分割される。半導体記憶装置は、各複数のサブアレイごとに各々がメモリセルの各列に対応して設けられる複数のセンスアンプと、各々が、複数のサブアレイに共通にN個（N：2以上の自然数）のメモリセルの列ごとに配置される複数の読出データ線と、読出データ線上のデータ信号を増幅するための読出データ増幅回路と、複数のセンスアンプと複数の読出データ線のうちの対応する1本との間に各々設けられる読出ゲート回路と、各読出データ線に対応付けられるN個のメモリセルの列のうちの1個を選択的に活性化するた

めの複数の列選択信号を発生するためのコラムデコード回路と、各読出ゲート回路に複数の列選択信号のうちに対応する1個を伝達するための複数の列選択線とをさらに備える。コラムデコード回路および複数の列選択線は、同一の読出データ線に対応する複数の読出ゲート回路のうち、読出データ増幅回路からの経路が相対的に長い読出ゲート回路に対する、対応する列選択信号の伝達に要する時間が相対的に短くなるように配置される。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正の内容】

【0040】

請求項8記載の半導体記憶装置は、請求項6記載の半導体記憶装置であって、複数の読出プリデコード信号は、読出動作時における列選択信号の活性化タイミングと入力アドレス信号の一部のビットについてのプリデコード結果との情報を有する複数の第1の読出プリデコードサブ信号と、入力アドレス信号の残りのビットについてのプリデコード結果の情報を有する複数の第2の読出プリデコードサブ信号とを含み、複数の第2の信号線は、複数の第1の読出プリデコードサブ信号を伝達し、各複数のコラムデコーダは、複数の第1の信号線から複数の第2の読出プリデコードサブ信号をさらに受けて列選択信号を発生する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

請求項9記載の半導体記憶装置は、請求項5記載の半導体記憶装置であって、制御信号は、読出動作時における列選択信号の活性化タイミングを制御するタイミング制御信号と、メモリセルを選択するための入力アドレス信号をプリデコードして得られる複数のプリデコード信号とを含み、読出データ増幅回路は、各々が各複数の読出データ線に対応して設けられる複数のプリアンプを含み、信号供給回路は、複数のコラムデコーダを挟んで制御回路と反対側に配置されるバッファ回路を含み、半導体記憶装置は、複数の読出データ線と同一の方向に設けられ制御回路からバッファ回路へタイミング制御信号を伝達する第1の信号線と、複数の読出データ線と同一の方向に設けられバッファ回路から制御回路へ向かう方向にタイミング制御信号を伝達する第2の信号線と、複数の読出データ線と同一の方向に設けられ、バッファ回路から制御回路へ向かう方向に複数のプリデコード信号を伝達する複数の第3の信号線と、複数の読出データ線と交差する方向に設けられ、制御回路から複数のプリアンプへ活性化制御信号を伝達するための第4の信号線とをさらに備え、各複数のコラムデコーダは、第2の信号線および複数の第3の信号線から、タイミング制御信号および複数のプリデコード信号をそれぞれ受けて、列選択信号を発生し、第4の信号線における信号の伝搬方向は、複数の列選択線における信号の伝搬方向と同じである。