

公告本

申請日期	91 年 8 月 28 日
案 號	91119589
類 別	G09G 3/36

A4
C4

(以上各欄由本局填註)

583628

發明專利說明書

一、發明 名稱	中 文	電流產生電路、半導體積體電路、光電裝置及電子機器
	英 文	
二、發明 人	姓 名	(1) 河西利幸
	國 籍	(1) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內
	住、居所	
三、申請人	姓 名 (名稱)	(1) 精工愛普生股份有限公司 セイコーエプソン株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都新宿區西新宿二丁目四番一號
	代 表 人 姓 名	(1) 草間三郎

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區)	申請專利，申請日期：	案號：	， ☐ 有 ☐ 無主張優先權
日本	2001 年 8 月 29 日	2001-260115	☒ 有主張優先權
日本	2002 年 7 月 31 日	2002-223164	☒ 有主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明()

(發明所屬技術領域)

本發明關於例如有機 EL(Electroluminescence)面板等之顯示面板驅動用之電流產生電路，特別關於針對顯示面板中用於指示亮度的數位資料產生非線性特性之電流的電流產生電路。

(習知技術)

一般之液晶面板，畫素之階層(亮度)變化相對施加於畫素之電壓不具備比例之關係。因此，於液晶面板驅動時，係對以線性指示之畫素之階層(一般以數位資料規定)輸出非線性特性之電壓，依此而使觀察之階層變化呈現線性之構成。

另外，人的視覺特性呈現對數或指數特性乃一般習知者，因而即使階層亮度呈線性變化之情況下，人的眼睛所感覺到的未必呈線性變化。因此，於光電裝置中使具備對數或指數之階層特性，而得以由人的眼睛能獲得線性特性，該一連串之處理稱為 γ 補正。

近年來有機 EL(Electroluminescence)面板成為次一世代之顯示面板為人所注目。其理由在於：有機 EL 面板使用之作為光電元件之有機 EL 元件和單純地變化光之透過量的液晶元件為不同，其本身為可發光之自激發光元件。因此，有機 EL 面板之視野角較液晶面板為廣，具有高對比、應答速度快等之優良特性。

有機 EL 元件係和電壓驅動型液晶元件不同，亦即所謂

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

之電流驅動型，因此，驅動時需依畫素之階層產生電流而不是電壓。產生此種電流之電流產生電路之習知例有例如圖 24 所示構成。

於該圖，電流產生電路，係依用於指示畫素之階層的 6 位元數位資料(D0-D5)之各個，分別使電晶體 20a-20f 進行開／關而加以選擇要素電流 i_1-i_6 之同時，將選擇之要素電流予以合成而得響應於階層之電流 I_{out} ，之所謂電流加法型 D/A 轉換器。

(發明欲解決之問題)

即使對有機 EL 元件而言和液晶同樣地需進行 γ 補正以使其具備對數或指數之階層特性，但是於圖 24 所示電流產生電路中，對用於指示畫素階層的 6 位元之數位資料所得之輸出電流為線性特性，因此在原狀態下無法得到充分之 γ 補正。

使用此種電流產生電路產生非線性特性之電流時，例如需預先準備多數電壓源，個別控制電晶體 20a-20f 之閘極電流之組合，於該組合，隨著階層數之增加必要之電壓源之數亦增加，電路構成變為複雜化。

一般而言，電壓源之數增加時，伴隨電壓產生之消費電力亦增大，對於攜帶型個人電腦或行動電話等強烈要求低消費電力化之電子機器之適用而被期待之有機 EL 面板，上述組合未必較好。

本發明係有鑑於上述問題，目的在於提供一種電路構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明書)

成簡單、且消費電力少之電流產生電路。

(解決問題之手段)

為達成上述目的，本發明之特徵為具備：由多數要素電流之中選擇與輸入之數位資料對應之要素電流據以輸出補助電流的電路方塊之多數個；及藉由合成上述補助電流而輸出主電流的合成電路。

其中，1 個電路方塊，較好為分別藉由增益係數不同之電晶體來產生上述多數要素電流之各個。

又，於上述電晶體，較好包含有增益係數之比為二進制加權之組合。

又，上述各個電晶體，係為場效電晶體；在一個電流產生電路之電晶體之間極，被供給共通之基準電壓為較好。

同樣地，為達成上述目的，本發明之特徵為具備：產生補助電流的電路方塊之多數個；及將各電路方塊所產生之補助電流予以合成據以輸出主電流的合成電路；各個電路方塊，係被分配為將輸入之數位資料所能取得之範圍予以分割而成的各個範圍；1 個電路方塊，當數位資料之值在該電路方塊被分配之範圍以下時，係產生大略 0 之補助電流，當數位資料之值在該電路方塊被分配之範圍內時，係響應於該數位資料並依略直線特性而產生補助電流，當數位資料之值在該電路方塊被分配之範圍以上時，係產生相當於對該 1 個電路方塊鄰接於上位側之方塊所被分配之數位資料之範圍之最低值相當之補助電流。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明4)

其中，電路方塊之略直線特性較好為可依各電路方塊個別設定。

又，較好具備：用於界定上述主電流之下限值的偏壓電流路徑。較好為將電流產生電路予以積體化。

又，本發明之光電裝置，其特徵為具備：多數掃描線，多數資料線，驅動上述掃描線的掃描線驅動電路，驅動上述資料線的資料線驅動電路，及配置於上述掃描線與上述資料線之交叉部的光電元件；上述資料線驅動電路，係包含申請專利範圍第 1 至 7 項中任一項之電流產生電路，將該電流產生電路之主電流供至 1 個資料線。

於此種光電裝置，其中上述光電元件較好為依電流被驅動之被驅動元件。

又，上述被驅動元件之一態樣為有機電致發光(Electro Luminescence, EL)元件。

光電裝置較好為具備：記憶體，俾記憶用於界定上述有機 EL 元件之亮度階層的資料；及控制電路，俾由上述記憶體讀出資料，並作為上述數位資料供至上述資料線驅動電路。

又，上述光電裝置較好為具有：供給作為動作基準之基準動作信號的振盪電路。

又，電子機器較好為安裝有此種光電裝置者。

(發明之實施形態)

以下依圖面說明本發明之實施形態。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明書)

圖 1 係實施形態之光電裝置之概略構成之方塊圖。

如該圖所示，實施形態之光電裝置 100 之構成，係包含：顯示面板 1，其為多數 m 條之掃描線 102 與多數 n 條之資料線 104 互呈正交（電氣上為絕緣）地被延伸設置之同時，於該交叉部分具備畫素電路 110；及用於驅動 m 條掃描線 102 之各個的掃描線驅動電路 2；及用於驅動 n 條資料線 104 的資料線驅動電路 3；及用於記憶數位資料 D_{pix} 的記憶體 4，該數位資料 D_{pix} 係用於規定應顯示之影像的畫素亮度階層；及控制各部的控制電路 5；及用於產生基準信號或控制信號俾使各部同步動作的振盪電路 6；及對各部供給電源的電源電路 7。

其中記憶於記憶體 4 之數位資料 D_{pix} ，係由電腦等外部機器供給之同時，將含於畫素電路 110 之有機 EL 元件之亮度依每一畫素電路 110 予以規定。本實施形態中為方便說明而假設數位資料 D_{pix} 為 6 位元，相當於 1 畫素表現由「0」至「63」之 $64(2^6)$ 個階層。

另外，掃描線驅動電路 2，係產生掃描信號 Y_1 、 Y_2 、 Y_3 、……、 Y_m 俾依序選擇 1 條掃描線 102，詳言之為，如圖 3 所示，由 1 垂直掃描期間(1F)起，以相當於 1 水平掃描期間(1H)之寬度的脈衝作為掃描信號 Y_1 供至第 1 行掃描線 102，之後依序移位該脈衝作為掃描信號 Y_2 、 Y_3 、……、 Y_m 而供至第 2、3、……、 m 行掃描線 102 之各個。一般而言，當被供至第 i (i 為滿足 $1 \leq i \leq m$ 之整數)行掃描線 102 之掃描信號 Y_i 為 H 位準時，表示該掃描線 102

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

被選擇。

又，掃描線驅動電路 2，除掃描信號 Y1、Y2、Y3、……、Ym 之外，產生反轉其邏輯位準之信號分別作為發光控制信號 Vg1、Vg2、Vg3、……、Vgm 並供至顯示面板 1，但於圖 1 其被省略。

資料線驅動電路 3，係於每一資料線 104 具備本發明特徵部分之電流產生電路，俾將用於指示階層亮度之電流介由資料線 104 供至位於所選擇掃描線 102 之位置的各個畫素電路 110。詳言之為，資料線驅動電路 3，例如藉由電流產生電路產生響應於由記憶體 4 所讀出之數位資料的電流，將該電流介由資料線 104 供至位於所選擇掃描線 102 之位置的各個畫素電路 110。又，電流產生電路之詳細如後述。

控制電路 5，控制掃描線驅動電路 2 對掃描線 102 之選擇之同時，與該選擇同步地由記憶體 4 讀出數位資料，供至資料線驅動電路 3。因此，響應於該有機 EL 元件之亮度的電流，介由資料線 104 被供至位於所選擇掃描線 102 之畫素電路 110 上。

又，光電裝置 100 之符號 1-7 之各要素，實際上可以各種形態予以製品化而得，例如可為藉由分別獨立之元件構成，或者一部分或全部成為一體之構成(例如掃描線驅動電路 2 與資料線驅動電路 3 積體成為一體化，或者除顯示面板 1 以外之要素之一部分或全部以可程式化 IC 晶片構成之同時，該要素之機能依寫入該 IC 晶片之程式以軟體實現

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

之情況)等。

以下說明光電裝置 100 之畫素電路 110。圖 2 係其構成之電路圖。又，全畫素電路 110，係互為相同構成，為說明掃描信號之一般化，以下說明中針對設於第 i 行掃描線 102，與某一系列資料線 104 之交叉部分的畫素電路 110 加以說明。

如圖示，設於該掃描線 102 與該資料線 104 之交叉部分的畫素電路 110，係具備 4 個薄膜電晶體 (Thin Film Transistor，以下稱為「TFT」) 1102、1104、1106、1108，及電容元件 1120，及有機 EL 元件 1130。

其中， p 通道型 TFT1102 之源極，係連接於被施加電源之高電位側電壓 V_{dd} 的電源線 109，另外，汲極分別連接於 n 通道型 TFT1104 之汲極、 n 通道型 TFT1106 之汲極及 n 通道型 TFT1108 之源極。

電容元件 1120 之一端連接於上述電源線 109，另一端分別連接於 TFT1102 之閘極及 TFT1108 之汲極。TFT1104 之閘極連接於掃描線 102，其源極連接於資料線 104。又，TFT1108 之閘極連接於掃描線 102。

TFT1106 之閘極，係連接於發光控制線 108，其源極則連接於有機 EL 元件 1130 之陽極。於發光控制線 108，被供給有來自掃描線驅動電路 2 之發光控制信號 V_{gi} 。又，有機 EL 元件 1130 之構成，係於陽極與陰極之間挾持有機 EL 層而以響應於順向電流之亮度發光。有機 EL 元件 1130 之陰極，係針對全畫素電路 110 而為共通電極，成為電源之低

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明書

電位(基準電位)。

於上述構成中，當被供至掃描線 102 之掃描信號 Y_i 為 H 位準時，n 通道型 TFT1108，於源極與汲極間成為 ON 狀態(導通狀態)，TFT1102 變為閘極與汲極互相連接之二極體之機能。當被供至掃描線 102 之掃描信號 Y_i 為 H 位準時，n 通道型 TFT1104，和 TFT1108 同樣亦成為 ON 狀態(導通狀態)，結果電流產生電路 30，之電流 I_{out} 經由電源線 $109 \rightarrow \text{TFT1102} \rightarrow \text{TFT1104} \rightarrow$ 資料線 104 之路徑流通之同時，此時響應於 TFT1102 之閘極電位的電荷被蓄積於電容元件 1120。

當掃描信號 Y_i 成為 L 位準時，TFT1104、1108 同時成為 OFF 狀態(非導通狀態)，但電容元件 1120 之電荷之蓄積狀態未有變化，故 TFT1102 之閘極被保持於電流 I_{out} 流同時之電壓。

又，當掃描信號 Y_i 為 L 位準時，發光控制信號 V_{gi} 成為 H 位準，因此，n 通道型 TFT1106 成為 ON 狀態，於 TFT1102 之源極／汲極間流通響應於該閘極電壓之電流。詳言之為，該電流係經由電源線 $109 \rightarrow \text{TFT1102} \rightarrow \text{TFT1106} \rightarrow$ 有機 EL 元件 1130 之路徑流通。因此，有機 EL 元件 1130 成為以響應於該電流值之亮度發光。

流通於有機 EL 元件 1130 之電流值係由 TFT1102 之閘極電壓決定，該閘極電壓，當藉由 H 位準之掃描信號使電流 I_{out} 流入資料線 104 時，係為電容元件 1120 保持之電壓。因此，當發光控制信號 V_{gi} 為 H 位準時，流入有機 EL

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明書 ()

元件 1130 之電流，係與之前流入之電流 I_{out} 一致。

因此，即使於全畫素電路 110 中 TFT1102 之特性有變動之情況下，對含於各畫素電路 110 之有機 EL 元件 1130 亦可以供給相同大小之電流，故可抑制該變動引起之顯示不均勻現象。

上述雖僅對 1 個畫素電路 110 加以說明，但第 i 行之掃描線 102 係被 m 個畫素電路 110 共用，故當掃描信號 Y_i 成 H 位準時，共用之 m 個畫素電路 110 均執行同樣動作。

另外，掃描信號 Y_1 、 Y_2 、 Y_3 、...、 Y_m ，如圖 3 所示般，係依序以排他形式成為 H 位準，依此則針對全畫素電路 110，該 TFT1102 之閘極，其響應於有機 EL 元件 1130 之亮度的電流 I_{out} 流通時之電壓，係由電容元件 1120 予以保持。

又，各電晶體 1102、1104、1106、1108 之通道型未必需如上述，實際上可適當選擇 p 通道型或 n 通道型。

以下說明本發明特徵部份之電流產生電路。圖 4 係含於資料線驅動電路 3 之電流產生電路 30 之一列份之構成方塊圖。

於該圖，轉換電路 310，係將由記憶體 4(參照圖 1)讀出之 6 位元之數位資料(D5-D0)轉換為 19 位元之數位資料。19 位元之數位資料可分為以下 4 組，詳言之為，第 1 組之 S11-S14、S1F 之 5 位元，第 2 組之 S21-S24、S2F 之 5 位元，第 3 組之 S31-S34、S3F 之 5 位元，及第 4 組之 S41-S44 之 4 位元，其中第 1 組被供至電路方塊 C1，第 2 組被

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(10)

供至電路方塊 C2，第 3 組被供至電路方塊 C3，第 4 組被供至電路方塊 C4。

轉換電路 310 之轉換內容說明如下。6 位元之數位資料 (D5-D0) 所示十進位值 (以 D5 為最上位位元) 之階層所能取得之範圍為「0」-「63」之 64 階層。若十進位值之階層為「0」-「15」，則轉換電路 310 轉換為圖 5 所示 19 位元之數位資料予以輸出。詳言之為，配合階層之由「0」-「15」之步進，位元 S11-S14 所示之十進位值 (以 S14 為最上位位元) 亦同樣由「0」-「15」依序步進，另外其他位元則全成為 2 進位之“0”而被轉換。

其次，若十進位值之階層為「16」-「31」，則轉換電路 310 轉換為圖 6 所示 19 位元之數位資料予以輸出。詳言之為，配合階層之由「16」-「31」之步進，位元 S21-S24 所示之十進位值 (以 S24 為最上位位元) 亦同樣由「0」-「15」依序步進，另外，位元 S11-S14、S1F 則全為 2 進位之“1”，其他位元則全成為 2 進位之“0”而被轉換。

接著，若十進位值之階層為「32」-「47」，則轉換電路 310 轉換為圖 7 所示 19 位元之數位資料予以輸出。詳言之為，配合階層之由「32」-「47」之步進，位元 S31-S34 所示之十進位值亦同樣由「0」-「15」依序步進，另外，位元 S14-S11、S1F、S24-S21、S2F 則全為 2 進位之“1”，其他位元則全成為 2 進位之“0”而被轉換。

若十進位值之階層為「48」-「63」，則轉換電路 310 轉換為圖 8 所示 19 位元之數位資料予以輸出。詳言之為，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(1)

配合階層之由「48」-「63」之步進，位元 S41-S44 所示之十進位值(以 S44 為最上位位元)亦同樣由「0」-「15」依序步進，另外，位元 S11-S14、S1F、S21-S24、S2F、S31-S34、S3F 則全為 2 進位之“1”而被轉換。

圖 9 係上述轉換電路 310 以邏輯電路實現十之一例。當然，上述轉換電路 310，不以邏輯電路而以預先記憶轉換內容之表格予以實現亦可。

回至圖 4 之說明，基準電壓產生電路 320，係由電源電路 7 所產生之電壓 V1-V4 分別產生基準電壓 VCS1-VCS4 及 VCF1-VCF4。

基準電壓產生電路 320，係藉由圖 10 所示電流鏡電路例如由電壓 V1 產生基準電壓 VCS1、VCF1。於此圖，於電流鏡電路之輸入側，被供給由圖 1 之電源電路 7 所輸出之電壓 V1，另外，由輸出側取出基準電壓 VCS1、VCF1。又，藉由同樣之電流鏡電路，由電壓 V2 產生基準電壓 VCS2、VCF2，由電壓 V3 產生基準電壓 VCS3、VCF3，由電壓 V4 產生基準電壓 VCS4、VCF4。

電路方塊 C1，係 6 位元之數位資料(D5-D0)所示十進位值之階層「0」-「63」之中被分配與「0」-「15」者，詳言之為，如圖 11 所示轉換電路 310 所轉換之 19 位元之數位資料之中，依位元 S11-S14、S1F 來控制開關 11a-11d 之 ON/OFF，將 FET(Field-Effect Transistor)10a-10e、10f-10j 所輸出之要素電流 i11-i14、i1F 予以合成產生補助電流 Iout1。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

將 FET 之閘極及源極被供給一定電壓時流入 FET 之電流量定義為增益係數 β 時，FET10f-10j 設定為，增益係數 β 之比成為 $10f:10g:10f:10i:10j = 1:2:4:8$ 。

又，於 FET10a-10e 之閘極分別被共通供給基準電壓 VCS1，於 FET10f-10j 之閘極被共通供給基準電壓 VCF1，依此則要素電流 $i1-i4$ 、 $i1F$ 之大小之比成為 $i1:i2:i3:i4:i1F = 1:2:4:8:1$ 之關係。

又，於電路方塊 C1，FET 之構成之所以由 FET10a-10e 及 FET10f-10j 之 2 段構成，其理由係為穩定輸出電流 I_{out} 之特性。

因此，原理上僅為 FET10f-10j 之構成，可構成與其具同等機能之電路。

電路方塊 C2，係數位資料(D5-D0)所示十進位值之階層「0」-「63」之中被分配與「16」-「31」者，和電路方塊 C1 為同等。亦即，電路方塊 C2，係將轉換電路 310 所轉換之 19 位元之數位資料之中，依位元 S21-S24、S2F 而適當選擇要素電流 $i21-i24$ 、 $i2F$ 之同時，將該選擇之要素電流予以合成產生補助電流 I_{out2} 。

電路方塊 C3，係數位資料(D5-D0)所示十進位值之階層「0」-「63」之中被分配與「32」-「47」者，和電路方塊 C1、C2 為同等。亦即，電路方塊 C3，係將轉換電路 310 所轉換之 19 位元之數位資料之中，依位元 S31-S34、S3F 而適當選擇要素電流 $i31-i34$ 、 $i3F$ 之同時，將該選擇之要素電流予以合成產生補助電流 I_{out3} 。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(3)

電路方塊 C4，係數位資料(D5-D0)所示十進位值之階層「0」-「63」之中被分配與「48」-「63」者，除不存在相當於電路方塊 C1 之開關 11f、FET10e、10j(以虛線 50 包圍之電路)者以外均和電路方塊 C1 為同等，係依位元 S41-S44 適當選擇要素電流 i41-i44 之同時，將該選擇之要素電流予以合成產生補助電流 Iout4。

於電路方塊 C1 以虛線 50 包圍之電路，係選擇要素電流 i1F 之電路。該要素電流 i1F，係於產生與數位資料(D5-D0)所示十進位值之階層「16」(被分配為鄰接於該電路方塊 C1 之上位側之電路方塊的範圍之最低值)相當之補助電流 Iout1 時被用於與要素電流 i11-i14 加算之用。

於電路方塊 C2、C3，與虛線 50 相當之電路亦同樣為選擇要素電流 i2F、i3F 之電路。其中，要素電流 i2F，係於產生與階層「32」相當之補助電流 Iout2 時被用於與要素電流 i21-i24 加算之用。要素電流 i3F，則為產生與階層「48」相當之補助電流 Iout3 時被用於與要素電流 i31-i34 加算之用。

因此，不存在階層「64」之本實施形態中，不需要要素電流 i21-i24 之加算和以上之補助電流 Iout4，故相當於虛線 50 之電路不存在於電路方塊 C4。

電路方塊 C1-C4 所產生之補助電流 Iout1-Iout4，係藉由合成電流線 32 與主電流 Iout 合成，而被輸出至該主電流 Iout 對應之資料線 104。

以下說明針對 6 位元之數位資料(D5-D0)如何控制主電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

流 I_{out} 之值。

首先，數位資料(D0-D5)在階層「0」-「15」之範圍內時，如圖5所示針對位元S11-S14，該4位元所示十進位值(以S14為最上位位元)被轉換而由「0」依序步進至「15」。因此，藉由電路方塊C1之開關11a-11d之ON/OFF可適當選擇要素電流 i_{11} - i_{14} ，而產生補助電流 I_{out1} 。

階層為「0」-「15」之情況下，除位元S11-S14以外均被轉換為2進位之“0”，因此，電路方塊C2、C3、C4之開關全為OFF，結果補助電流 I_{out2} 、 I_{out3} 、 I_{out4} 均成為0。

因此，階層為「0」-「15」之範圍時之主電流 I_{out} ，可僅以在電路方塊C1中藉由適當選擇要素電流 i_{11} - i_{14} 所合成之補助電流 I_{out1} 予以表現。

數位資料(D0-D5)為階層「16」-「31」之範圍時，如圖6所示位元S11-S14、S1F均被轉換為2進位之“1”，因此，電路方塊C1之開關11a-11d全為ON，結果，補助電流 I_{out1} 成為要素電流 i_{11} - i_{14} 、 i_{1F} 之加算和所示之最大值。

階層為「16」-「31」時，針對位元S21-S24，該4位元所示十進位值(以S24為最上位位元)被轉換而由「0」依序步進至「15」。因此，於電路方塊C2可適當選擇要素電流 i_{21} - i_{24} 而產生補助電流 I_{out2} 。

又，階層為「16」-「31」時，位元S31-S34、S3F、

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(5)

S41-S44 均被轉換為“0”，因此，電路方塊 C3 之補助電流 Iout3 及電路方塊 C4 之補助電流 Iout4 同時成為 0。

因此，階層為「16」-「31」之範圍之主電流 Iout，成為在電路方塊 C2 中藉由適當選擇要素電流 i21-i24 所合成之補助電流 Iout2，再加上成為最大值之補助電流 Iout1 之值。但是，階層為「16」時，嚴格講補助電流 Iout2 為 0，故主電流 Iout 成為取最大值之補助電流 Iout1 所示之值。

數位資料(D0-D5)為階層「32」-「47」之範圍時，如圖 7 所示，位元 S11-S14、S1F、S21-S24、S2F 均被轉換為“1”，因此，電路方塊 C1 之補助電流 Iout1 成為要素電流 i11-i14、i1F 之加算和，電路方塊 C2 之補助電流 Iout2 成為要素電流 i21-i24、i2F 之加算和。

階層為「32」-「47」時，針對位元 S31-S34，該 4 位元所示十進位值(以 S34 為最上位位元)被轉換而由「0」依序步進至「15」。因此，於電路方塊 C3 可適當選擇要素電流 i31-i34 而產生補助電流 Iout3。

又，階層為「32」-「47」時，位元 S41-S44 均被轉換為“0”，因此，電路方塊 C4 之補助電流 Iout4 成為 0。

因此，階層為「32」-「47」之範圍之主電流 Iout，成為在電路方塊 C3 中藉由適當選擇要素電流 i31-i34 所合成之補助電流 Iout3，再加上取最大值之補助電流 Iout1、Iout2 之和之值。但是，階層為「32」時，嚴格講補助電流 Iout3 為 0，故主電流 Iout 成為取最大值之補助電流 Iout1、Iout2 之和所示之值。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

數位資料(D0-D5)為階層「48」-「63」之範圍時，如圖8所示，位元S11-S14、S1F、S21-S24、S2F、S31-S34、S3F均被轉換為“1”，因此，電路方塊C1之補助電流Iout1成為要素電流i11-i14、i1F之加算和，電路方塊C2之補助電流Iout2成為要素電流i21-i24、i2F之加算和，電路方塊C3之補助電流Iout3成為要素電流i31-i34、i3F之加算和。

階層為「48」-「63」時，針對位元S41-S44，該4位元所示十進位值(以S44為最上位位元)被轉換而由「0」依序步進至「15」。因此，於電路方塊C4可適當選擇要素電流i41-i44而產生補助電流Iout4。

因此，階層為「48」-「63」之範圍時之主電流Iout，成為在電路方塊C4中藉由適當選擇要素電流i41-i44所合成之補助電流Iout4，再加上取最大值之補助電流Iout1、Iout2、Iout3之和之值。但是，階層為「48」(被分配為電路方塊C4之範圍之最低值)時，嚴格講補助電流Iout4為0，故主電流Iout成為取最大值之補助電流Iout1、Iout2、Iout3之和所示之值。

若電源電路7以 $V1 < V2 < V3 < V4$ 之關係產生電壓V1-V4，則基準電壓產生電路320所產生之基準電壓VCS1-VCS4(VCF1-VCF4)將成為 $VCS1 < VCS2 < VCS3 < VCS4$ ($VCF1 < VCF2 < VCF3 < VCF4$)之大小關係。

於此關係之下，電路方塊C1-C4之要素電流i11-i14、i1F、i21-i24、i2F、i31-i34、i3F、i41-i44分別成為例如圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (17)

12 所示之值的情況下，數位資料(D0-D5)之階層「0」-「63」之主電流 I_{out} 將分別成為圖 13 所示之值。又，該階層／主電流之特性，如圖 14 所示為以 4 條直線模擬 γ 曲線而成者。

以下詳述成為此種特性之點。首先，階層為「0」-「16」之範圍時之主電流 I_{out} ，僅為在電路方塊 C1 中藉由適當選擇要素電流 i_{11} - i_{14} 、 i_{1F} 所合成之補助電流 I_{out1} ，因此在該範圍時之主電流 I_{out} 於該範圍內係呈略直線特性。其斜率則由基準電壓 $VCS1(VCF1)$ 之大小決定。又，要素電流 i_{11} 、 i_{1F} 之權值均為「1」，因而階層為「16」時之主電流 I_{out} ，係在階層為「0」-「15」之特性之延長線上。

其次，階層為「16」-「32」之範圍時之主電流 I_{out} ，係為在電路方塊 C1 中取最大值之補助電流 I_{out1} ，再加上於電路方塊 C2 藉由適當選擇要素電流 i_{21} - i_{24} 、 i_{2F} 所合成之補助電流 I_{out2} 之值，因此在該範圍時之主電流 I_{out} ，於該範圍內係呈略直線特性，而且與階層為「0」-「16」之範圍時之略直線特性具有連續性。另外，階層為「16」-「32」之範圍時之主電流 I_{out} 之斜率，係由基準電壓 $VCS2(VCF2)$ 之大小決定。又，要素電流 i_{21} 、 i_{2F} 之權值均為「1」，因而階層為「32」時之主電流 I_{out} ，係在階層為「16」-「31」之特性之延長線上。

階層為「32」-「48」之範圍時之主電流 I_{out} ，係為在取最大值之補助電流 I_{out1} 、 I_{out2} ，再加上於電路方塊 C3

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

藉由適當選擇要素電流 i_{31} - i_{34} 、 i_{3F} 所合成之補助電流 I_{out3} 之值，因此在該範圍時之主電流 I_{out} ，於該範圍內係呈略直線特性，而且與階層為「16」-「32」之範圍時之略直線特性具有連續性。另外，階層為「32」-「48」之範圍時之主電流 I_{out} 之斜率，係由基準電壓 $VCS3(VCF3)$ 之大小決定。

階層為「48」-「63」之範圍時之主電流 I_{out} ，係為在取最大值之補助電流 I_{out1} 、 I_{out2} 、 I_{out3} ，再加上於電路方塊 C4 藉由適當選擇要素電流 i_{41} - i_{44} 所合成之補助電流 I_{out4} 之值，因此在該範圍時之主電流 I_{out} ，於該範圍內係呈略直線特性，而且與階層為「32」-「48」之範圍時之略直線特性具有連續性。另外，階層為「48」-「63」之範圍時之主電流 I_{out} 之斜率，係由基準電壓 $VCS4(VCF4)$ 之大小決定。

因此，藉由電壓 $V1$ - $V4$ ，操作基準電壓產生電路 320 所產生之基準電壓 $VCS1$ - $VCS4(VCF1$ - $VCF4)$ 之大小關係，即可設定主電流 I_{out} 相對於階層之各種特性。

例如，設為 $VCS1 = VCS2 = VCS3 = VCS4$ ，則主電流 I_{out} ，如圖 15 所示，在「0」-「63」之階層之全區域呈略直線地增加，其斜率則依 $VCS1(= VCS2 = VCS3 = VCS4)$ 而變化。

另外，設為 $VCS1 > VCS2 > VCS3 > VCS4$ 時，主電流 I_{out} 之特性如圖 16 所示。設為 $VCS1(= VCS4) > VCS2(= VCS3)$ 時，主電流 I_{out} 之特性如圖 17 所示。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

又，欲操作基準電壓產生電路 320 所產生之基準電壓 VCS1-VCS4(VCF1-VCF4)之大小關係時，個別設定電源電路 7 之電壓 V1-V4 即可。個別設定電壓 V1 之構成可為例如圖 18 所示。亦即，將運算放大器 71 之輸出經由可變電阻 73 及電阻 75 而作為負回授輸入之構成。其他之電壓 V2、V3、V4 亦同樣。又，此構成中，可變電阻 73 之電阻值，可經由手動調整，或以類比開關調整。

依上述電流產生電路 30，可使主電流對於階層之特性以 4 個連續之略直線特性表現，因此顯示面板 1 之 γ 特性可依目的或用途模擬成各種形態。

又，依上述電流產生電路，可以 V1-V4 合計之 4 種基準電壓及邏輯電源電壓產生 64 種主電流 Iout，需要之電壓源之數極少。因此，構成簡單，可達成低消費電力化之同時，可提升耐久性。

又，該電流產生電路之構成，係以電路方塊 C1-C4 之 4 個補助電流 Iout1-Iout4 來合成 64 階層對應之主電流 Iout，但亦可增加電路方塊數(減少 1 個電路方塊 FET10f-10j 等之數)而實現更平滑之非線性特性。反之，減少電路方塊數(增加 1 個電路方塊 FET10f-10j 等之數)，而使轉換電路 310 之轉換所需負擔變小亦可(規定電路方塊之開關之 ON/OFF 之資料線數變少)。

又，上述電路方塊中，係使用 FET 產生要素電流，但亦可使用雙極性電晶體予以構成。

本發明並不限於上述實施形態，可做各種應用，變

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 20)

更。

上述實施形態中，主電流 I_{out} ，係於階層為「0」時取 0 之最低值(參照圖 13)。但另設置如圖 19 所示之偏壓電流電路 51，藉由電壓 V_0 來規定主電流 I_{out} 之下限值亦可。於此構成中，流入偏壓電流電路 51 之電流，係被偏置(offset)於補助電流 I_{out1} - I_{out4} 之和之上，再被合成為主電流 I_{out} 。因此，主電流 I_{out} 之最低值並非 0，而可為該下限值。

又，實施形態中，係以掃描線 102 被選擇時，應流入位於該掃描線 102 之畫素電路 110 之有機 EL 元件 1130 的電流，係介由資料線 104 供給之構成。

當顯示面板 1 之尺寸變大時，資料線 104 之寄生電容亦變大，將導致無法即刻供給必要之主電流 I_{out} ，高速驅動變為困難之問題。為解除此問題，例如圖 20 所示般，可於每一資料線 104 設預充電電路 53。該預充電電路 53，係包含:FET532 用於流通響應於閘極電壓 V_{pre} 之預充電電流 I_p ;及在資料線 104 流入主電流 I_{out} 之前，依信號 D_p 設為 ON 狀態，使預充電電流 I_p 流入資料線 104，俾對資料線 104 進行預充電的開關 534。

如上述，在流入主電流 I_{out} 之前預充電資料線 104，則和不存在預充電電路 53 之情況比較，可縮短流入資料線 104 之電流達到目標之主電流 I_{out} 的時間，因此更高速之驅動為可能。

又，於實施形態中，發光控制信號 V_{g1} 、 V_{g2} 、

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (21

Vg3、...、Vgm，係由掃描線驅動電路 2 反轉掃描信號 Y1、Y2、Y3、...、Ym 之邏輯位準之構成，但亦可設為藉由個別電路供給之構成，或將發光控制信號 Vg1、Vg2、Vg3、...、Vgm 之主動位準(H 位準)之期間同時控制於狹窄方向之構成。

上述說明之實施形態之光電裝置 100，係將本發明特徵部分之電流產生電路 30 適用有機 EL 面板之資料線驅動電路者，但該電流產生電路亦適用有機 EL 面板以外之顯示面板，例如 FED(Field Emission Display)等其他各種顯示面板。

以下說明實施形態之光電裝置 100 適用之電子機器之幾個例。

圖 21 係該光電裝置 100 適用之攜帶型個人電腦之構成斜視圖。於該圖，個人電腦 2100，係具備：具鍵盤 2102 之本體 2104，及顯示單元之光電裝置 100。

圖 22 係上述光電裝置 100 適用之行動電話之構成斜視圖。於該圖，行動電話 2200，除多數操作按鈕 2202 以外，另具備受話口 2204，送話口 2206，及上述光電裝置 100。

圖 23 係上述光電裝置 100 適用觀景型數位潛像照相機之構成斜視圖。傳統(類比)照相機，係藉由被照體之光像使底片感光，相對於此，數位潛像照相機 2300，則藉由 CCD(Charge Coupled Device)等攝影元件將被照體之光像施予光電轉換而產生攝影信號予以記憶之。在數位潛像照相機 2300 之本體 2302 之背面，設有上述光電裝置 100。該

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

光電裝置 100，係依攝影信號進行顯示，故作為顯示被照體之觀景窗之機能。又，本體 2302 之前面側(圖 23 為背面側)，設有包含光學透鏡或 CCD 等之受光單元 2304。

攝影者確認光電裝置 100 顯示之被照體影像，壓下快門按鈕 2306，則該時點之 CCD 之攝影信號被傳送、記憶於電路基板 2308 之記憶體。

又，於該數位潛像照相機 2300，於外殼 2302 之側面，設有進行外部顯示用的視訊輸出端子 2312，及資料通信用之輸出入端子 2314。

又，光電裝置 100 適用之電子機器，除圖 21 之個人電腦，圖 22 之行動電話，圖 23 之數位潛像照相機以外，尚有例如液晶電視、觀景型、直視型攝錄放影機、汽車導航裝置、呼叫器、電子記事簿、電子計算機、文字處理機、工作站、視訊電話、POS 終端機、具觸控面板之裝置等。上述光電裝置 100 亦可作為該些電子機器之顯示部使用。

(發明之效果)

依上述說明之本發明之電流產生電路，電路構成可以簡單化，而且可抑制消費電力之增加。

(圖面之簡單說明)

圖 1:本發明之實施形態之光電裝置之構成方塊圖。

圖 2:該光電裝置之畫素電路之構成圖。

圖 3:該畫素電路之動作說明之時序圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

圖 4:包含於該光電裝置之資料線驅動電路的電流產生電路之構成方塊圖。

圖 5:該電流產生電路之轉換電路之轉換內容之圖。

圖 6:該電流產生電路之轉換電路之轉換內容之圖。

圖 7:該電流產生電路之轉換電路之轉換內容之圖。

圖 8:該電流產生電路之轉換電路之轉換內容之圖。

圖 9:該轉換電路之一例。

圖 10:該電流產生電路之基準電壓產生電路之圖。

圖 11:該電流產生電路之電流選擇電路之構成圖。

圖 12:該電流產生電路產生之要素電流之一例。

圖 13:該電流產生電路產生之主電流之一例。

圖 14:該電流產生電路中表示階層與主電流之特性之圖。

圖 15:該電流產生電路中表示階層與主電流之特性之圖。

圖 16:該電流產生電路中表示階層與主電流之特性之圖。

圖 17:該電流產生電路中表示階層與主電流之特性之圖。

圖 18:用於產生該電源電路之電壓 V1 之一例。

圖 19:該電流產生電路之應用例。

圖 20:該電流產生電路之應用例。

圖 21:該光電裝置適用之攜帶型個人電腦之構成斜視圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 24)

圖 22:該光電裝置適用之行動電話之構成斜視圖。

圖 23:該光電裝置適用之數位潛像照相機之構成斜視圖。

圖 24:習知電流產生電路之構成圖。

(符號說明)

C1-C4、電路方塊

i11-i14、i1F、i21-i24、i2F、i31-i34、i3F、i41-i44、

要素電流

Iout1-Iout4、補助電流

S11-S14、S1F、S21-S24、S2F、S31-S34、S3F、S41-

S44、位元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱： 電流產生電路、半導體積體電路、)
光電裝置及電子機器

目的在於提供一種構成簡單、具極佳耐久性，且低消費電力的電流產生電路。

解決手段為，電路方塊 C 1，係依資料(位元)

S 1 1 - S 1 4、S 1 F 適當選擇要素電流 i_{11} - i_{14} 、 i_{1F} 而產生補助電流 I_{out1} 。同樣地，電路方塊 C 2，係依位元 S 2 1 - S 2 js 4、S 2 F 適當選擇要素電流 i_{21} - i_{24} 、 i_{2F} 而產生補助電流 I_{out2} 。電路方塊 C 3，係依位元 S 3 1 - S 3 4、S 3 F 適當選擇要素電流 i_{31} - i_{34} 、 i_{3F} 而產生補助電流 I_{out3} 。電路方塊 C 4，係依位元 S 4 1 - S 4 4 適當選擇要素電流 i_{41} - i_{44} 而產生補助電流 I_{out4} 。將該些補助電流 I_{out1} 、 I_{out2} 、 I_{out3} 、 I_{out4} 予以合成而產生主電流 I_{out} 。

(選擇圖) 圖 1 1

英文發明摘要(發明之名稱：)

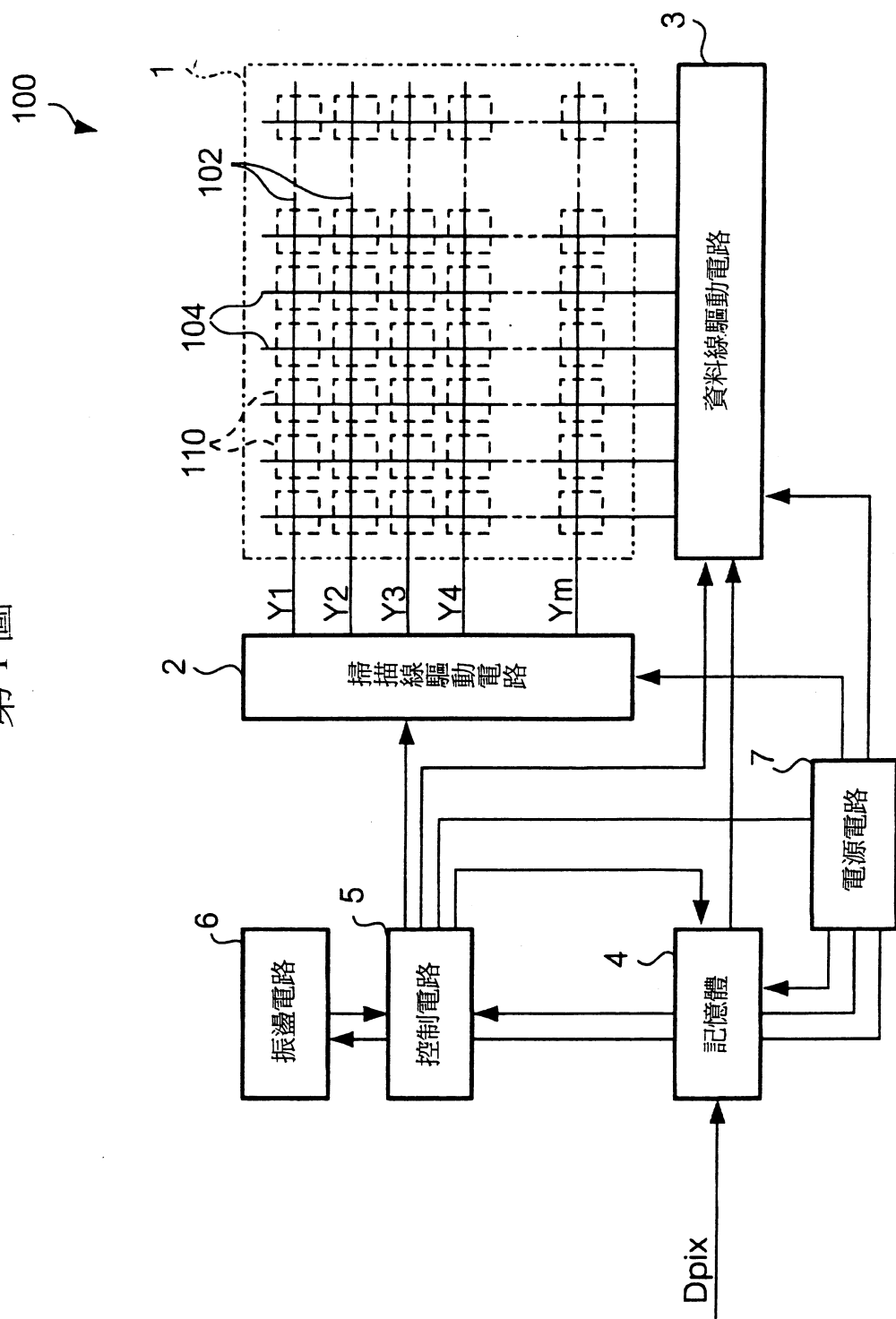
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

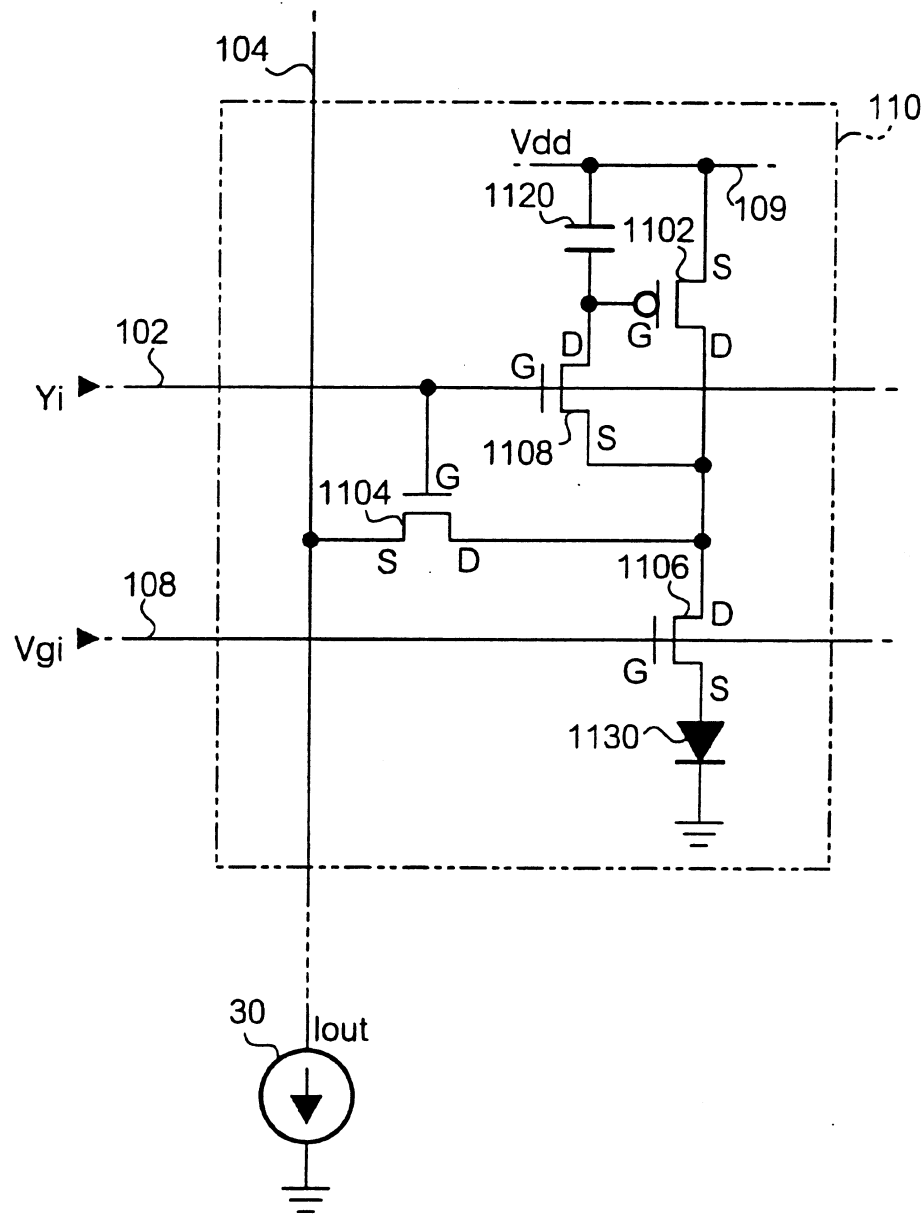
訂

線

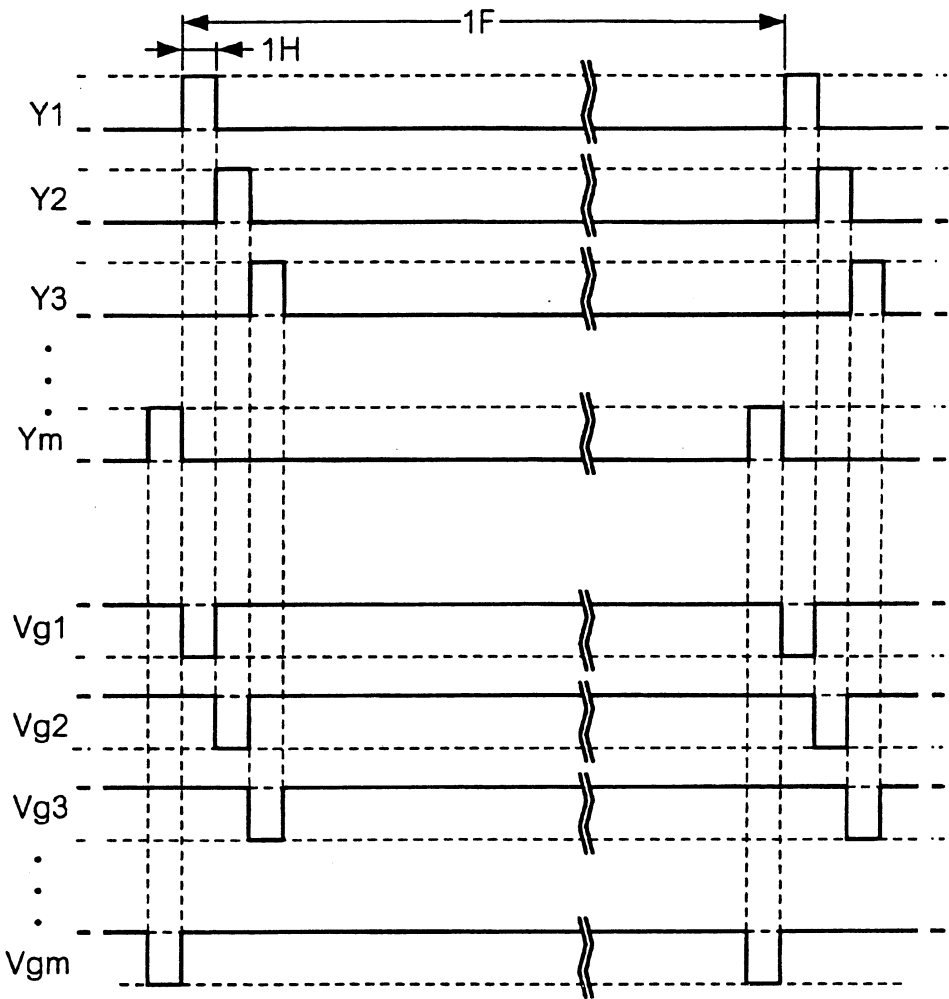
第 1 圖



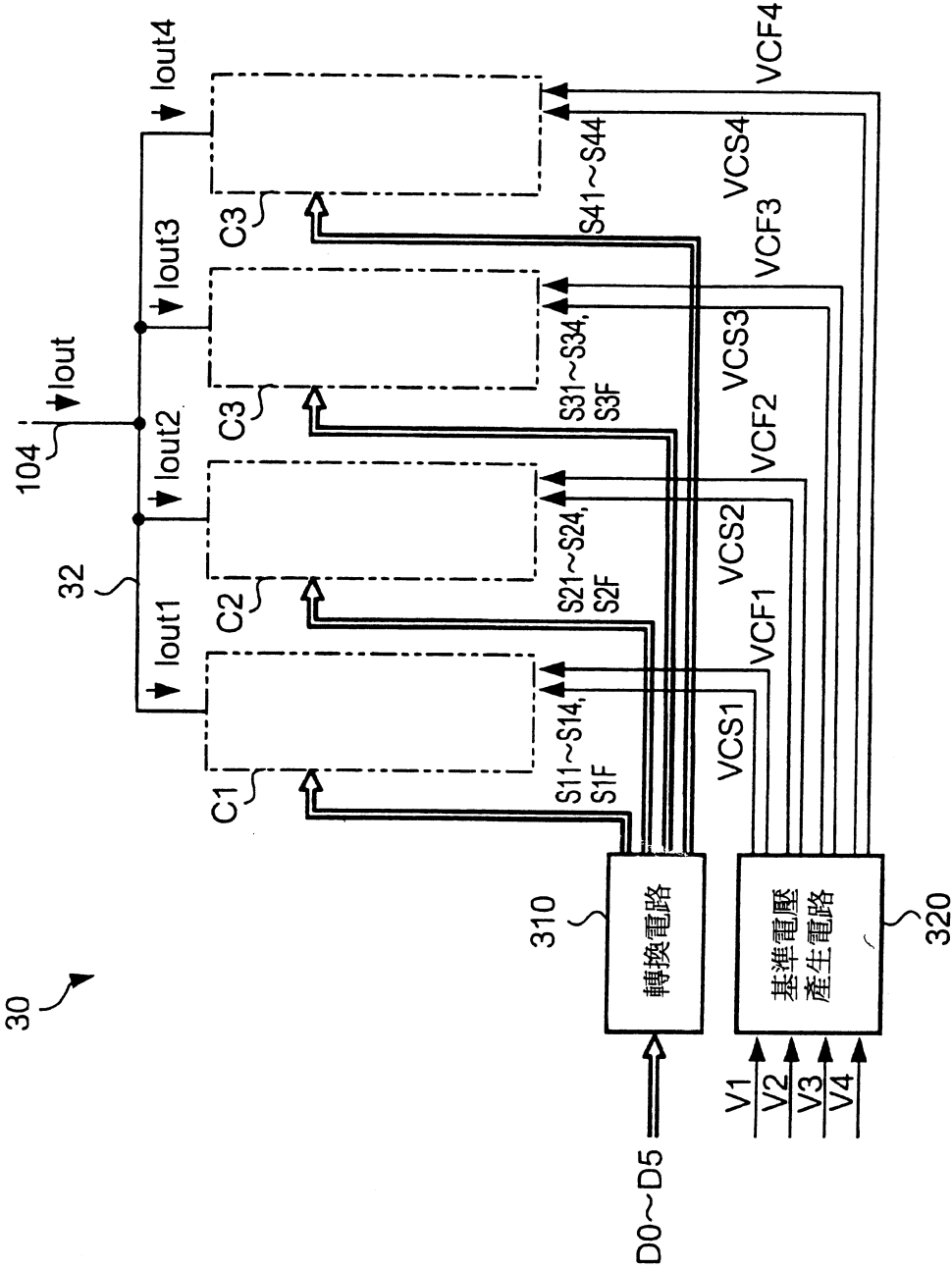
第 2 圖



第 3 圖



第 4 圖



第 5 圖

階層	D5	D4	D3	D2	D1	D0	S44	S43	S42	S41	S3F	S34	S33	S32	S31	S2F	S24	S23	S22	S21	S1F	S14	S13	S12	S11
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
2	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
3	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
4	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
5	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
6	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
7	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
8	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
9	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
10	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
11	0	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1
12	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
13	0	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
14	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0
15	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

第 6 圖

階層	D5	D4	D3	D2	D1	D0	S44	S43	S42	S41	S3F	S34	S33	S32	S31	S2F	S24	S23	S22	S21	S1F	S14	S13	S12	S11
16	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
17	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
18	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	1	1
19	0	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
20	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	1	1	1
21	0	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1
22	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1	1	1
23	0	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
24	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1	1	1
25	0	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	1	1	1	1
26	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	1	1	1	1
27	0	1	1	0	1	1	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1	1
28	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	1	1	1
29	0	1	1	1	0	1	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1	1	1	1
30	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
31	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1

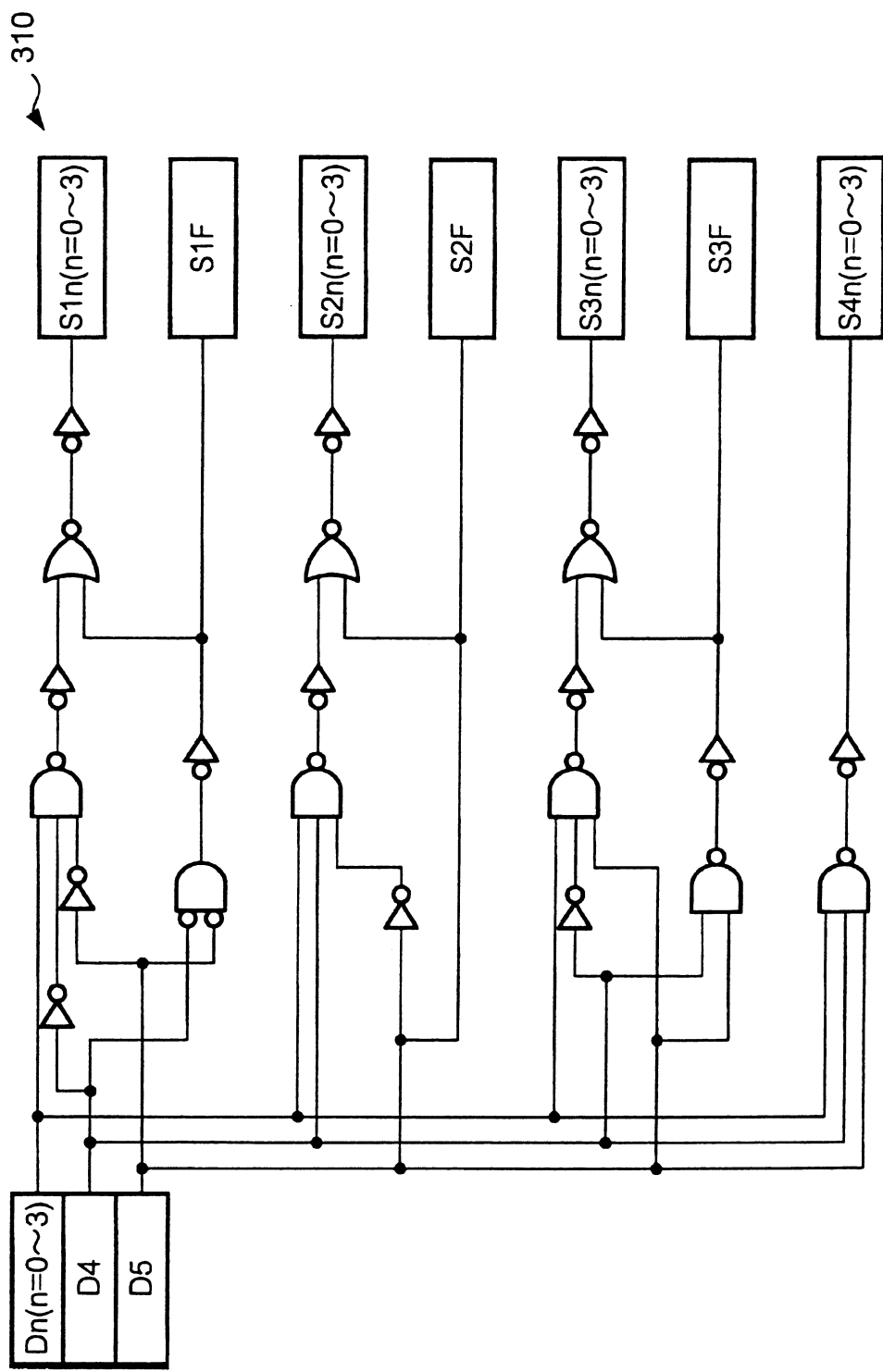
圖 7 鋼

階層	D5	D4	D3	D2	D1	D0	S44 S43 S42 S41	S3F S34 S33 S32 S31	S2F S24 S23 S22 S21	S1F	S14 S13 S12 S11
32	1	0	0	0	0	0	0 0 0 0	0 0 0 0	1 1 1 1	1	1 1 1 1
33	1	0	0	0	0	1	0 0 0 0	0 0 0 1	1 1 1 1	1	1 1 1 1
34	1	0	0	0	1	0	0 0 0 0	0 0 1 0	1 1 1 1	1	1 1 1 1
35	1	0	0	0	1	1	0 0 0 0	0 0 1 1	1 1 1 1	1	1 1 1 1
36	1	0	0	1	0	0	0 0 0 0	0 1 0 0	1 1 1 1	1	1 1 1 1
37	1	0	0	1	0	1	0 0 0 0	0 1 0 1	1 1 1 1	1	1 1 1 1
38	1	0	0	1	1	0	0 0 0 0	0 1 1 0	1 1 1 1	1	1 1 1 1
39	1	0	0	1	1	1	0 0 0 0	0 1 1 1	1 1 1 1	1	1 1 1 1
40	1	0	1	0	0	0	0 0 0 0	1 0 0 0	1 1 1 1	1	1 1 1 1
41	1	0	1	0	0	1	0 0 0 0	1 0 0 1	1 1 1 1	1	1 1 1 1
42	1	0	1	0	1	0	0 0 0 0	1 0 1 0	1 1 1 1	1	1 1 1 1
43	1	0	1	0	1	1	0 0 0 0	1 0 1 1	1 1 1 1	1	1 1 1 1
44	1	0	1	1	0	0	0 0 0 0	1 1 0 0	1 1 1 1	1	1 1 1 1
45	1	0	1	1	0	1	0 0 0 0	1 1 0 1	1 1 1 1	1	1 1 1 1
46	1	0	1	1	1	0	0 0 0 0	1 1 1 0	1 1 1 1	1	1 1 1 1
47	1	0	1	1	1	1	0 0 0 0	1 1 1 1	1 1 1 1	1	1 1 1 1

第 8 圖

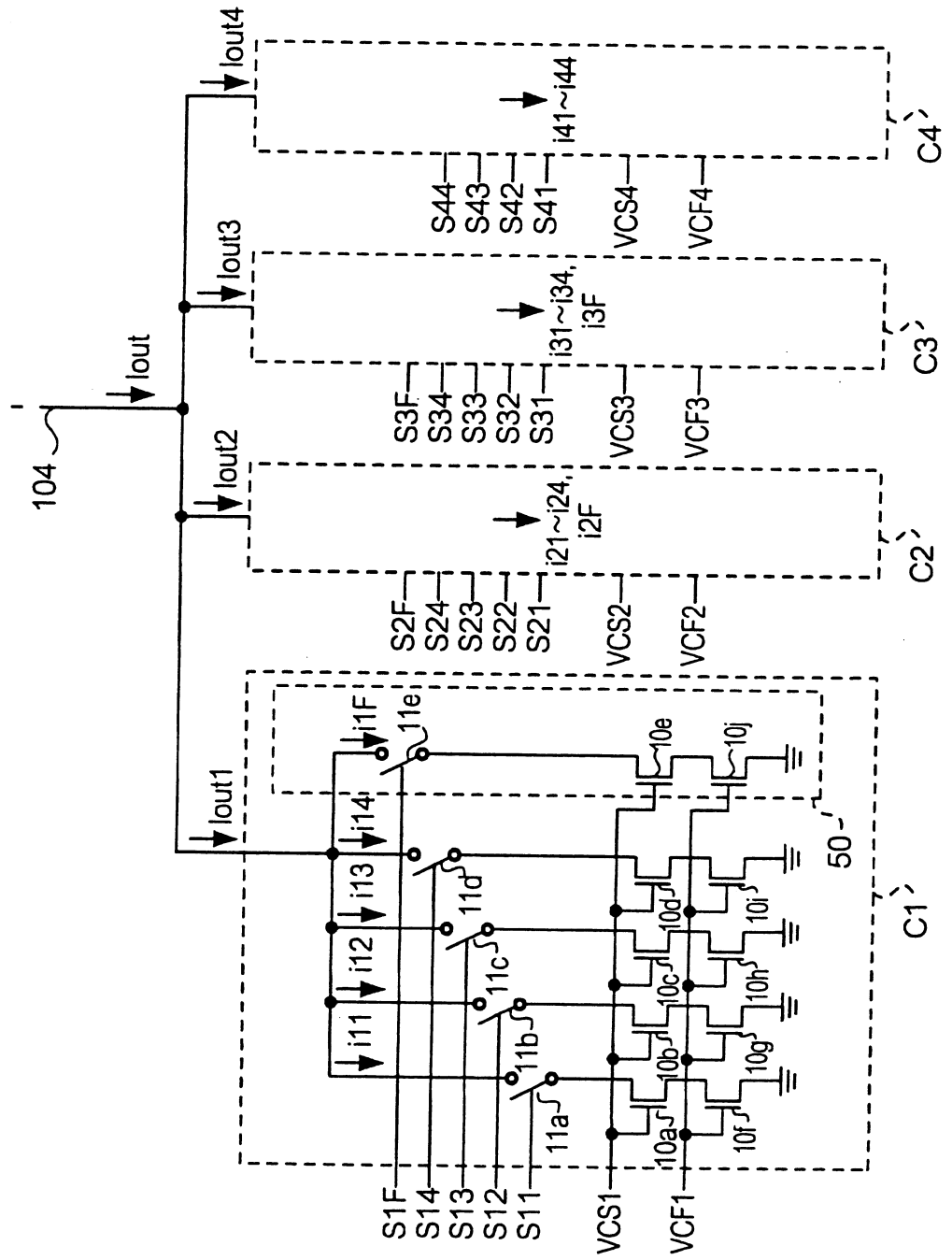
階層	D5	D4	D3	D2	D1	D0	S44	S43	S42	S41	S3F	S34	S33	S32	S31	S2F	S24	S23	S22	S21	S1F	S14	S13	S12	S11
48	1	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
49	1	1	0	0	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
50	1	1	0	0	1	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
51	1	1	0	0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
52	1	1	0	1	0	0	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
53	1	1	0	1	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
54	1	1	0	1	1	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
55	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
56	1	1	1	0	0	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
57	1	1	1	0	0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
58	1	1	1	0	1	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
59	1	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
60	1	1	1	1	0	0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
61	1	1	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
62	1	1	1	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
63	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

第 9 圖





第 11 圖



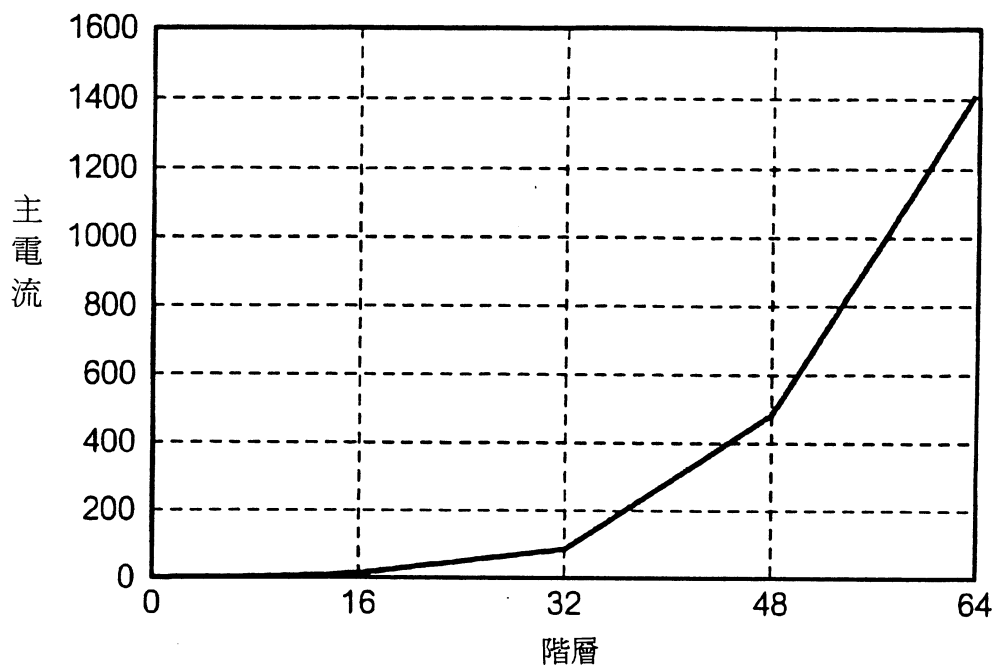
第 12 圖

要素電流	電流値
i11	1.5
i12	3.0
i13	6.0
i14	12.0
i1F	1.5
i21	4.75
i22	9.5
i23	19.0
i24	38.0
i2F	4.75
i31	24.13
i32	48.25
i33	96.5
i34	193.0
i3F	24.13
i41	61.68
i42	123.4
i43	246.7
i44	493.4

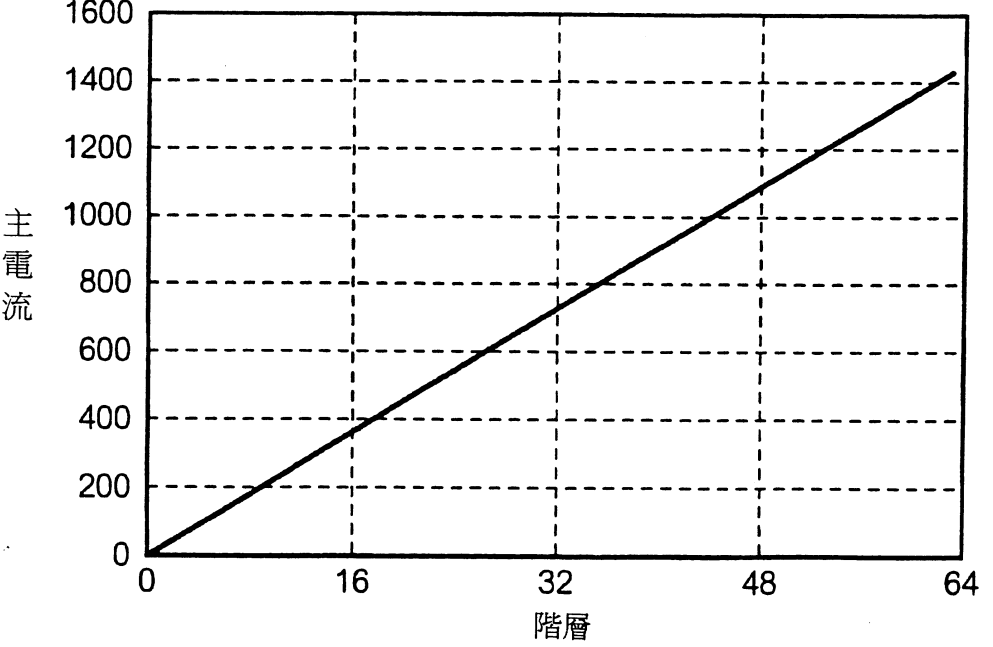
第 13 圖

階層	主電流	階層	主電流
0	0	32	100.0
1	1.5	33	124.1
2	3.0	34	148.3
3	4.5	35	172.4
4	6.0	36	196.5
5	7.5	37	220.6
6	9.0	38	244.8
7	10.5	39	268.9
8	12.0	40	293.0
9	13.5	41	317.1
10	15.0	42	341.3
11	16.5	43	365.4
12	18.0	44	389.5
13	19.5	45	413.6
14	21.0	46	437.8
15	22.5	47	461.9
16	24.0	48	486.0
17	28.8	49	547.7
18	33.5	50	609.4
19	38.3	51	671.0
20	43.0	52	732.7
21	47.8	53	794.4
22	52.5	54	856.1
23	57.3	55	917.8
24	62.0	56	979.4
25	66.8	57	1041.1
26	71.5	58	1102.8
27	76.3	59	1164.5
28	81.0	60	1226.2
29	85.8	61	1287.8
30	90.5	62	1349.5
31	95.3	63	1411.2

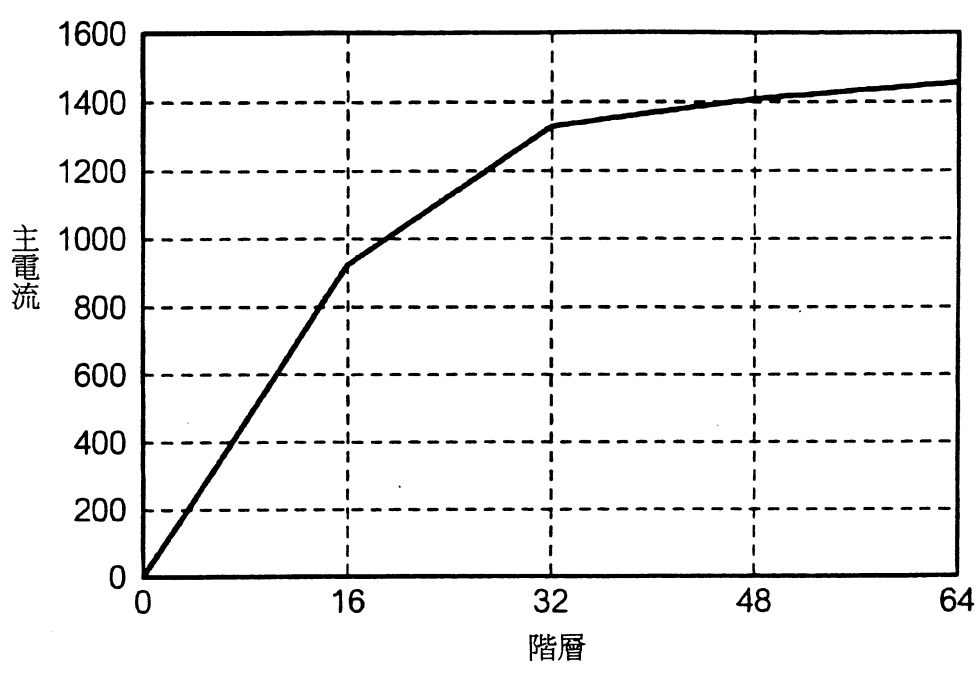
第 14 圖



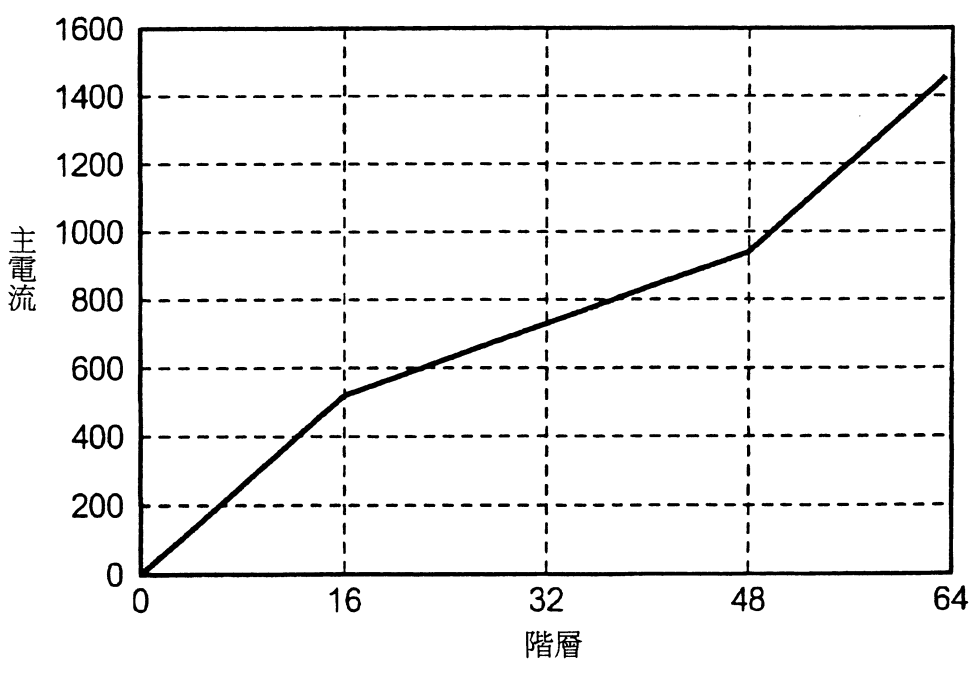
第 15 圖



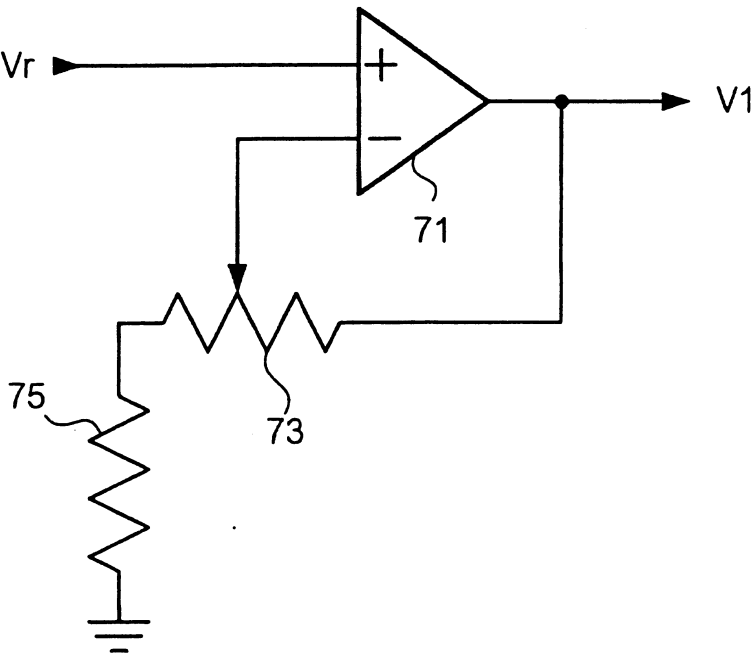
第 16 圖



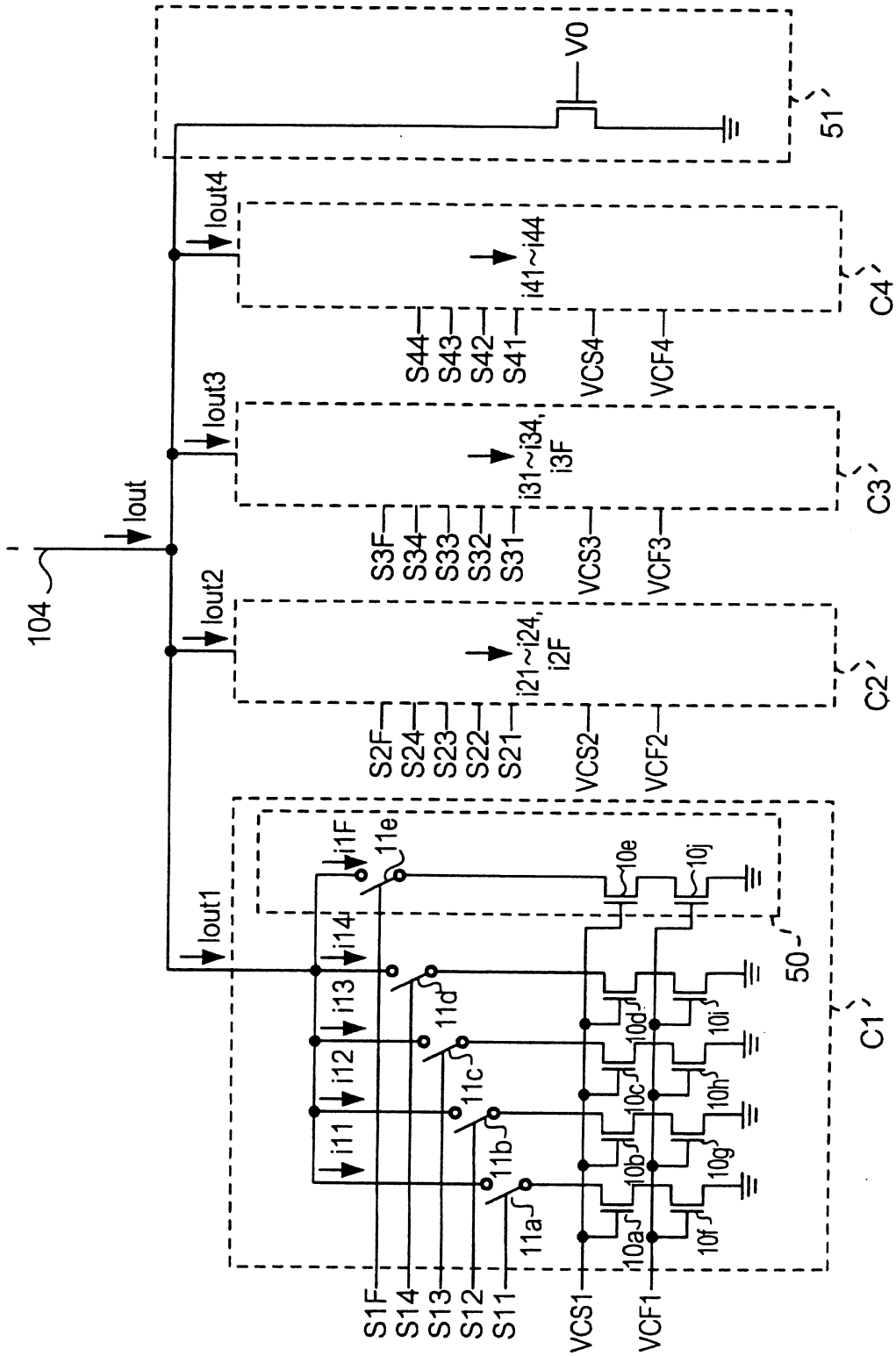
第 17 圖



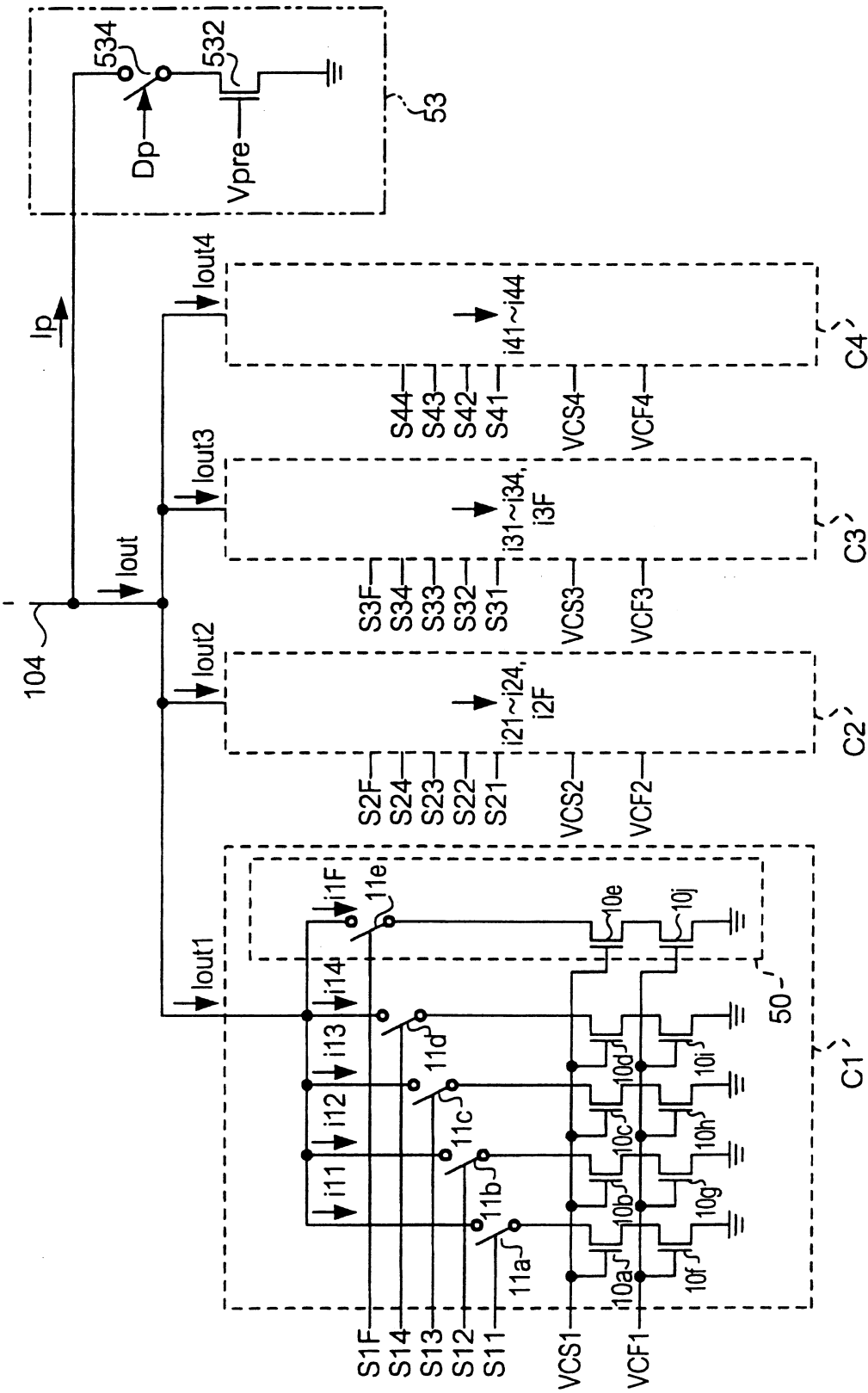
第 18 圖



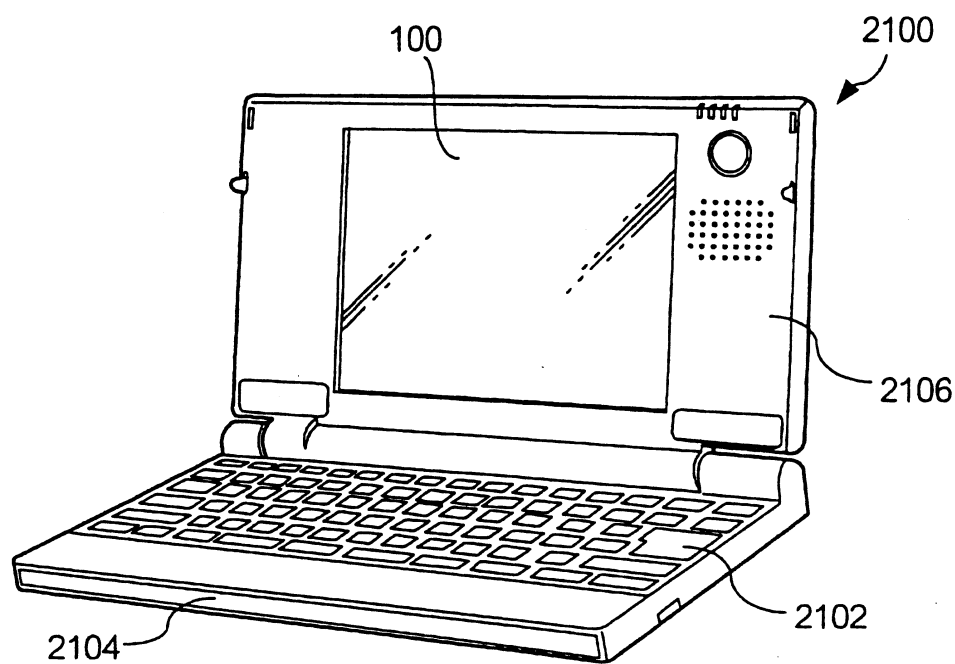
第 19 圖



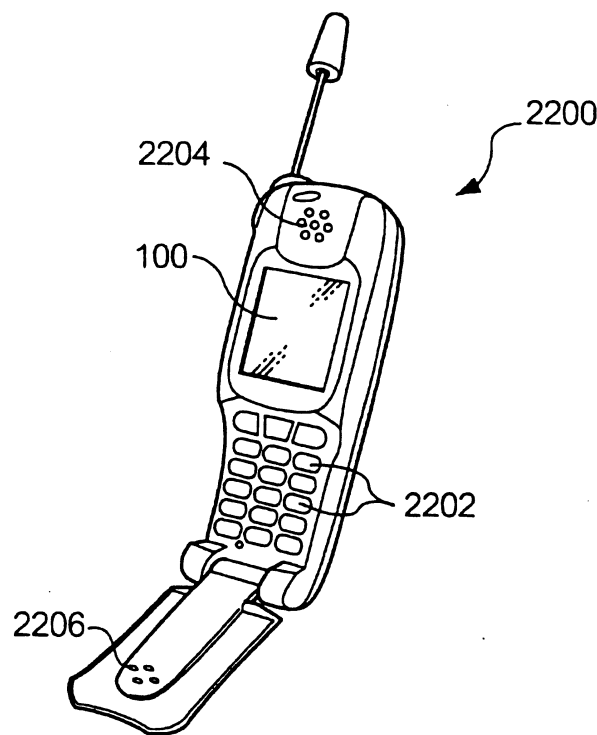
第 20 圖



第 21 圖



第 22 圖



六、申請專利範圍 1

第 91119589 號專利申請案

中文申請專利範圍修正本

民國 93 年 2 月 3 日修正

1. 一種電流產生電路，其特徵為具備：

由多數要素電流之中選擇與輸入之數位資料對應之要素電流據以輸出補助電流的電路方塊之多數個；及

藉由合成上述補助電流而輸出主電流的合成電路。

2. 如申請專利範圍第 1 項之電流產生電路，其中

1 個電路方塊，係分別藉由增益係數不同之電晶體來產生上述多數要素電流之各個。

3. 如申請專利範圍第 2 項之電流產生電路，其中

於上述電晶體，包含有增益係數之比為二進制加權之組合。

4. 如申請專利範圍第 2 項之電流產生電路，其中

上述各個電晶體，係為場效電晶體；

在一個電流產生電路之電晶體之閘極，被供給共通之基準電壓。

5. 一種電流產生電路，其特徵為具備：

產生補助電流的電路方塊之多數個；及

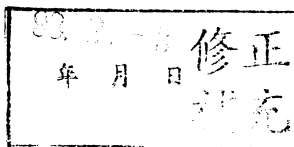
將各電路方塊所產生之補助電流予以合成據以輸出主電流的

合成電路；

各個電路方塊，係被分配為將輸入之數位資料所能取得之範圍予以分割而成的各個範圍；

(請先閱讀背面之注意事項再填寫本頁)

訂



六、申請專利範圍 2

1 個電路方塊，

當數位資料之值在該電路方塊被分配之範圍以下時，
係產生大略 0 之補助電流，

當數位資料之值在該電路方塊被分配之範圍內時，係
響應於該數位資料並依略直線特性而產生補助電流，

當數位資料之值在該電路方塊被分配之範圍以上時，
係產生相當於對該 1 個電路方塊鄰接於上位側之方塊所被
分配之數位資料之範圍之最低值相當之補助電流。

6.如申請專利範圍第 5 項之電流產生電路，其中

電路方塊之略直線特性，係可依各電路方塊個別設
定。

7.如申請專利範圍第 1 至 6 項中任一項之電流產生電
路，其中

具備：用於界定上述主電流之下限值的偏壓電流路徑。

8.一種半導體積體電路，係將申請專利範圍第 1 至 7 項
中任一項之電流產生電路予以積體化而成者。

9.一種光電裝置，其特徵為具備：

多數掃描線，多數資料線，驅動上述掃描線的掃描線
驅動電路，驅動上述資料線的資料線驅動電路，及配置於
上述掃描線與上述資料線之交叉部的光電元件；

上述資料線驅動電路，係包含申請專利範圍第 1 至 7
項中任一項之電流產生電路，將該電流產生電路之主電流
供至 1 個資料線。

10.如申請專利範圍第 9 項之光電裝置，其中

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍³

上述光電元件，係依電流被驅動之被驅動元件。

11.如申請專利範圍第10項之光電裝置，其中

上述被驅動元件，係有機電致發光(Electro Luminescence, EL)元件。

12.如申請專利範圍第11項之光電裝置，其中

具備:記憶體，俾記憶用於界定上述有機 EL 元件之亮度階層的資料;及

控制電路，俾由上述記憶體讀出資料，並作為上述數位資料供至上述資料線驅動電路。

13.如申請專利範圍第9至12項中任一項之光電裝置，其中

具備:供給作為動作基準之基準動作信號的振盪電路。

14.一種電子機器，係安裝有如申請專利範圍第9至13項中任一項之光電裝置者。

(請先閱讀背面之注意事項再填寫本頁)

訂