

公告本

415085

申請日期	88.3.9
案 號	88103609
類 別	H01L 27/08

A4
C4

(以上各欄由本局填註)

發明專利說明書

415085

一、發明 名稱	中 文	具有條形單胞板之半導體記憶體
	英 文	Semiconductor memory with strip-shaped cell-plate
二、發明 創作人	姓 名	理查歐文 Richard Owen
	國 籍	德國
	住、居所	德國瑞根斯堡 D-93049 漢斯-沙奇斯-街 9B 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

裝

訂

線

415085

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

德 國 (地區) 申請專利，申請日期： 案號： ， ☒有 ☐無主張優先權
1998年3月25日 19813169.0

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(>)

(16)是與記憶體電極12導電性地相連接，另一個區域(17)稍後經由位元線接觸區18'而與位元線18相接觸。記憶體單胞以隔離區(例如，LOCOS或淺溝渠隔離區，未顯示)而互相絕緣。單胞板14必須被結構化，即，在基體表面處選擇電晶體所形成之這些位置上之單胞板14須去除。所使用之蝕刻方式可以是等向性或非等向性的。在第6圖中所顯示的是記憶體矩陣之俯視圖(單胞陣列之一部份)，即，許多記憶體單胞，其具有此種已結構化之單胞板14(陰影線之區域)。

在所示之例子中，記憶體單胞配置在一列之第一方向中，相鄰之列互相偏移一個單胞長度。每二個在第一方向中相鄰之單胞是配置成鏡面對稱且具有一個共同之位元線-接觸區18'，接觸區18'配置在裸露之基體表面之中央且為了清楚之故只在一個單胞對(pair)中顯示出。基本上(即，在與所示之第6圖不同之佈局中)單胞板是以網路形式來進行結構化，其中須在一個或多個(此處為二個)電晶體應配置之這些位置上對足夠之開口進行蝕刻直至基體為止。換言之，這些孔配置成實際上是覆蓋主動區且這些孔實際上是和主動區之大小相同且其餘之單胞板14基本上覆蓋了記憶體單胞之間的隔離區。單胞板填入溝渠中且至少一部份覆蓋了基體表面處之溝渠。

此種配置使其不能任意變小，這是因為單胞板須以微影術來進行結構化，最窄之網路條形區因此至少必須具有寬度F(微影術所能產生之最小尺寸)，在等向性蝕刻

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明()

就動態隨機存取之半導體記憶體(DRAM-記憶體)而言，其可有許多種設計方式。它們通常是單一電晶體-記憶體單胞，這些單胞分別含有一個記憶體電容器(以便儲存邏輯值)以及一個相對應之選擇電晶體，其中以字元線控制此一選擇電晶體時資訊可以寫入電容器中或由電容器中讀出。由於持續增加之積體化密度，則單一電晶體-記憶體單胞之空間需求必須減小。

基本上之單胞之概念劃分成以下各種：

1. 平面式單胞，其中電容器以及電晶體都以平面式組件構成。
2. 堆疊電容器-單胞，其中記憶體電容器配置於電晶體上方。
3. 溝渠式單胞，其中電晶體設置在基體表面且電容器設置在基體中所配置之溝渠中，記憶體電極是由基體所形成或由一種以絕緣方式配置在溝渠中之導電層所構成。

溝渠式單胞(其中記憶體電極是由基體或基體之一部份所構成)之橫切面顯示在第5圖中。在基體10中對溝渠11進行蝕刻，其中基體之一部份沿著溝渠內壁藉由適當之摻雜而形成記憶體電極12。溝渠內壁設有電容器介電質13，且溝渠中是以一種大部份是由摻雜之多晶矽所構成之層填入，此種層形成許多記憶體單胞所共有之反電極。相對應之選擇電晶體具有一條以絕緣方式配置在基體上之字元線15以及二個S/D-區域16，17，其中一個區域

五、發明說明(>)

(16)是與記憶體電極12導電性地相連接，另一個區域(17)稍後經由位元線接觸區18'而與位元線18相接觸。記憶體單胞以隔離區(例如，LOCOS或淺溝渠隔離區，未顯示)而互相絕緣。單胞板14必須被結構化，即，在基體表面處選擇電晶體所形成之這些位置上之單胞板14須去除。所使用之蝕刻方式可以是等向性或非等向性的。在第6圖中所顯示的是記憶體矩陣之俯視圖(單胞陣列之一部份)，即，許多記憶體單胞，其具有此種已結構化之單胞板14(陰影線之區域)。

在所示之例子中，記憶體單胞配置在一列之第一方向中，相鄰之列互相偏移一個單胞長度。每二個在第一方向中相鄰之單胞是配置成鏡面對稱且具有一個共同之位元線-接觸區18'，接觸區18'配置在裸露之基體表面之中央且為了清楚之故只在一個單胞對(pair)中顯示出。基本上(即，在與所示之第6圖不同之佈局中)單胞板是以網路形式來進行結構化，其中須在一個或多個(此處為二個)電晶體應配置之這些位置上對足夠之開口進行蝕刻直至基體為止。換言之，這些孔配置成實際上是覆蓋主動區且這些孔實際上是和主動區之大小相同且其餘之單胞板14基本上覆蓋了記憶體單胞之間的隔離區。單胞板填入溝渠中且至少一部份覆蓋了基體表面處之溝渠。

此種配置使其不能任意變小，這是因為單胞板須以微影術來進行結構化，最窄之網路條形區因此至少必須具有寬度F(微影術所能產生之最小尺寸)，在等向性蝕刻

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明(3)

中這些條形區可被製造成更狹窄。若此種網路條形區非常窄，則它們會斷開或裂開，其結果會造成相關單胞之失效。

本發明之目的是提供一種半導體記憶體配置，其中可避免上述之問題，此目的是藉由具有申請專利範圍第1項特徵之半導體記憶體配置來達成。有利之其它形式則敘述在申請專利範圍各附屬項中。

在本發明之記憶體配置中，單胞板並不是以網路形式而被結構化，而是以條形方式而被結構化。單胞板因此含有許多單胞板條形區，這些單胞板相鄰地在單胞陣列上方延伸且只完全在邊緣處或單胞陣列外部(因此是在記憶體單胞不存在之區域中)互相連接。在條形區之間同樣以條形方式存在一些未被單胞板所覆蓋之區域。在這些未被覆蓋之區域中形成一些電晶體。介於記憶體單胞之間的隔離區(LOCOS-或STI-隔離區)之一部份位於空著的(free)條形區中。

在傳統之配置(第6圖)中所產生之狹窄條形區可以省略或可以變成二倍寬，使這些條形區之數目減半。單胞因此可進一步縮小，這些因為所產生之最小結構寬度是傳統配置中的二倍。

單胞板條形區之方向可和第一方向(多列記憶體單胞配置在此方向中)重合，因此是與位元線之方向重合。於是單胞板條形區將二個相鄰單胞列之記憶體單胞相連接，其中單胞板條形區以雙梳形之形式覆蓋此二個單胞

五、發明說明(4)

列。於是電容器溝渠至少一部份被覆蓋，而電晶體區域則保持空著的(free)。相鄰之單胞板條形區連接第三和第四單胞列之記憶體電容器，在單胞板條形區之間存在一個連續之空著的條形區。

若在此種配置中在相同之單胞板條形區中發生二個中斷位置或類似之故障，則介於這些位置之間的單胞會失效。但此種故障可輕易地藉助於備用之單胞來修復，這是因為此時只涉及二條位元線之單胞。利用此種備用之單胞，因此似乎可簡易地取代此二條位元線而不是取代許多各種不同組合之位元線和字元線。

單胞板條形區之方向亦可和單胞列之第一方向形成一個角度。單胞板條形區於是可連接此種超過二列單胞(即，與此條形區相交之所有單胞列)所形成之記憶體單胞。在每一相交之單胞列中此種單胞板條形區可依據記憶體單胞之佈局而連接至一個或多個電容器。此種概念之優點是情況需要時可有較大之封裝密度。

本發明基本上可應用在上述單胞概念(溝渠式單胞，其具有此種配置在溝渠中之單胞板)之所有DRAMs之佈局(layout)中，特別是可應用在其它單胞列相互間之偏移(Versatz)中或不是以鏡面對稱方式而配置之溝渠或單胞中。

本發明以下將依據顯示在圖中之圖式作詳述。

圖式簡單說明如下：

第1圖 依據本發明第一實施例具有單胞板之單胞陣

五、發明說明(5)

列之一部份的俯視圖。

第2至第4圖 其它實施例。

第5圖 記憶體單胞(其具有一種配置於溝渠中之單胞板)之橫切面。

第6圖 具有傳統單胞板之單胞陣列之一部份的俯視圖。

第1圖：雖然可應用於一般情況，本發明將描述一種單胞-佈局，其具有配置成列之記憶體單胞，其中在一列中分別以鏡面對稱方式配置二個相鄰之單胞，且具有一種由單胞長度/單胞列所形成之偏移(Versatz)。

單胞陣列-區段在第一方向中顯示了延伸之單胞列，其是以A至D表示。在一列中每二個相鄰之單胞具有一個共同之位元線接觸區18'，其為了清楚之故只在列D中顯示一次。每二個溝渠亦以類似方式所而互相鄰接，此二個溝渠在基體中以適當之方式藉由足夠之摻雜度而作相反之摻雜。相鄰之單胞列同樣是互相隔離(例如，藉由淺溝渠隔離區)。單胞板被結構化成條形區之形式，這些條形區在第一方向中延伸。單胞板條形區14₂使二個相鄰之列(此處是列B和列C)中之各單胞之電容器電極相連接，而一個位於旁邊之條形區14₃連接了到D(以及其它在圖示部份以外之列)之各單胞。單胞板條形區包含一條中央線，此條中央線在第一方向中延伸於相連接之單胞陣列之間，且具有弧形，此種弧形至少一部份覆蓋了相連之電容器溝渠。單胞板條形區因此具有一種雙梳

五、發明說明 (b)

形之結構。上述中央線之寬度可以是習知配置之條形區者之二倍，而不會使可供其它電路使用之空間（特別是單胞板空參觀者的空間之寬度Y）變小。相鄰之單胞板條形區14₂，14₃由於雙梳形之形式而藉由空著的條形區互相隔離。

在右半部之圖形中顯示此種在單胞陣列旁邊之電路的一部份。此處該單胞板是連續的。使所有單胞板條形區14；能以導電方式互相連接。一種這樣的連接最好是設置在單胞陣列之二側。依據單胞陣列之邊緣處之記憶體單胞的配置方式，則單胞板條形區之連接亦可在單胞陣列本身之邊緣區域中達成。

第2圖顯示上述實施例的一種變型，其中單胞板14或單胞板條形區14i之面積已變小，其中省略了電性上不起作用之面積。這些不被單胞板14所覆蓋之空著的區域因此可被擴大，特別是寬度Y。這些已被擴大之空著的區域在配置其它記憶體單胞結構（例如，位元線接觸區）於較高之平面中時可使間隙加大。

第3圖：在此一實施例中單胞板條形區14不是在單胞列之方向中延伸，而是與該方向形成一個角度 α 。每一單胞板條形區因此經由一序列之單胞列而延伸且在每一單胞列中連接於至少一個（此處是二個）電容器。在此情況下此種單胞板條形區具有一種階梯式之形式，此種階梯形式特別是由下述情況所決定：稍後所進行之各步驟（植入，接觸）所需之主動區域必須保持空著的（free）。

五、發明說明(7)

這些基本上互相平行而延伸之單胞板條形區又必須在單胞陣列之邊緣處互相連接。在此一例子中單胞板條形區仍可藉由省略電性上不起作用之部份而進一步達到最小化。

第4圖：是第3圖一種稍微改變後之實施形式，其中單胞板條形區14同樣是不在單胞列之方向中延伸，而是與此方向形成一種角度 α 。單胞板條形區14i之面積因此會減小，使階梯形之配置轉換成傾斜之條形區。單胞列之方向因此可像目前之例子中者一樣（因此是在圖式之平面中水平地延伸）。另一方面，單胞列之方向亦可如圖中所示之方向而延伸（因此在圖式中是傾斜的且接近於垂直方向）；單胞板條形區亦可和第一方向形成一個角度 α 。圖示之位元線接觸區18'於是對應於此種以Z1, Z2表示之單胞或溝渠且主動區是在溝渠和位元線接觸區之間延伸。利用此種配置方式，則情況需要時可使單胞有較高之封裝密度：在此圖中可辨認的是，在第一方向中相鄰之各溝渠（其具有共同之位元線接觸區）間之間距是較（此圖之平面中）水平相鄰之各溝渠間距還大。在第一方向中網目(Raster)因此仍然可再縮小。字元線（其在所示之佈局中最好是在（此圖之平面中）水平地延伸）因此可以配置成更小之間距。空間需求可降低到何種程度在各別情況中主要是依據：何種數值（特別是位元線接觸區至溝渠之間距以及閘極至溝渠之間距）是處於最臨界(critical)之狀態。

五、發明說明(8)

藉由單胞板之條形結構可使電阻變大。但這樣通常不會對電性上之功能造成影響。

就此種半導體記憶體配置之製造而言，此行業之專家可使用一般之方法。單胞板最好是藉由整面沈積而摻雜之多晶矽以及使用光罩來進行等向性或非等向性之蝕刻而製成，其中依據本發明光阻層須覆蓋條形之區域（稍後作為單胞板條形區）。

符號之說明

- 10.....基體
- 11.....溝渠
- 12.....記憶體電極
- 13.....電容器介電質
- 14.....單胞板
- 14i.....單胞板條形區
- 15.....字元線
- 16,17...源極／汲極區
- 18.....位元線
- 18'.....位元線接觸區

四、中文發明摘要(發明之名稱:)

具有條形單胞板之半導體記憶體

在具有記憶體單胞之記憶體配置中，其中每一記憶體單胞含有一個選擇電晶體和一個溝渠式電容器，其中記憶體電極(12)是由基體區域沿著溝渠壁而形成，且此種形成多個記憶體單胞之共同的反電極所用之單胞板(14)是在溝渠內部中形成，基體表面處之單胞板是以條形區之形式而被結構化。此種條形區可平行於單胞列之方向而延伸或與該方向形成一個角度。由於此種條形之配置，則單胞板區域中之最小結構寬度可達成二倍。

英文發明摘要(發明之名稱: Semiconductor memory with strip-shaped cell-plate)

In a memory-arrangement with memory-cells, in which each memory-cell includes a selection-transistor and a trench-capacitor, wherein the memory-electrode (12) is formed from a substrate-region along the trench-wall, and in which the cell-plate (14), which forms a common counter-electrode of several memory-cells, is formed in the inside of the trench, the cell-plate on the substrate-surface is structurized in the form of strips. The strips can extend parallel to the direction of the cell-rows or form an angle with this direction. Through the strip-shaped arrangement the minimal structure-width is doubled in the region of the cell-plate.

(請先閱讀背面之注意事項再填(本頁各欄))

裝

訂

線

六、申請專利範圍

1. 一種半導體記憶體配置，其在基體(10)中具有複數個記憶體單胞，
 - 每一記憶體單胞含有一個選擇電晶體(15, 16, 17)以及一個溝渠式電容器(12, 13, 14)，記憶體電極(12)是由沿著溝渠壁之基體區域所形成，
 - 一個形成多個記憶體單胞之共同的反電極所用之單胞板(14)是由溝渠(11)之內部中的導電層所形成，其特徵為：基體表面處之單胞板(14)具有條形之結構。
2. 如申請專利範圍第1項之記憶體配置，其中記憶體單胞沿著第一方向(其是平行於位元線(18)之方向)而配置成許多列(A, B, C, D)其中單胞板條形區(14)是在第一方向中延伸且有一單胞板條形區連接至二個相隣單胞列之電容器。
3. 如申請專利範圍第1項之記憶體配置，其中記憶體單胞沿著第一方向而配置成許多列(A, B, C, D)且單胞板條形區(14_i)與第一方向形成一個角度(α)。
4. 如申請專利範圍第1至第3項中任一項之記憶體配置，其中在每一單胞列(A-D)中分別以鏡面對稱方式配置二個相隣之記憶體單胞且相隣之單胞列互相偏移一個記憶體單胞之長度。
5. 如申請專利範圍第1, 2 或 3 項之記憶體配置，其中單胞板條形區(14_i)在邊緣區域中或單胞陣列外部是以導電性方式而互相連接。

六、申請專利範圍

1. 一種半導體記憶體配置，其在基體(10)中具有複數個記憶體單胞，
 - 每一記憶體單胞含有一個選擇電晶體(15, 16, 17)以及一個溝渠式電容器(12, 13, 14)，記憶體電極(12)是由沿著溝渠壁之基體區域所形成，
 - 一個形成多個記憶體單胞之共同的反電極所用之單胞板(14)是由溝渠(11)之內部中的導電層所形成，其特徵為：基體表面處之單胞板(14)具有條形之結構。
2. 如申請專利範圍第1項之記憶體配置，其中記憶體單胞沿著第一方向(其是平行於位元線(18)之方向)而配置成許多列(A, B, C, D)其中單胞板條形區(14)是在第一方向中延伸且有一單胞板條形區連接至二個相鄰單胞列之電容器。
3. 如申請專利範圍第1項之記憶體配置，其中記憶體單胞沿著第一方向而配置成許多列(A, B, C, D)且單胞板條形區(14_i)與第一方向形成一個角度(α)。
4. 如申請專利範圍第1至第3項中任一項之記憶體配置，其中在每一單胞列(A-D)中分別以鏡面對稱方式配置二個相鄰之記憶體單胞且相鄰之單胞列互相偏移一個記憶體單胞之長度。
5. 如申請專利範圍第1, 2 或 3 項之記憶體配置，其中單胞板條形區(14_i)在邊緣區域中或單胞陣列外部是以導電性方式而互相連接。

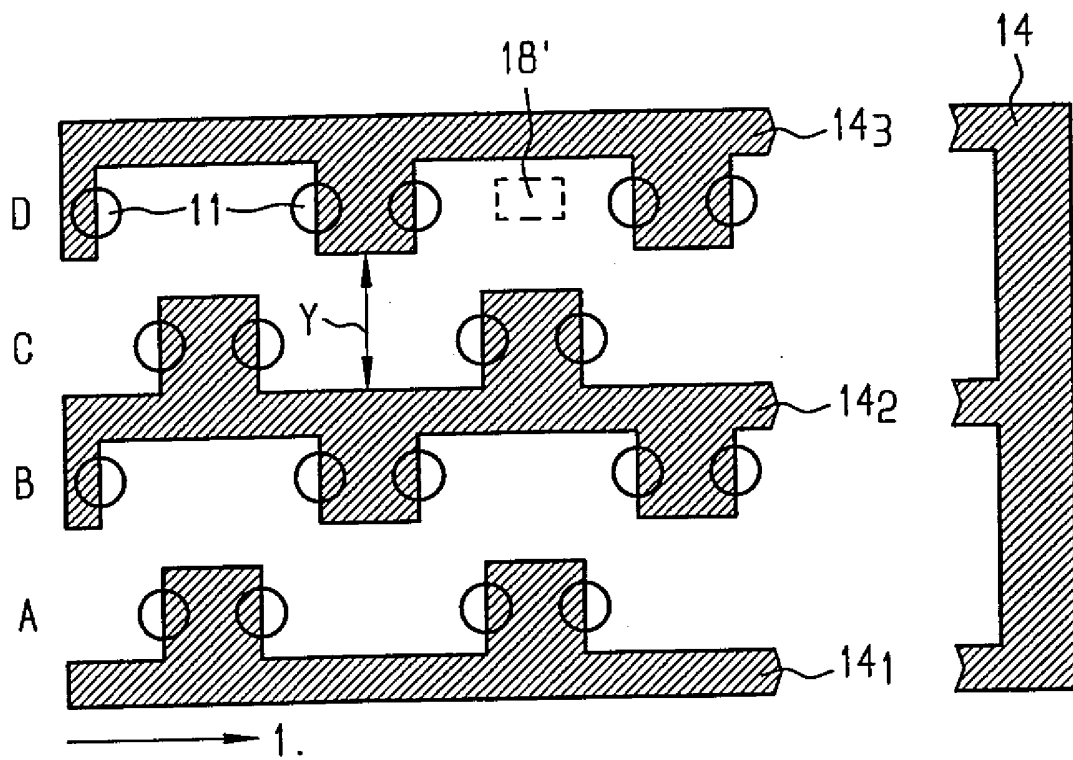
六、申請專利範圍

6. 如申請專利範圍第4項之記憶體配置，其中單胞板條形區(141)在邊緣區域中或單胞陣列外部是以導電性方式而互相連接。

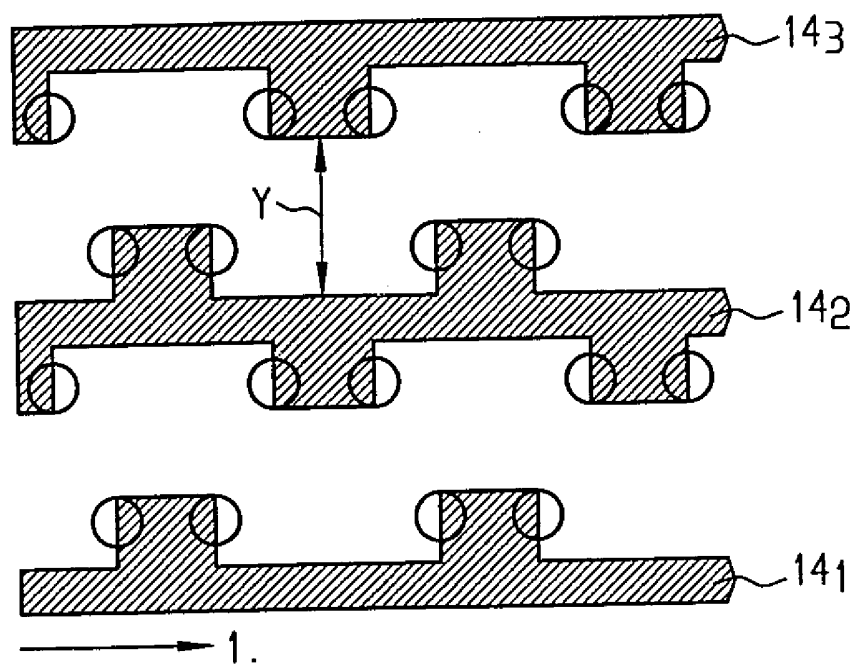
(請先閱讀背面之注意事項再填寫本頁)

裝

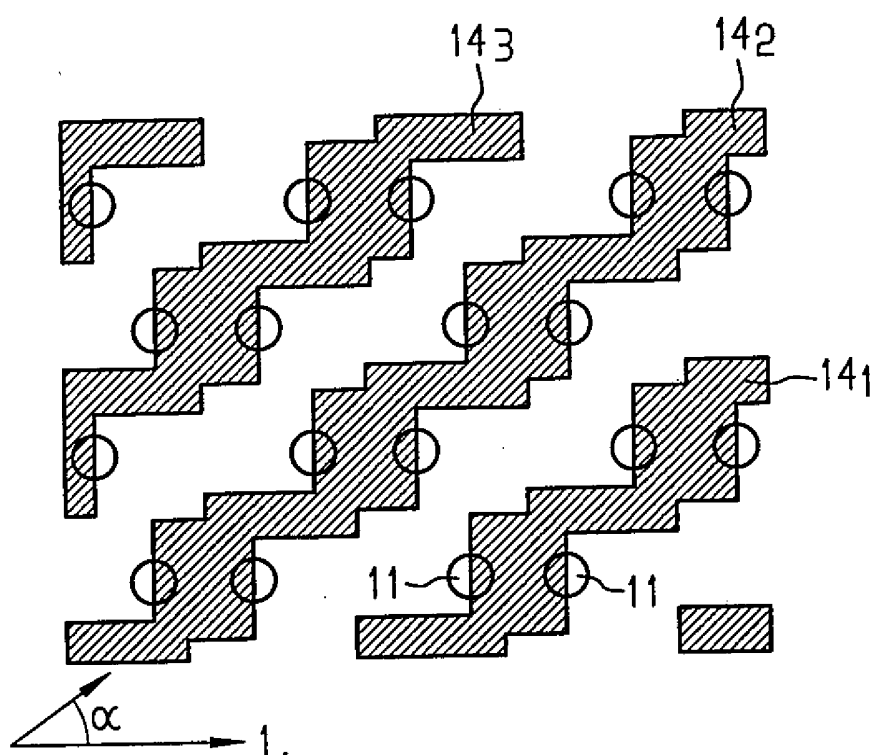
訂



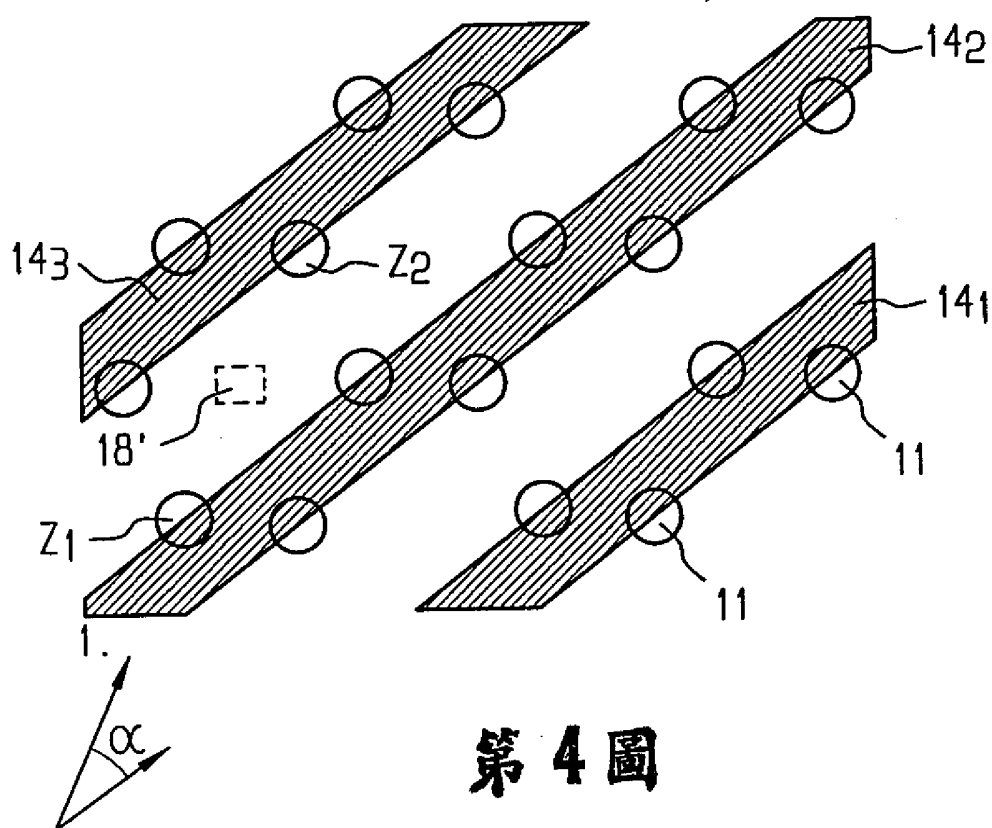
第 1 圖



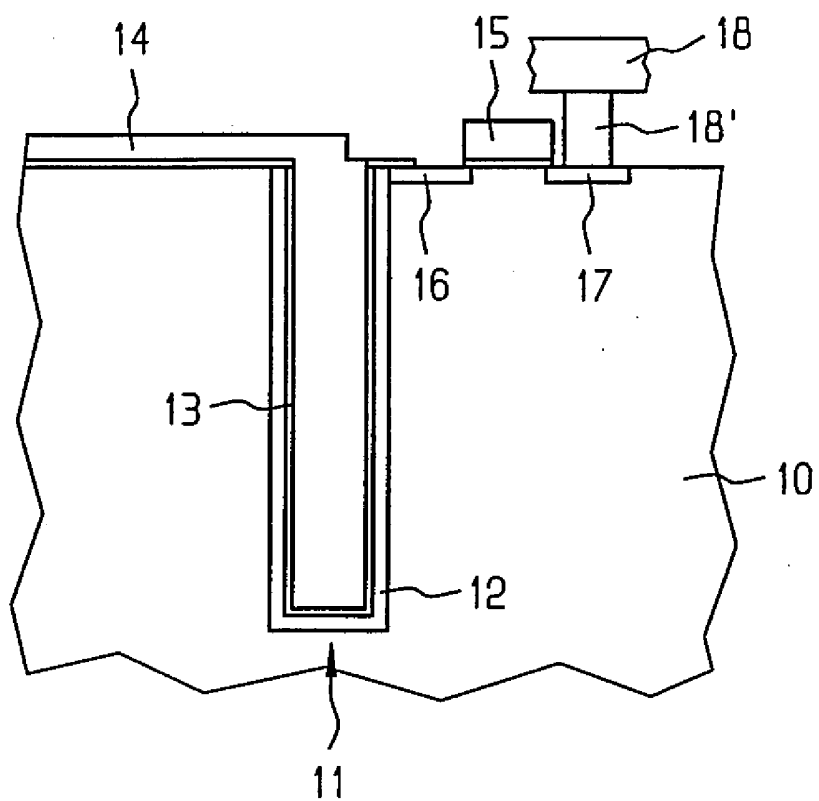
第 2 圖



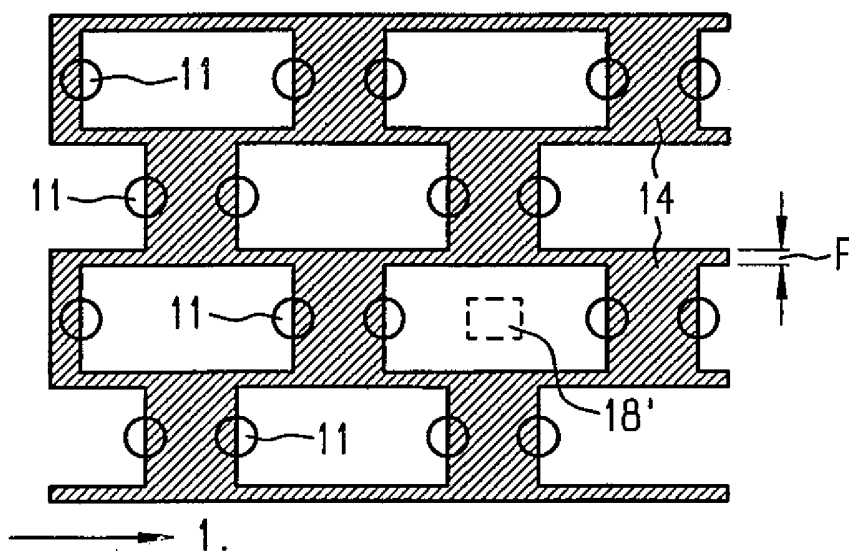
第 3 圖



第 4 圖



第 5 圖



第 6 圖